

**UNIVERSIDADE FEDERAL DE SANTA CATARINA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA
ELÉTRICA**

Rafael Sanhotene Silva

**PROJETO, FABRICAÇÃO E MEDIÇÃO DE UM CHIP
DEDICADO À CARACTERIZAÇÃO DA TECNOLOGIA
CMOS 130nm**

Florianópolis, SC.
2018

Rafael Sanchothene Silva

**PROJETO, FABRICAÇÃO E MEDIÇÃO DE UM CHIP
DEDICADO À CARACTERIZAÇÃO DA TECNOLOGIA
CMOS 130nm**

Dissertação submetida ao Programa
de Pós-Graduação em Engenharia
Elétrica para obtenção do grau de
“Mestre em Engenharia Elétrica”.

Orientador: Prof. Dr. Carlos Galup Montoro.

Florianópolis, SC.
2018

Ficha de identificação da obra elaborada pelo autor,
através do Programa de Geração Automática da Biblioteca Universitária da UFSC.

Silva, Rafael Sanchothene
Projeto, fabricação e medição de um chip dedicado à
caracterização da tecnologia CMOS 130nm / Rafael
Sanchothene Silva ; orientador, Carlos Galup
Montoro, 2018.
111 p.

Dissertação (mestrado) - Universidade Federal de
Santa Catarina, Centro Tecnológico, Programa de Pós
Graduação em Engenharia Elétrica, Florianópolis, 2018.

Inclui referências.

1. Engenharia Elétrica. 2. Estruturas de teste
CMOS. 3. Tecnologia CMOS 130nm. 4. Circuitos
Integrados. 5. Associações de transistores. I.
Montoro, Carlos Galup. II. Universidade Federal de
Santa Catarina. Programa de Pós-Graduação em
Engenharia Elétrica. III. Título.

Rafael Sanchotene Silva

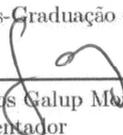
**PROJETO, FABRICAÇÃO E MEDIÇÃO DE UM CHIP
DEDICADO À CARACTERIZAÇÃO DA TECNOLOGIA
CMOS 130nm**

Esta dissertação foi julgada aprovada para a obtenção do grau de "Mestre em Engenharia Elétrica" e aceita em sua forma final pelo Programa de Pós-Graduação em Engenharia Elétrica.

Florianópolis, SC., 23 de Fevereiro de 2018.



Prof. Dr. Marcelo Lobo Heldwein
Coordenador do Programa de Pós-Graduação em Engenharia Elétrica

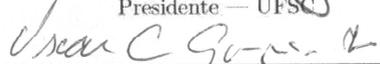


Prof. Dr. Carlos Galup Montoro
Orientador

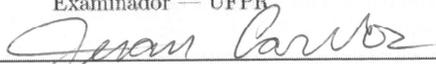
Banca Examinadora:



Prof. Dr. Carlos Galup Montoro
Presidente — UFSC



Prof. Dr. Oscar da Costa Gouveia Filho
Examinador — UFPR



MSc. Juan Carlos Mateus Ardila
Examinador — Chipus Microeletrônica S.A.

Este trabalho é dedicado aos meus pais Rubens e Íára, e aos meus irmãos Rubens Filho e Rodrigo pelo apoio incondicional em todos os momentos de minha vida.

Agradecimentos

A minha família e a minha namorada Victoria pelo apoio, incentivo, paciência e compreensão durante a realização deste trabalho.

A Oscar Pinto (in memoriam), Vera e Veraci (Bila), família especial que sempre me apoiou e esteve presente em todas as minhas conquistas.

Aos meus amigos e colegas de mestrado, em especial, a Andrés Ordoñez, Deni Alves, Edgar Maurício, Eduardo Brandão, Evandro Bolzan, Franciele Nornberg, Jefferson Ribeiro, João Vitor, Luís Henrique, Mariana Siniscalchi, Rodrigo Wrege e Thiago Darós pelo companheirismo e amizade.

Aos professores Carlos Galup Montoro e Márcio Cherem Schneider pela oportunidade e orientação durante a realização do trabalho no Laboratório de Circuitos Integrados (LCI). Agradeço em especial a Nazide Martins pela amizade e pelo suporte oferecido no LCI.

Gostaria de agradecer à Coordenação de Aperfeiçoamento de Pessoal de Nível Superior (CAPES) e ao Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPq) pela concessão da bolsa de estudos durante os dois anos de mestrado e ao serviço da Metal-Oxide-Semiconductor Implementation Service (MOSIS) pela fabricação do circuito integrado proposto no trabalho.

*Para mudar o mundo, você precisa
antes mudar a sua cabeça.*

– Jimi Hendrix

Resumo

O presente trabalho de dissertação apresenta um chip teste projetado e validado em tecnologia CMOS 130nm. O circuito foi construído através de uma matriz de transistores MOS LVT (*Low Voltage Threshold*) conectados em associações série/paralelo, com um total de 226 transistores. Para otimizar o número limitado de pinos e possibilitar diversas funcionalidades na extração de parâmetros, foi necessário o compartilhamento de terminais de substrato, fonte e dreno entre transistores. Através das associações série foi possível analisar o impacto do comprimento do canal nas características do dispositivo além de peculiaridades da tecnologia utilizada. A validação do circuito proposto se deu por meio de simulações em ambiente Cadence Virtuoso[®] e experimentalmente através das amostras fabricadas. Para a extração dos parâmetros foram utilizadas as metodologias g_m/I_D e $3I_S$ permitindo o funcionamento do transistor na região linear e de saturação, respectivamente. As dispersões das características extraídas foram comparadas às simulações de Monte Carlo, assim como os modelos ACM e BSIM4 que foram comparados em relação aos dados experimentais. O circuito proposto também foi utilizado na avaliação do descasamento (*mismatch*) da tensão de limiar (V_{T0}) entre transistores similares. Com isso, permite-se concluir que o circuito proposto não somente tem a finalidade de testes e verificações, mas também é uma importante ferramenta de análise tanto para uso no meio acadêmico/científico, auxiliando aos estudantes e novos projetistas na área de circuitos integrados, como também para o meio industrial permitindo a verificação de inconsistências relacionadas aos modelos BSIM.

Palavras-chave: Estruturas de teste CMOS, Tecnologia CMOS 130nm, Associações de transistores.

Abstract

The present text presents a test chip designed and validated in 130nm CMOS technology. The circuit was built as an array of LVT (Low Threshold Voltage) MOS transistors, associated in series/parallel, constituting a total of 226 transistors. In order to optimize the limited number of pins and to enable various parameters extraction, it was necessary to share some common connections for substrate, source and drain terminals. Through the series associations it was possible to analyze the impact of the increase of channel length on the characteristics of the device. The validation of the proposed circuit was done through simulations in the Cadence Virtuoso[®] environment and experimentally through the measurements of the manufactured samples. For the extraction of the parameters the methodologies g_m/I_D and $3I_S$ were used allowing the operation of the transistor in the linear and saturation regions, respectively. The dispersions in the extracted parameters were compared to the Monte Carlo simulations carried out in the electric simulator. Thus, the ACM and BSIM4 models were compared with the obtained results. The proposed circuit also allowed an evaluation of the threshold voltage (V_{T0}) mismatch between similar transistors. We conclude that the proposed circuit is useful not only for tests and verifications, but also as an analysis tool for use in the academic/scientific environment, helping students and new designers in the area of integrated circuits, as well as for the industrial environment allowing the verification of inconsistencies of BSIM models.

Keywords: CMOS Test Structures. 130 nm CMOS Technology . Associations of transistors.

Lista de Figuras

2.1	Transistor com implantes <i>pocket</i> envolvendo as regiões de fonte e dreno.	5
2.2	Diagrama do transistor MOS canal N.	6
2.3	Associações de transistores.	9
2.4	Associação série tipo T [1].	10
3.1	Método da Extrapolação Linear: a) Medição de V_{T0} na região triodo e b) região de saturação.	12
3.2	Método <i>Match-Point</i> : a) Extração de V_{T0} na região linear e b) região de saturação.	13
3.3	Aproximações de inversão forte e fraca da característica $I_D - V_G$ do transistor.	14
3.4	Configuração fonte comum de um transistor canal N para realização do método g_m/I_D	15
3.5	Corrente de dreno e transcondutância por unidade de corrente de um transistor canal N.	16
3.6	Configuração de um transistor canal N para realização do método $3I_S$	16
3.7	Extração da tensão de limiar através do método $3I_S$	17
3.8	Extração do fator de inclinação através do método $3I_S$	18
4.1	Tensão de limiar em função do comprimento do canal.	20
4.2	Corrente específica de folha em função do comprimento do canal.	21
4.3	Fator de inclinação em função do comprimento do canal.	22
4.4	Mobilidade efetiva em função do comprimento do canal.	23
4.5	Tensão de limiar em função da largura do canal.	24
4.6	Corrente específica de folha em função da largura do canal.	25
4.7	Curva da variação do fator de inclinação em função da largura do canal.	25

4.8	Curva da variação da mobilidade de portadores efetiva em função da largura do canal.	26
4.9	Tensão de limiar pelo método $3I_S$ em função de diferentes razões de aspecto.	27
4.10	Conjunto de curvas para extração do fator de inclinação com o método $3I_S$ em função de diferentes razões de aspecto.	27
4.11	Disposição dos <i>corners</i> na tecnologia GlobalFoundries CMOS 130nm.	28
4.12	Monte Carlo de processo e descasamento da tensão de limiar com o método $3I_S$	30
4.13	Oscilador em anel de três estágios.	31
4.14	Sinais de saída dos osciladores em anel.	32
4.15	Diagrama esquemático para extração da tensão de Early.	33
4.16	Característica de saída do transistor de $W/L = 480\text{nm}/120\text{nm}$ para diferentes níveis de inversão.	33
4.17	Característica $I_D - V_D$	34
4.18	Tensão de Early para diferentes níveis de inversão do transistor com dimensões $W/L = 480\text{nm}/120\text{nm}$	35
4.19	Característica $I_D - V_D$ para $i_f = 0,1$ do transistor com $W/L = 480\text{nm}/120\text{nm}$	35
4.20	Característica $I_D - V_D$ para $i_f = 1$ do transistor com $W/L = 480\text{nm}/120\text{nm}$	36
5.1	Diagramas esquemáticos do circuito proposto.	38
5.2	Diagramas esquemáticos do transistor unitário (LVT), nativo (ZVT) e associações série de transistores para análises de descasamento (MIS).	39
6.1	Analisador de parâmetros Agilent 4156C.	43
6.2	a) Módulo de Test-Fixture Agilent 16442A e b) Chip teste.	44
6.3	Comparativo entre dispersões de 20 amostras LVTNFET e 200 rodadas de Monte Carlo (processo e descasamento).	46
6.4	Comparativo entre dispersões de 20 amostras LVTPFET e 200 rodadas de Monte Carlo (processo e descasamento).	47
6.5	Variação da tensão de limiar com a corrente específica de um transistor LVTNFET de $W/L = 480\text{nm}/120\text{nm}$	52
6.6	Característica g_m/I_D em função do nível de inversão para diferentes comprimentos de canal para (a) LVTNFET e (b) LVTPFET.	53

6.7	Dependência da tensão de limiar com o aumento do comprimento de canal para transistores unitários.	55
6.8	Dependência da tensão de limiar com o aumento do comprimento de canal utilizando quatro transistores em série.	56
6.9	Tensões de Early de um transistor LVTNFET unitário com $W/L = 480\text{nm}/120\text{nm}$, em (a) curvas simuladas e (b) curvas experimentais.	65
6.10	Tensões de Early de uma associação série de quatro transistores LVTNFET com $W/L = 480\text{nm}/120\text{nm}$, em (a) curvas simuladas e (b) curvas experimentais.	66
6.11	Tensões de Early de uma associação série de oito transistores LVTNFET com $W/L = 480\text{nm}/120\text{nm}$, em (a) curvas simuladas e (b) curvas experimentais.	67
6.12	(a) Amplificador Fonte Comum e (b) Circuito de pequenos sinais.	68
6.13	Variação da tensão de Early em diferentes níveis de inversão para associações série LVTNFET com $W/16xL = 480\text{nm}/16x120\text{nm}$, em (a) dados simulados e em (b) dados amostrais.	70
6.14	Resultados experimentais para a tensão de Early em diferentes níveis de inversão utilizando transistores unitários LVTNFET.	71
6.15	Tensões de Early em função do nível de inversão para transistores unitários e associações série LVTNFET.	72
6.16	Tensões de Early obtidas por experimento com um transistor unitário LVTPFET e associação série de quatro transistores.	73
6.17	Tensões de Early obtidas por experimento com um transistor unitário LVTPFET e associação série de oito transistores.	74
6.18	Tensões de Early em função do nível de inversão para transistores unitários e associações série LVTPFET.	76
6.19	Comparativo entre <i>corners</i> do modelo BSIM4, ACM com 3 parâmetros medidos e curva experimental de transistor LVTNFET com $W/L = 480\text{nm}/120\text{nm}$	77
6.20	Comparativo entre <i>corners</i> do modelo BSIM4, ACM com 3 parâmetros medidos e curva experimental de transistor LVTPFET com $W/L = 480\text{nm}/120\text{nm}$	79
6.21	Histograma ΔV_{T0} da análise de Monte Carlo e gaussiana dos dados obtidos com amostras LVTNFET de $W/L = 480\text{nm}/480\text{nm}$	82

6.22	Histograma ΔV_{T0} da análise de Monte Carlo (descasamento) e gaussiana dos dados obtidos com LVTNFET de $W/L = 480\text{nm}/4 \times 480\text{nm}$	83
6.23	Histograma ΔV_{T0} da análise de Monte Carlo (descasamento) e gaussiana dos dados obtidos com amostras LVTPFET de $W/L = 480\text{nm}/480\text{nm}$	85
6.24	Histograma ΔV_{T0} da análise de Monte Carlo (descasamento) e gaussiana dos dados obtidos com amostras LVTPFET de $W/L = 480\text{nm}/4 \times 480\text{nm}$	86
A.1	Configuração Fonte Comum para realização do método g_m/I_D	95
A.2	Característica g_m/I_D de transistores LVTPFET.	96
A.3	Tensão de limiar em função do comprimento do canal.	96
A.4	Dependência da corrente específica em função do aumento do comprimento do canal.	97
A.5	Dependência do fator de inclinação em função do aumento do comprimento do canal de transistores LVTPFET simulados com o modelo BSIM4.	98
A.6	Dependência da mobilidade dos portadores em função do comprimento do canal de transistores LVTPFET simulados com o modelo BSIM4.	98
A.7	Configuração para extração de parâmetros do LVTPFET através do método $3I_S$	99
A.8	Varição da tensão de limiar para diferentes comprimentos de canal utilizando o método $3I_S$	100
A.9	Varição do fator de inclinação para diferentes comprimentos de canal utilizando o método $3I_S$	100
A.10	Histograma das dispersões da tensão de limiar obtidas pelo método $3I_S$	101
B.1	Leiaute da matriz de transistores LVTNFET.	103
B.2	Leiaute de configurações adicionais contendo o transistor de dimensões mínimas (LVT), transistor nativo (ZVT) e transistores para avaliação de descasamento (MIS).	104
B.3	Leiaute da matriz de transistores LVTPFET.	104
B.4	Leiaute da configuração adicional contendo transistores para avaliação de descasamento (MIS).	105
B.5	Leiaute do topo do chip enviado para fabricação com detalhes sobre os terminais e partes referentes aos transistores canal N e P.	105

B.6	Diagrama representativo do encapsulamento DIP40. . .	106
C.1	Processo de caracterização das amostras.	107
C.2	Passo 1 - seleção dos pinos para excitação elétrica. . . .	108
C.3	Passo 2 - equação para extração da característica g_m/I_D . . .	109
C.4	Passo 3 - parâmetros de variação para extração da ca- racterística $I_D - V_G$	110
C.5	Passo 4 - extração das curvas do transistor.	111

Lista de Tabelas

4.1	Parâmetros básicos da Tecnologia CMOS 130nm.	19
4.2	Sumário sobre os <i>corners</i> da tecnologia GlobalFoundries CMOS 130nm.	29
4.3	Sumário dos resultados de <i>corners</i> e Monte Carlo da tensão de limiar pelo método $3I_S$	29
4.4	Sumário dos osciladores em anel projetados.	31
4.5	Tensões de saturação para diferentes níveis de inversão .	34
5.1	Descrição dos pinos utilizados no chip teste.	41
6.1	Dispersões nos parâmetros de transistores unitários LVTN-FET.	48
6.2	Dispersões nos parâmetros de transistores unitários LVTP-FET.	50
6.3	Parâmetros em função do comprimento do canal para transistores unitários.	59
6.4	Parâmetros em função do comprimento do canal para associações de 4 transistores.	61
6.5	Parâmetros em função do comprimento do canal para associações de 8 transistores.	62
6.6	Parâmetros em função do comprimento do canal para associações de 16 transistores.	63
6.7	Projeto de amplificadores: P1 - Ganho máximo para menor tensão de dreno e P2 - Ganho máximo possível para transistores LVTNFET de $W = 480\text{nm}$	75
6.8	Sumário das extrações experimentais de ΔV_{T0} de transistores LVTNFET.	81
6.9	Dados estatísticos do descasamento da tensão de limiar de transistores LVTNFET.	82
6.10	Sumário das extrações experimentais de ΔV_{T0} de transistores LVTPFET.	84

6.11	Dados estatísticos do descasamento da tensão de limiar de transistores LVTPFET.	85
A.1	Resumo dos resultados obtidos com <i>corners</i> e Monte Carlo.	102

Lista de Abreviaturas e Siglas

Sigla	Descrição
ACM	<i>Advanced Compact MOSFET Model</i>
CA	Corrente Alternada
BSIM	Modelo MOSFET da <i>University of California - Berkeley</i>
CC	Corrente Contínua
CMOS	<i>Complementary Metal-Oxide-Semiconductor</i>
DIBL	<i>Drain-Induced Barrier Lowering</i>
EL	Extrapolação Linear
EKV	Enz-Krummenacher-Vittoz
FC	Fonte Comum
LVT	<i>Low Voltage Threshold</i>
MOSFET	<i>Metal-Oxide-Semiconductor Field-Effect Transistor</i>
MOSIS	<i>Metal-Oxide-Semiconductor Implementation Service</i>
MP	<i>Match Point</i>
RSCE	<i>Reverse Short Channel Effect</i>
SCE	<i>Short Channel Effect</i>
UICM	<i>Unified Current-Control Model</i>

Lista de Símbolos

Símbolo	Descrição	Unidade
A_V	Ganho de tensão	[V/V]
C'_b	Capacitância de depleção por unidade de área	[F/m ²]
C_L	Capacitância de carga	[F]
C'_{ox}	Capacitância de óxido por unidade de área	[F/m ²]
g_{ds}	Condutância de saída	[A/V]
g_{mb}	Transcondutância de substrato	[A/V]
g_{md}	Transcondutância de dreno	[A/V]
g_{mg}	Transcondutância de porta	[A/V]
g_{ms}	Transcondutância de fonte	[A/V]
I_B	Corrente de polarização	[A]
I_D	Corrente de dreno	[A]
i_f	Corrente normalizada direta	—
I_F	Corrente de saturação direta	[A]
i_r	Corrente normalizada reversa	—
I_R	Corrente de saturação reversa	[A]
I_{ref}	Corrente de referência	[A]
I_S	Corrente específica	[A]
I_{SQ}	Corrente específica de folha	[A]
k	Constante de Boltzmann (1,38 x 10 ⁻²³)	[J/K]
L	Comprimento do canal	[m]
m_p	Número de transistores associados em paralelo	—
N_A	Dopantes aceitadores no semiconductor	[m ⁻³]
n_s	Número de transistores associados em série	—
n	Fator de inclinação (rampa)	—

q	Carga elementar do elétron ($1,6 \times 10^{-19}$)	[C]
T	Temperatura absoluta	[K]
t_{ox}	Espessura do óxido de porta	[m]
μ	Mobilidade de portadores	[m ² /V.s]
μ_{eff}	Mobilidade efetiva de portadores	[m ² /V.s]
V_A	Tensão de Early	[V]
V_B	Tensão de substrato	[V]
V_D	Tensão de dreno	[V]
V_{DD}	Tensão de alimentação	[V]
$V_{D_{SAT}}$	Tensão de saturação	[V]
V_G	Tensão de porta	[V]
V_{IN}	Tensão de entrada	[V]
V_{Out}	Tensão de saída	[V]
V_P	Tensão de <i>pinch-off</i>	[V]
V_S	Tensão de fonte	[V]
V_{T0}	Tensão de limiar	[V]
W	Largura do canal	[m]
ΔL	Comprimento das difusões laterais	[m]
ΔV_{T0}	Descasamento da tensão de limiar	[V]
ΔW	Largura da invasão do óxido nas regiões ativas	[m]
ϵ_s	Permissividade elétrica do semiconductor	[F/m]
ϕ_s	Potencial de superfície	[V]
ϕ_{sa}	Potencial de superfície em inversão fraca profunda	[V]
ϕ_t	Tensão térmica	[V]

Sumário

1	Introdução	1
1.1	Objetivos	2
1.2	Organização	2
2	Breve revisão dos modelos de transistores MOS	3
2.1	Classificação dos modelos teóricos do MOSFET	3
2.2	Modelo ACM	5
2.2.1	Equações básicas utilizadas no modelo ACM	5
2.3	Modelagem das associações de transistores MOS	8
3	Métodos para extração da tensão de limiar	11
3.1	Métodos convencionais	11
3.1.1	Método da Extrapolação Linear (EL)	11
3.1.2	Método <i>Match-Point</i> (MP)	12
3.2	Método g_m/I_D	14
3.3	Método $3I_S$	16
4	Simulações com LVTNFET utilizando o modelo BSIM4	19
4.1	Extração de parâmetros com o método g_m/I_D	20
4.1.1	Tensão de limiar	20
4.1.2	Corrente específica de folha	21
4.1.3	Fator de inclinação	21
4.1.4	Mobilidade de portadores	22
4.1.5	Avaliação do impacto da largura do canal nos parâmetros dos transistores	23
4.2	Extração de parâmetros com o método $3I_S$	26
4.2.1	Tensão de limiar	26
4.2.2	Fator de inclinação	27
4.3	Comparativo entre análises de <i>corners</i> e Monte Carlo	28
4.4	Impacto da redução de V_{T0} em função de L no projeto de osciladores em anel	30

4.5	Extração da tensão de Early	31
5	Projeto do chip teste	37
6	Extração de parâmetros	43
6.1	Resultados e discussão	44
6.1.1	Análise comparativa entre dispersões das amostras e simulações de Monte Carlo	45
6.1.2	Dependência da tensão de limiar com a corrente específica no método $3I_S$	51
6.1.3	Dependência dos parâmetros em função do comprimento do canal	52
6.1.4	Análise comparativa da tensão de Early de transistores unitários e associações série de transistores	64
6.1.5	Importância da extração experimental dos parâmetros	75
6.1.6	Avaliação do descasamento da tensão de limiar dos transistores	80
7	Considerações finais e trabalhos futuros	87
	Referências	89
Apêndice A	Extração de parâmetros simulados do transistor LVTPFET	95
A.1	Extração pelo método g_m/I_D	95
A.1.1	Tensão de limiar	96
A.1.2	Corrente específica de folha	97
A.1.3	Fator de inclinação	97
A.1.4	Mobilidade de portadores	97
A.2	Extração pelo método $3I_S$	99
A.2.1	Tensão de limiar	99
A.2.2	Fator de inclinação	99
A.3	Comparativo entre análises de <i>corners</i> e Monte Carlo	101
Apêndice B	Leiautes e diagramas do chip teste	103
Apêndice C	Procedimentos experimentais para extração de parâmetros	107

Capítulo 1

Introdução

Na área de circuitos integrados, o trabalho dos projetistas é diretamente impactado pela eficiência dos simuladores elétricos de circuitos. Circuitos com alta sensibilidade às variações de processo, tais como alguns blocos analógicos, digitais e de rádio-frequência realizados na tecnologia CMOS (*Complementary Metal Oxide Semiconductor*) devem ser exaustivamente verificados antes e após sua concepção. Para esta finalidade, os ambientes de simulação elétrica são os melhores recursos disponíveis atualmente, possibilitando um rápido fluxo de projeto, economizando tempo e custo no desenvolvimento de novos circuitos. Por outro lado, falhas nos modelos elétricos dos componentes utilizados por estas ferramentas podem levar o projeto ao fracasso com grande prejuízo a todos os envolvidos no trabalho. Neste sentido e com a finalidade de delimitar ou evitar tais imprevistos, foram desenvolvidos circuitos de teste com inúmeras aplicações que vão da verificação do descasamento (*mismatch*) e das dispersões de parâmetros até a estimativa do rendimento de produção de um circuito para uma determinada tecnologia. Exemplos de circuitos testes são dados nos trabalhos [2–4] em que são apresentados osciladores em anel para caracterizações dinâmicas da tecnologia, sendo um importante recurso em projetos de blocos digitais e de rádio-frequência. Em [5, 6] são apresentados circuitos dedicados à caracterização e avaliação dos efeitos do descasamento de transistores em circuitos analógicos e mistos. Não menos importante que os trabalhos citados, os estudos apresentados em [7–12] revelam uma grande diversidade de aplicações para os chips teste, incluindo a avaliação do rendimento de produção (*yield*) de circuitos.

Através de todos os trabalhos citados pode-se observar que os circuitos dedicados à caracterização de parâmetros são cada vez mais necessários tanto no meio científico quanto no industrial.

1.1. Objetivos

O objetivo principal deste trabalho de dissertação é o projeto, a fabricação e a validação de um chip dedicado à extração de parâmetros. Para isto serão utilizados e analisados os transistores de baixa tensão de limiar da tecnologia GlobalFoundries CMOS 130nm. Dentre as funcionalidades do chip proposto estão a caracterização e verificação estática (CC) através de dispositivos unitários e associações série de transistores. Além disso serão analisadas as possíveis falhas dos modelos comportamentais utilizados nos modernos simuladores elétricos no nível de transistores. Os possíveis benefícios do circuito proposto são a prevenção e correção de falhas nos circuitos simulados antes da prototipação e verificação, reduzindo o custo global de projetos de grande escala comercial.

1.2. Organização

Este trabalho de dissertação está organizado em mais seis capítulos os quais são sumarizados abaixo:

- Capítulo 2: Neste capítulo são revisados os conceitos básicos do funcionamento do MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*) e ao final apresentado o modelo adotado para uso neste trabalho.
- Capítulo 3: Este capítulo apresenta os métodos utilizados para extração de parâmetros do transistor, servindo de suporte ao desenvolvimento de simulações e caracterizações experimentais dos dispositivos.
- Capítulo 4: Neste capítulo são apresentadas as simulações realizadas com o modelo BSIM4 aplicando os métodos estudados no terceiro capítulo.
- Capítulo 5: Apresenta o circuito teste e suas funcionalidades, incluindo os diagramas esquemáticos do mesmo.
- Capítulo 6: Este capítulo mostra os resultados experimentais e de simulação do chip teste, além de comparativos entre os métodos de extração de parâmetros e também dos resultados obtidos com os modelos BSIM4 e ACM.
- Capítulo 7: Neste último capítulo são sumarizados os resultados obtidos assim como possíveis aplicações do circuito, além de sugestões para trabalhos futuros.

Capítulo 2

Breve revisão dos modelos de transistores MOS

Atualmente é grande o número de ferramentas para simulação de circuitos integrados. A mais difundida entre elas é o simulador elétrico SPICE®, escrito em linguagem FORTRAN na década de 70 por um grupo de pesquisadores da Universidade de Berkeley. Como naquela época a tecnologia MOS ainda era pouco desenvolvida e muito limitada, esta ferramenta utilizava um modelo rudimentar de transistor, batizado de *SPICE LEVEL 1*. Em sua terceira versão, *SPICE* utilizou no seu modelo do MOSFET equações que incorporavam diversos fenômenos físicos e efeitos causados pela redução nas dimensões dos dispositivos. Contudo, essas melhorias não foram suficientes para caracterizar o dispositivo em todas as regiões de operação. Diversas discontinuidades foram observadas entre as regiões de funcionamento e conseqüentemente falhas graves durante a simulação do transistor, limitando seu uso à simulações em regiões específicas e bem definidas. Por esses motivos, diversos modelos do MOSFET foram propostos ao longo dos anos com a finalidade de aproximar as simulações elétricas aos comportamentos reais dos transistores MOS. Estes modelos serão brevemente comentados na próxima seção.

2.1. Classificação dos modelos teóricos do MOSFET

Os modelos podem ser classificados a partir dos conceitos utilizados para sua elaboração resultando em três grandes grupos de modelos compactos [13].

O primeiro grupo de modelos é baseado na análise física do dispositivo. O trabalho pioneiro desta classe de modelos foi desenvolvido no final da década de 80 por Maher e Mead e foi denominado de Modelo

de Carga [14]. Este modelo permite a representação das características do transistor MOS através de expressões únicas e de fácil compreensão.

O segundo grupo de modelos compactos é chamado de empírico sendo o principal modelo desta classe o EKV proposto em [15]. Este modelo foi o primeiro a preservar a simetria do transistor MOS e a representar de forma contínua as características nas diferentes regiões de operação. O modelo utiliza funções empíricas que aproximam as curvas características do dispositivo nas diferentes regiões de operação, porém falha na modelagem de cargas o que limita seu uso à circuitos não chaveados.

Por último, os modelos baseados em tabelas de dados conforme apresentados em [16], fazem uso de resultados previamente obtidos através de extrações de dispositivos reais ou de algoritmos numéricos utilizados nos simuladores. Essas tabelas são armazenadas em arquivos que posteriormente serão lidos pelo simulador elétrico.

A evolução no processamento computacional permitiu que os modelos físicos ganhassem destaque com uma maior complexidade em suas expressões. O aumento em sua complexidade é o resultado da incorporação dos fenômenos físicos apresentados nos dispositivos de canal reduzido como no caso da tecnologia CMOS 130nm utilizada neste estudo.

A tecnologia CMOS 130nm emprega no processo de fabricação implantes altamente dopados com o mesmo tipo de material do substrato dos transistores. Tais dopagens são localizadas nas proximidades de fonte e dreno, e são chamadas de implantes de bolso ou *pocket (halo)* sendo representadas na Figura 2.1. Os implantes *pocket* são utilizados para diminuir o efeito de redução de barreira induzida pelo dreno (DIBL) e estão na origem do efeito de canal curto reverso (RSCE - *Reverse Short Channel Effect*) [17, 18]. O efeito RSCE é mais intenso na região de inversão fraca (*subthreshold*) devido a dependência exponencial da corrente de dreno com as tensões neste regime de operação do transistor.

Retornando aos aspectos que contribuíram pela preferência dos modelos físicos temos o fato dos modelos empíricos e tabelados não permitirem a avaliação individual de cada efeito físico o que dificulta o acompanhamento pelo modelo do escalonamento da tecnologia [16].

Resumindo, um modelo para ser consistente e eficiente em simulação necessita de equações únicas e simples válidas em todas as regiões de operação do transistor (inversão fraca, moderada e forte).

A aproximação teórica fundamental é a de canal gradual que reduz um problema bidimensional a dois problemas unidimensionais

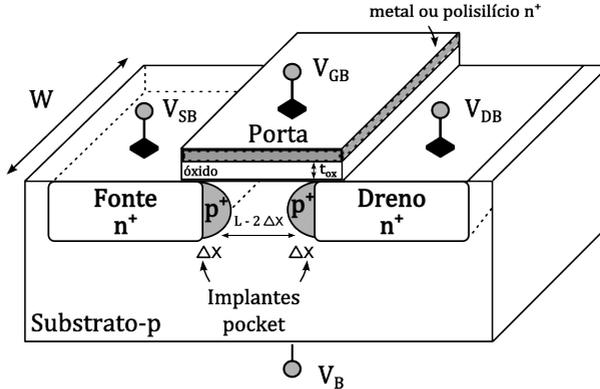


Figura 2.1: Transistor com implantes *pocket* envolvendo as regiões de fonte e dreno.

acoplados [19]. Como explicado anteriormente, existem diversos modelos compactos do transistor MOS. Dentre os modelos mais populares, temos os baseados na tensão de limiar (BSIM3, BSIM4, MM9, etc.) e os chamados modelos compactos de nova geração, que utilizam seja a carga ou o potencial de superfície como variável principal. Porém os diferentes modelos compactos de nova geração são derivados do mesmo modelo físico de Pao-Sah [20].

Neste trabalho adotamos um modelo de carga chamado de *Advanced Compact Model* ou simplesmente ACM [19]. Este modelo é fundamentado na aproximação linear entre carga de portadores e potencial de superfície ao longo do canal [14] e preserva a simetria do dispositivo assim como o modelo EKV.

2.2. Modelo ACM

O desenvolvimento do modelo ACM em meados dos anos 90 foi baseado nas mesmas aproximações físicas utilizadas por Maher e Mead [14, 19].

2.2.1. Equações básicas utilizadas no modelo ACM

O diagrama do transistor MOS canal N está ilustrado na Figura 2.2 com seus quatro terminais característicos. A caracterização em todas as regiões de operação é simplificada graças ao conceito de nível de inversão [21]. A corrente de um transistor de canal longo é decomposta

em duas componentes, a direta (I_F) e a reversa (I_R) representadas na expressão abaixo

$$I_D = I_F - I_R = I(V_G, V_S) - I(V_G, V_D) = I_S(i_f - i_r) \quad (2.1)$$

onde os potenciais de fonte V_S , de dreno V_D e de porta V_G estão referenciados ao substrato.

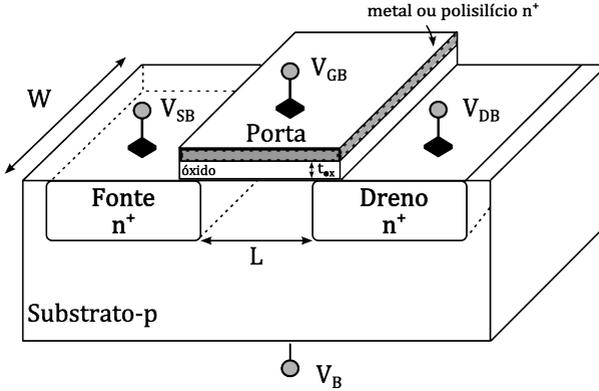


Figura 2.2: Diagrama do transistor MOS canal N.

Para um transistor operando em região de saturação ($I_F \gg I_R$), a expressão (2.1) reduz-se à

$$I_D \approx I_F = I_S i_f \quad (2.2)$$

onde I_S é chamada de corrente específica e i_f representa a corrente normalizada direta ou nível de inversão do transistor. A corrente específica é definida por [19]

$$I_S = I_{SQ} \left(\frac{W}{L} \right) \quad (2.3)$$

em que W e L são respectivamente a largura e comprimento do canal do transistor. Por sua vez, o parâmetro I_{SQ} representa a corrente específica de folha definida como a corrente específica para um transistor de $W/L = 1$, e expressa por

$$I_{SQ} = \frac{1}{2} \mu C'_{ox} n \phi_t^2 \quad (2.4)$$

onde μ é a mobilidade dos portadores no canal de condução, C'_{ox} a capacitância do óxido por unidade de área e ϕ_t é a tensão térmica cujo valor é de 26mV para a temperatura de 300K. A variável "n" é chamada de fator de inclinação (rampa), definida como

$$n = 1 + \frac{C'_b}{C'_{ox}} \quad (2.5)$$

em que C'_b representa a capacitância de depleção por unidade de área .

A relação entre correntes e tensões no modelo ACM para todas as regiões de operação do transistor é dada pela expressão

$$V_P - V_{S(D)} = \phi_t \left[\sqrt{1 + i_{f(r)}} - 2 + \ln \left(\sqrt{1 + i_{f(r)}} - 1 \right) \right] \quad (2.6)$$

em que a tensão de *pinch-off* (V_P) é aproximada por [19]

$$V_P \approx \frac{V_{GB} - V_{T0}}{n} \quad (2.7)$$

sendo V_{T0} a tensão de limiar do transistor. Este parâmetro é fundamental para modelagem e caracterização dos transistores MOS.

As transcondutâncias do transistor são definidas como

$$g_{mg} = \frac{\partial I_D}{\partial V_G}, g_{ms} = -\frac{\partial I_D}{\partial V_S}, g_{md} = \frac{\partial I_D}{\partial V_D}, g_{mb} = \frac{\partial I_D}{\partial V_B}. \quad (2.8)$$

Consequentemente

$$\Delta I_D = g_{mg} \Delta V_G - g_{ms} \Delta V_S + g_{md} \Delta V_D + g_{mb} \Delta V_B. \quad (2.9)$$

A partir de (2.9) podemos facilmente verificar que [19]

$$g_{ms} = g_{mg} + g_{md} + g_{mb}. \quad (2.10)$$

As transcondutâncias de dreno e fonte podem ser calculadas a partir de [21]

$$g_{ms(d)} = \frac{2I_S}{\phi_t} \left(\sqrt{1 + i_{f(r)}} - 1 \right). \quad (2.11)$$

A expressão (2.11) é de suma importância no projeto de circuitos integrados por mostrar uma relação compacta e universal para os transistores MOS. O único parâmetro dependente da tecnologia apresentado nesta equação é a corrente específica que está diretamente ligada as dimensões (W e L) do dispositivo. Em [21] demonstra-se que

$$g_{mg} = \frac{g_{ms} - g_{md}}{n}. \quad (2.12)$$

Além disso temos que um transistor MOS de canal longo e operando em região de saturação apresenta $i_r \ll i_f$ e portanto $g_{mg} \approx g_{ms}/n$.

A transcondutância de substrato pode ser calculada a partir de (2.10) e (2.12)

$$g_{mb} = (n - 1) g_{mg}. \quad (2.13)$$

Outra expressão importante para o projeto de circuitos integrados e que será largamente aplicada nas extrações de parâmetros deste trabalho é a transcondutância por unidade de corrente, g_m/I_D . Este parâmetro mede a eficiência da conversão de potência (corrente) em amplificação (transcondutância). Além disso, este parâmetro permite uma avaliação do nível de inversão do transistor que por sua vez é diretamente relacionado ao desempenho do dispositivo, permitindo seu dimensionamento no projeto de diversos circuitos [21].

Para calcular $g_{ms(d)}/I_{F(R)}$ em termos da corrente específica, combinamos (2.1) e (2.11) resultando

$$\frac{g_{ms(d)}}{I_{F(R)}} = \frac{2}{\phi_t (\sqrt{1 + i_{f(r)}} - 1)}. \quad (2.14)$$

Através de (2.12) e (2.14) obtemos

$$\frac{g_{mg}}{I_D} = \frac{2}{n\phi_t (\sqrt{1 + i_f} + \sqrt{1 + i_r})}. \quad (2.15)$$

Por simplicidade chamaremos g_{mg} apenas de g_m como a transcondutância ligada ao terminal de porta.

2.3. Modelagem das associações de transistores MOS

É possível observar na Figura 2.2 que a simetria intrínseca do transistor MOS é apropriada para a realização de associações equivalentes à um único dispositivo. Tais associações podem ser do tipo série ou paralelo conforme mostra-se na Figura 2.3.

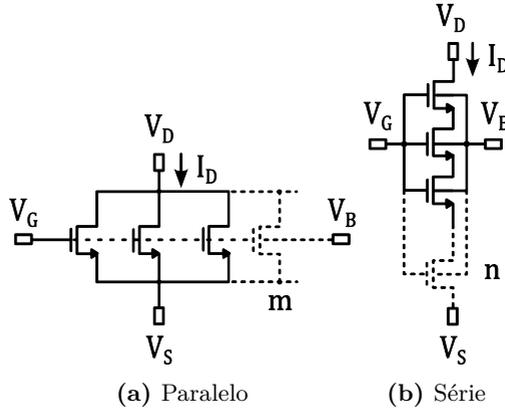


Figura 2.3: Associações de transistores.

As associações de "m" transistores de mesmo comprimento de canal e terminais interligados em paralelo possibilitam a construção de um dispositivo equivalente a um transistor simples. A largura W deste dispositivo é resultante da soma das larguras de canal unitárias e com um comprimento L . Por outro lado, em associações série de "n" transistores de mesma largura de canal obtemos um dispositivo com comprimento equivalente à soma dos comprimentos unitários e uma largura W .

Para a modelagem das associações série na região triodo consideramos o diagrama apresentado na Figura 2.4. Esta configuração é chamada de trapezoidal tipo T [1] sendo inspirada no trabalho realizado por Riccò em [22].

A composição apresentada aqui consiste de dois transistores canal N conectados a partir do nó "X" ligando dreno e fonte de M_S e M_D , respectivamente, sendo os terminais de porta e substrato comuns à ambos os dispositivos.

Como pode ser observado em (2.1), a aproximação por canal gradual permite-nos escrever a corrente de dreno em função dos potenciais aplicados nos terminais de porta-fonte (I_F) e porta-dreno (I_R). Para uma composição de transistores tal como a ilustrada na Figura 2.4 obtemos para o nó "X"

$$I(V_G, V_X) = \frac{\left(\frac{W}{L}\right)_S I(V_G, V_S) + \left(\frac{W}{L}\right)_D I(V_G, V_D)}{\left(\frac{W}{L}\right)_S + \left(\frac{W}{L}\right)_D} \quad (2.16)$$

Através de (2.16) e utilizando o modelo ACM temos que a cor-

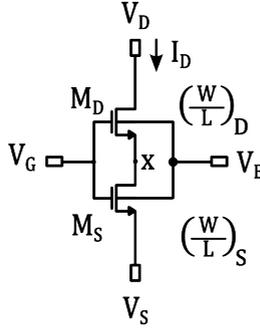


Figura 2.4: Associação série tipo T [1].

rente de dreno para uma composição série de dois transistores é

$$I_D = \left(\frac{W}{L}\right)_{eq} [I(V_G, V_S) - I(V_G, V_D)] \quad (2.17)$$

em que

$$\left(\frac{W}{L}\right)_{eq} = \frac{\left(\frac{W}{L}\right)_S \left(\frac{W}{L}\right)_D}{\left(\frac{W}{L}\right)_S + \left(\frac{W}{L}\right)_D}. \quad (2.18)$$

A expressão (2.18) mostra que a corrente obtida através da associação série para transistores em região linear é similar à obtida com um transistor unitário cuja razão de aspecto seja equivalente. Para que fique mais claro podemos escrever a largura e comprimento de canal equivalentes

$$W_{eq} = W_D \quad (2.19)$$

e

$$L_{eq} = L_D + kL_S \quad (2.20)$$

em que $k = W_D/W_S$. Substituindo as expressões (2.18) e (2.19) em (2.20) obtemos

$$\left(\frac{W}{L}\right)_{eq} = \frac{W_D}{L_D + kL_S}. \quad (2.21)$$

Capítulo 3

Métodos para extração da tensão de limiar

Diversas metodologias foram propostas a partir dos anos 60 para extração da tensão de limiar (V_{T0}). A seguir são sumarizados alguns critérios a serem respeitados por parte dos métodos de caracterização [23]:

- 1) Ser válido em todas as tecnologias;
- 2) Determinar a tensão de porta (V_G) onde a camada de inversão começa a ser criada;
- 3) Ser simples e de fácil aplicação.

Além do mais, em [24] há uma reformulação do item (2) onde acrescenta-se que a extração da tensão de limiar deve ser associada a uma definição clara de V_{T0} baseada em princípios físicos.

3.1. Métodos convencionais

Nesta seção são apresentadas as principais características bem como inconvenientes dos métodos convencionais utilizados na extração de parâmetros. Fazendo uso da característica de transferência ($I_D - V_G$) os métodos permitem a utilização do transistor em região triodo ou em saturação.

3.1.1. Método da Extrapolação Linear (EL)

O método de extrapolação na região linear é um dos métodos mais conhecidos e utilizados para medição da tensão de limiar [25]. Apresentado na Figura 3.1, este método é realizado a partir da extrapolação linear da curva de transferência ($I_D - V_G$) do transistor. A tensão de limiar é determinada pela intersecção da tangente a curva no ponto de maior inclinação com $I_D = 0$ [26, 27].

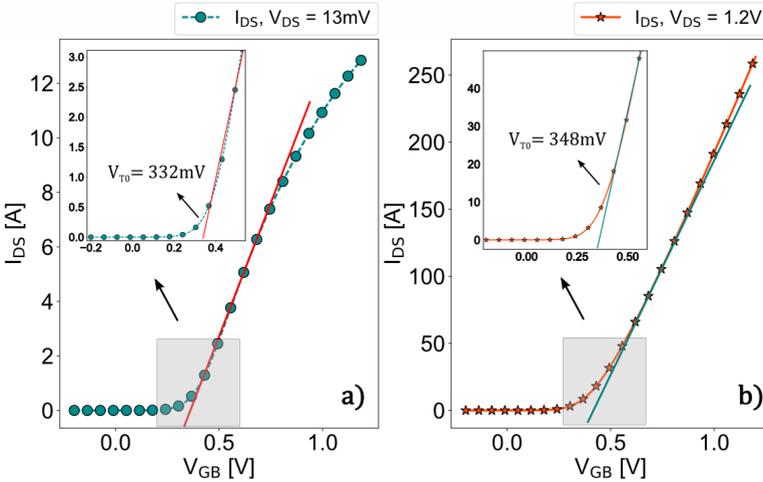


Figura 3.1: Método da Extrapolação Linear: a) Medição de V_{T0} na região triodo e b) região de saturação.

O grande inconveniente desta técnica está na determinação do valor máximo de transcondutância que é afetado pela degradação da mobilidade no canal e a presença de resistências parasitas em série nos terminais de dreno e fonte [28], sendo portanto não dependente só dos parâmetros intrínsecos do transistor. Com isso, a tensão de limiar fica dependente de efeitos de segunda ordem, tais como a degradação da mobilidade e as resistências série. Este resultado pode ser observado na Figura 3.1 que apresenta o método aplicado com o transistor operando na região de saturação ($V_{DS} = 1,2V$), obtendo um valor em torno de 20mV acima do encontrado com o mesmo dispositivo operando na região triodo.

3.1.2. Método *Match-Point* (MP)

Este método foi proposto na década de 90 em [29] e é pouco utilizado atualmente. O valor da tensão de limiar é obtido conforme o valor da tensão de porta correspondente à 6% de desvio na extrapolação de $I_D - V_G$ no regime de inversão fraca. A Figura 3.2 apresenta a curva de transferência em escala semi-logarítmica tanto para a operação do transistor em região linear quanto na saturação.

Conforme observado, o método enfatiza o regime de inversão fraca, sendo o ponto negativo da técnica a dependência de tensão de

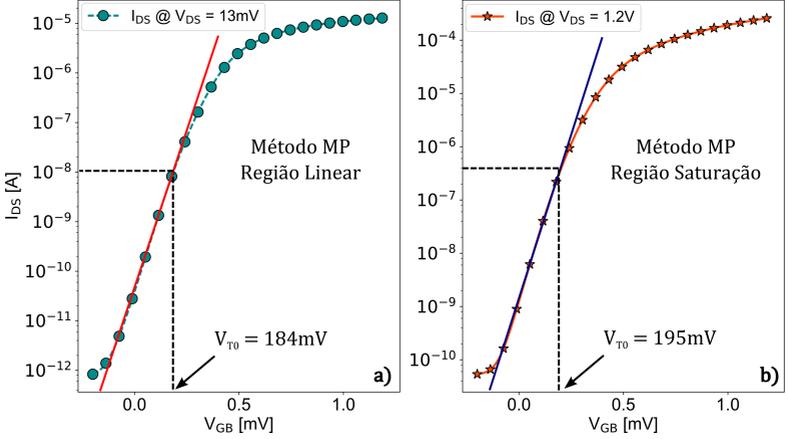


Figura 3.2: Método *Match-Point*: a) Extração de V_{T0} na região linear e b) região de saturação.

limiar com o desvio arbitrário, da curva $I_D - V_G$ em relação a extrapolação no regime de inversão fraca.

Informações mais detalhadas sobre outros métodos de extração da tensão de limiar podem ser encontrados em [25]. Os métodos apresentados são o de derivada segunda (SD - *Second Derivative*) [30], derivada terceira (TD - *Third Derivative*) [31], razão da raiz de transcondutância por corrente (CsrTR - *Current-to-square-root-of-the-Transconductance Ratio*) [32], método de transição [33] entre outros. A maior parte desses métodos utilizam a expressão quadrática para corrente de dreno [21]

$$I_D = \frac{\mu C'_{ox} W (V_{GS} - V_{T0})^2}{2nL} \quad (3.1)$$

que por sua vez é definida somente no regime de inversão forte onde o mecanismo de deriva é predominante. Por outro lado, como a tensão de limiar ocorre no regime de inversão moderada onde tanto o mecanismo de difusão quanto o de deriva são importantes, os métodos analisados apresentam grandes imprecisões na determinação da tensão de limiar.

O maior inconveniente encontrado nos métodos tradicionais que utilizam os modelos baseados no regime de inversão forte está na falta de precisão no cálculo do potencial de superfície (ϕ_s) [25]. Esses métodos adotam ϕ_s constante quando a tensão de porta é maior que a

tensão de limiar ($V_G > V_{T0}$) e da função linear de V_G quando $V_G < V_{T0}$, sendo necessário ajustes para relacionar as diferentes regiões de operação do transistor.

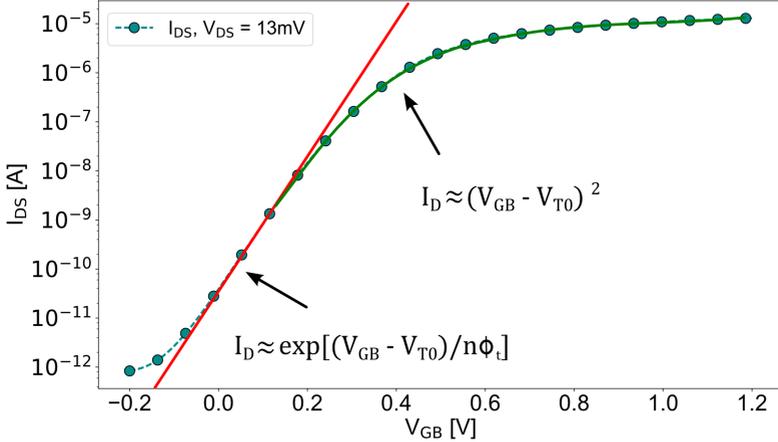


Figura 3.3: Aproximações de inversão forte e fraca da característica $I_D - V_G$ do transistor.

Neste trabalho utiliza-se o modelo ACM, o qual permite a caracterização do transistor em todas as regiões de inversão [21]. Com isso, mostra-se a seguir dois métodos para extração dos parâmetros do transistor baseados no modelo ACM.

3.2. Método g_m/I_D

Este método utiliza o transistor operando em região triodo. A partir disto, evita-se os possíveis efeitos causados pela saturação da velocidade dos portadores e da modulação do comprimento de canal. Para realização do método é utilizada a configuração fonte comum representada na Figura 3.4 para transistores canal N.

O método utiliza-se da expressão (2.6), onde fica evidente que para $i_f = 3$ e $V_S = 0$ a tensão de *pinch-off* é nula e conseqüentemente $V_{GB} = V_{T0}$. A partir das expressões (2.1), (2.12) e (2.15) temos que

$$\frac{g_m}{I_D} = \frac{1}{I_D} \frac{\partial I_D}{\partial V_G} = \frac{g_{ms} - g_{md}}{nI_D} = \frac{2}{n\phi_t (\sqrt{1+i_f} + \sqrt{1+i_r})}. \quad (3.2)$$

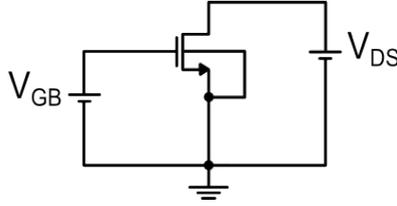


Figura 3.4: Configuração fonte comum de um transistor canal N para realização do método g_m/I_D .

De (3.2) é claro que o máximo valor de transcondutância por unidade de corrente ocorre no regime de inversão fraca profunda, tanto i_f como $i_r \ll 1$

$$\left. \frac{g_m}{I_D} \right|_{\max} = \frac{1}{n\phi_t}. \quad (3.3)$$

Considerando a tensão $V_{DS} = \phi_t/2$ e aplicando-a em (2.6) obtém-se $i_r = 2,1196$ para $i_f = 3$. Substituindo estes valores em (3.2) calcula-se

$$\frac{g_m}{I_D} = \frac{2}{n\phi_t (\sqrt{1+3} + \sqrt{1+2,1196})} = \frac{0,531}{n\phi_t} = 0,531 \left. \frac{g_m}{I_D} \right|_{\max}. \quad (3.4)$$

O resultado obtido com (3.4) permite a conclusão de que para um nível de inversão $i_f = 3$ e uma tensão $V_{DS} = \phi_t/2$, g_m/I_D atinge 53,1% do seu valor máximo. Também se pode comprovar em (2.1) que a corrente específica (I_S) é igual à 1,136 vezes I_D ($i_f = 3$ e $i_r = 2,1196$). Este método pode ser resumido através do gráfico mostrado na Figura 3.5. O eixo-y esquerdo ilustra a corrente de dreno em função da tensão de porta, para os diferentes regimes de inversão. Neste mesmo gráfico, o lado direito do eixo-y representa a transcondutância por unidade de corrente calculada como a derivada logarítmica da corrente em relação a tensão de porta ($\partial \ln I_D / \partial V_G$) do transistor. Com isso, os pontos de extração da tensão de limiar e corrente específica do transistor estão ilustrados na curva seguindo as definições do método.

Os parâmetros de tensão de limiar e corrente específica são muito importantes para o projeto de circuitos e para a caracterização da tecnologia. Adicionalmente, estes parâmetros servirão de base para a extração de outras características do transistor tais como a mobilidade efetiva de portadores (μ_{eff}) e o fator de inclinação (n).

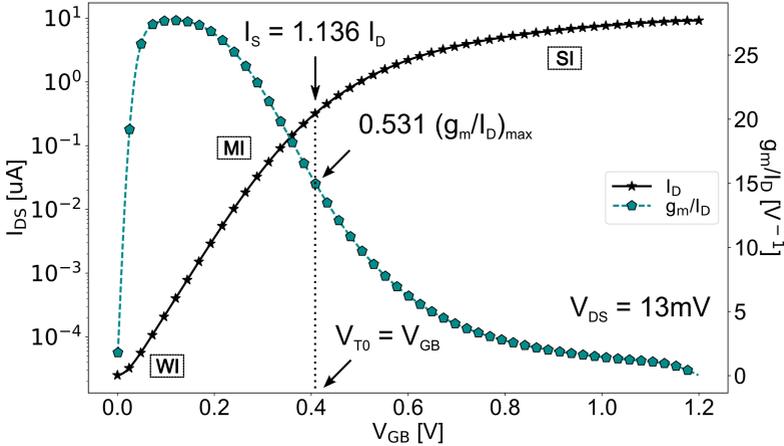


Figura 3.5: Corrente de dreno e transcondutância por unidade de corrente de um transistor canal N.

3.3. Método $3I_S$

O método adotado neste trabalho utiliza uma corrente igual a $3I_S$ [19] que é função dos principais parâmetros do transistor e que I_S é a corrente específica obtida no método g_m/I_D .

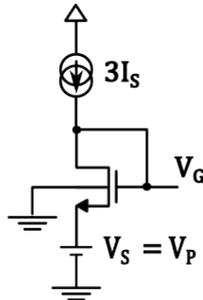


Figura 3.6: Configuração de um transistor canal N para realização do método $3I_S$.

A diferença com o método de corrente constante amplamente difundido na indústria é que este último utiliza uma corrente escolhida arbitrariamente e portanto se aplica sem modificações a qualquer tecnologia MOS. Para a realização do método $3I_S$ será utilizada a configu-

ração ilustrada na Figura 3.6 permitindo o funcionamento do transistor em região de saturação. Tendo em vista que na saturação a corrente direta (I_F) é muito maior que a corrente reversa (I_R), se pode escrever o nível de inversão como $i_f = I_D/I_S = 3$ e consequentemente de (2.6), $V_P = V_S$.

A tensão de limiar é obtida novamente para $V_P = 0$ ($V_G = V_{T0}$) conforme ilustrado na Figura 3.7.

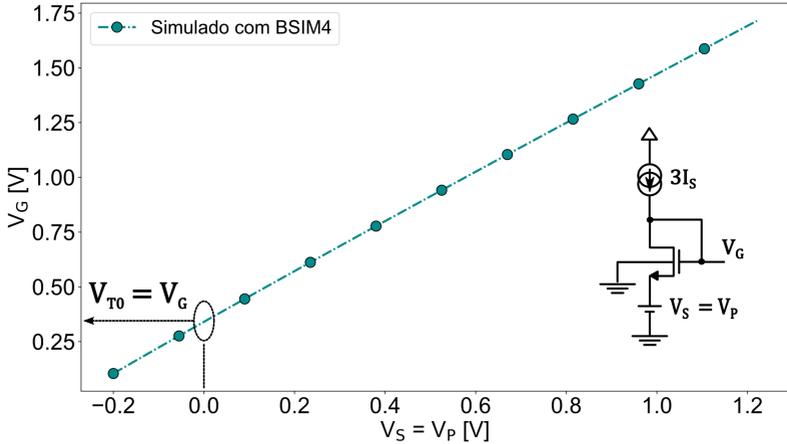


Figura 3.7: Extração da tensão de limiar através do método $3I_S$.

O fator de inclinação (rampa) é obtido com o método $3I_S$ por meio da expressão [19]

$$n = \frac{1}{\left(\frac{\partial V_P}{\partial V_G}\right)}. \quad (3.5)$$

A extração do fator de inclinação em função da tensão de porta é mostrado na Figura 3.8.

Como pôde ser observado, as vantagens no uso deste método está na rápida e direta extração da tensão de limiar e do fator de inclinação. Uma possível desvantagem do método devido a operação do transistor em região de saturação é a sensibilidade aos efeitos de canal curto [34]. Porém como os transistores operam muitas vezes na saturação, o método extrai os parâmetros na região apropriada.

No próximo capítulo são apresentadas as simulações realizadas com o modelo BSIM4. A partir das extrações poderão ser observadas as dependências dos parâmetros em função do comprimento do canal e

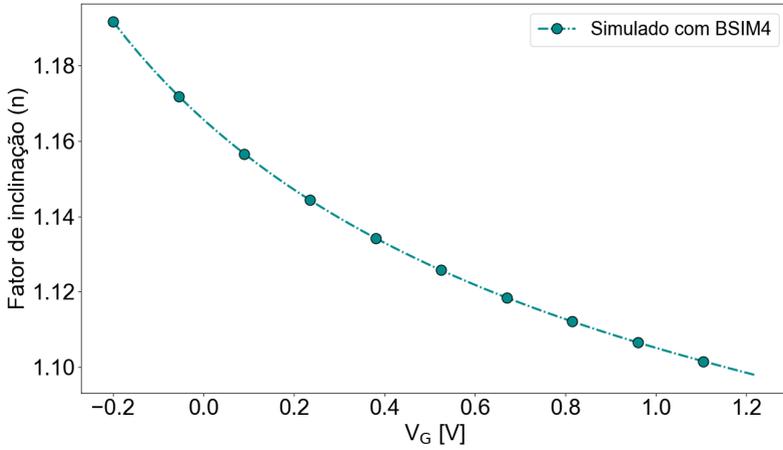


Figura 3.8: Extração do fator de inclinação através do método $3I_S$.

também realizar comparações entre os métodos estudados neste capítulo.

Capítulo 4

Simulações com LVTNFET utilizando o modelo BSIM4

Os transistores com baixa tensão de limiar (LVT - *Low Voltage Threshold*) disponibilizados pela GlobalFoundries CMOS 130nm utilizam o modelo BSIM4 no simulador elétrico de circuitos Spectre[®]. Este modelo compacto é baseado no conceito de tensão de limiar sendo aplicado nas mais diversas tecnologias nanométricas [35].

A Tabela 4.1 apresenta parâmetros relevantes da tecnologia CMOS 130nm os quais foram extraídos do documento de informações do processo de fabricação, PDK (*Process Design Kit*).

Tabela 4.1: Parâmetros básicos da Tecnologia CMOS 130nm.

Transistor	LVT
Alim. [V]	1,2 (<i>núcleo</i>) - 1,5 (entrada/saída)
W_{min} [nm]	160
ΔW [nm]	10 (NFET) - 40 (PFET)
L_{min} [nm]	120
ΔL [nm]	28
t_{ox} [nm]	$2,2 \pm 0,15$
C'_{ox} [fF/ μm^2]	15,97

Conforme ilustrado na Tabela 4.1, as tensões de alimentação disponíveis são de 1,2V e 1,5V. A largura e comprimento mínimo do canal dos transistores é representada por W_{min} e L_{min} respectivamente. ΔW é a variação da largura do canal em função da invasão do óxido de porta nas regiões ativas do transistor e ΔL , a variação do comprimento do canal com as difusões laterais resultantes do processo de fabricação.

A espessura do óxido de porta é dada por t_{ox} e C'_{ox} , a capacitância do óxido por unidade de área.

4.1. Extração de parâmetros com o método g_m/I_D

A seguir são mostrados os resultados obtidos através das simulações em ambiente Cadence Virtuoso Spectre®. Para estas análises foram considerados transistores canal N simulados em temperatura de 26°C. Os resultados adquiridos aqui podem ser estendidos aos transistores canal P cujas análises estão sumarizadas no *Apêndice A - Extração de parâmetros simulados do transistor LVTPFET*.

A partir da característica de transcondutância por unidade de corrente (g_m/I_D) ilustrada na Figura 3.5 calcula-se o valor da tensão de limiar (V_{T0}) e a corrente específica correspondente a uma determinada razão de aspecto geométrico W/L.

4.1.1. Tensão de limiar

Na Figura 4.1 é apresentada a tensão de limiar, obtida pelo método g_m/I_D , onde o transistor opera em região linear. Para esta simulação são utilizados transistores unitários tipo N de diferentes comprimentos de canal com $3W_{min} = 480\text{nm}$.

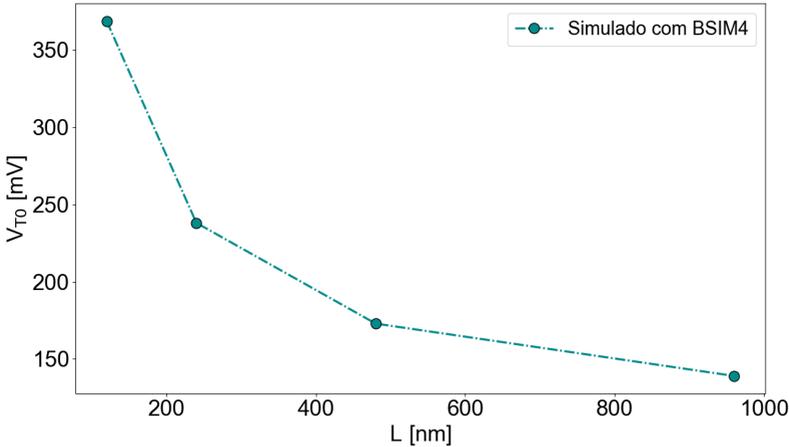


Figura 4.1: Tensão de limiar em função do comprimento do canal.

Através da simulação realizada observa-se um decréscimo de 230mV na tensão de limiar para um aumento de oito vezes do comprimento do

canal em relação ao comprimento mínimo. Este resultado mostra que o modelo BSIM4 leva em consideração os efeitos de canal curto reverso (RSCE) originados pelo uso dos implantes *pocket*.

4.1.2. Corrente específica de folha

A seguir é apresentada na Figura 4.2 a corrente específica de folha obtida pelo método g_m/I_D , para diversos comprimentos de canal.

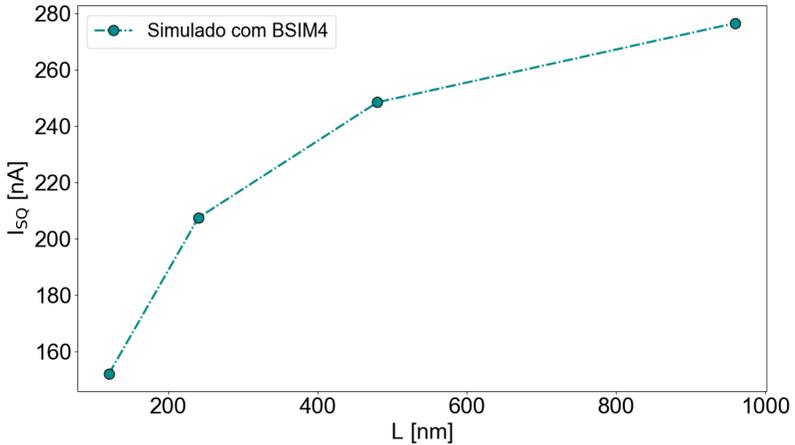


Figura 4.2: Corrente específica de folha em função do comprimento do canal.

Observa-se através da curva que há um aumento de 55% na corrente específica de folha com o comprimento do canal. Este resultado pode ser explicado por um aumento da mobilidade com o incremento do comprimento do canal, o que é razoável. Com efeito para canais curtos a dopagem dos implantes *pocket* é predominante mas para canais longos a dopagem mais baixa do substrato prevalece. Como a mobilidade é uma função decrescente da dopagem, os transistores com canais mais longos apresentam uma mobilidade efetiva mais elevada.

4.1.3. Fator de inclinação

Outro importante parâmetro a ser caracterizado através do método g_m/I_D é o fator de inclinação. Esta característica pode ser extraída através de (3.3). Sendo assim, a Figura 4.3 mostra a variação de n em função do comprimento do canal.

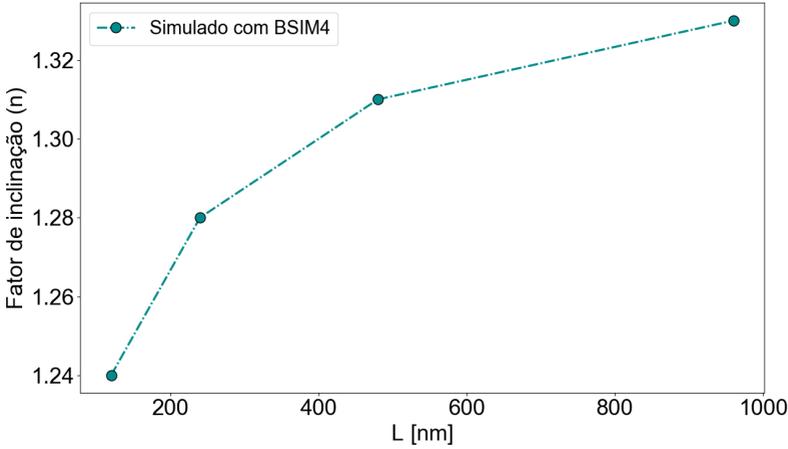


Figura 4.3: Fator de inclinação em função do comprimento do canal.

Pode-se observar uma diferença no fator de inclinação de mais de 8% a partir da variação do canal. O aumento deste parâmetro com o comprimento do canal e conseqüentemente com a diminuição de dopagem medida não tem um significado físico já que $n = 1 + C'_b/C'_{ox}$ e a capacitância de depleção por unidade de área é uma função crescente de dopagem como pode ser verificado através de

$$C'_b = \frac{\sqrt{2q\epsilon_s N_A}}{2\sqrt{\phi_{sa} - \phi_t}} \quad (4.1)$$

em que q representa a carga elementar do elétron que equivale a $1,6 \times 10^{-19} \text{C}$, ϵ_s é a permissividade do semiconductor, N_A a concentração de dopantes aceitadores no semiconductor, ϕ_{sa} é o potencial de superfície no semiconductor em inversão fraca profunda e ϕ_t a tensão térmica.

Como há um forte impacto da dopagem utilizada nos implantes *pocket* em comprimentos mais curtos de canal (isto é, $L = 120 \text{nm}$ e $L = 240 \text{nm}$) e em contrapartida, uma maior uniformidade da dopagem em comprimentos mais longos, a curva extraída através da simulação deveria apresentar característica oposta à obtida.

4.1.4. Mobilidade de portadores

Através da tensão de limiar (V_{T0}), corrente específica (I_S) e fator de inclinação (n), extraídos através do método g_m/I_D , pode-se obter a

mobilidade efetiva de portadores (μ_{neff}) com

$$\mu_{neff} = \frac{2I_{SQ}}{nC'_{ox}\phi_t^2}. \quad (4.2)$$

A Figura 4.4 ilustra o comportamento obtido em relação à dependência da mobilidade efetiva de elétrons (isto é, referindo-se a transistores canal N) com o comprimento do canal.

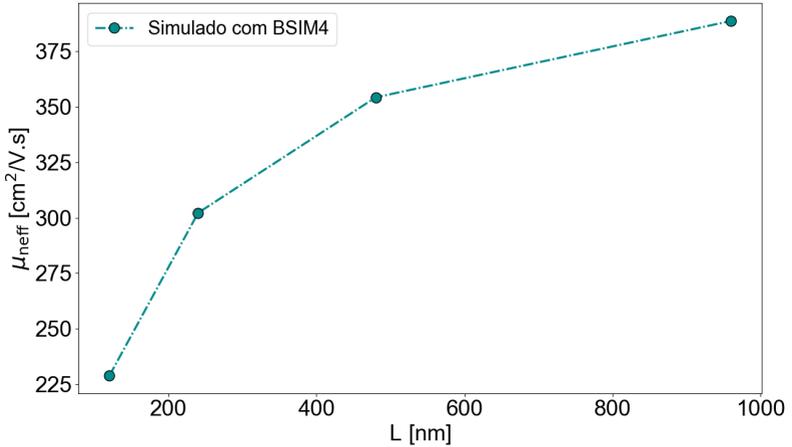


Figura 4.4: Mobilidade efetiva em função do comprimento do canal.

Como esperado, a mobilidade dos portadores aumenta na mesma taxa que a corrente específica de folha.

4.1.5. Avaliação do impacto da largura do canal nos parâmetros dos transistores

Até o presente momento compreendeu-se apenas os efeitos causados pelo aumento do comprimento do canal nos diversos parâmetros do transistor, mantendo $3W_{min} = 480\text{nm}$. As próximas análises tem o objetivo contrário, ou seja, são observados os impactos causados pela variação na largura do canal mantendo $4L_{min} = 480\text{nm}$.

4.1.5.1. Tensão de limiar

A Figura 4.5 mostra a dependência da tensão de limiar com a largura do canal.

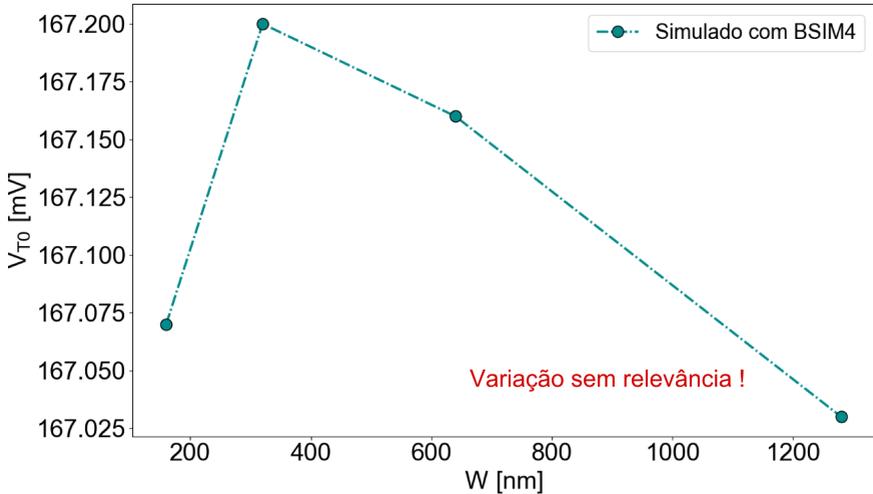


Figura 4.5: Tensão de limiar em função da largura do canal.

Ao contrário do resultado obtido na análise da variação do comprimento do canal, observamos na Figura 4.5 que a tensão de limiar não é praticamente afetada com o aumento da largura do canal.

4.1.5.2. Corrente específica de folha

O gráfico da corrente específica de folha em função da largura do canal é mostrado na Figura 4.6. Pode-se observar que ocorre um aumento em torno de 17% na corrente específica de folha medida entre a largura mínima e máxima simuladas.

4.1.5.3. Fator de inclinação

O fator de inclinação obtido em simulação é mostrado na Figura 4.7. Em contrapartida ao apresentado com o aumento do comprimento do canal, observa-se aqui que este parâmetro não muda praticamente com a variação da largura do canal.

Através dos resultados aqui apresentados pode-se verificar que o aumento da largura do canal não influencia de forma significativa os parâmetros característicos do transistor. Sendo assim, o projeto do chip proposto terá foco na variação dos parâmetros com o comprimento do canal.

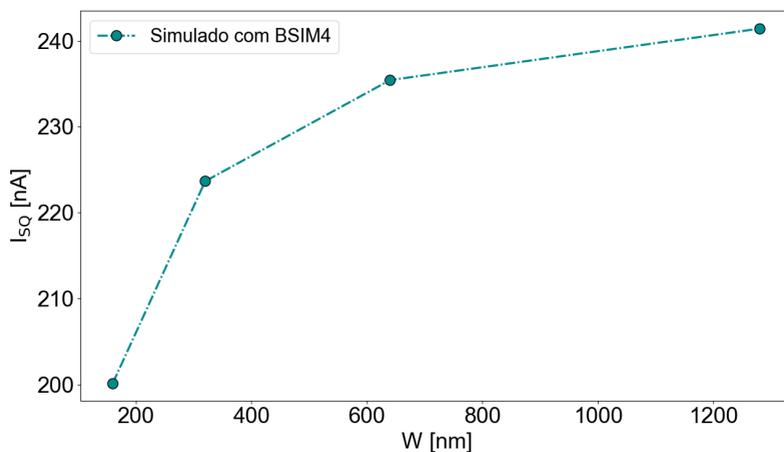


Figura 4.6: Corrente específica de folha em função da largura do canal.

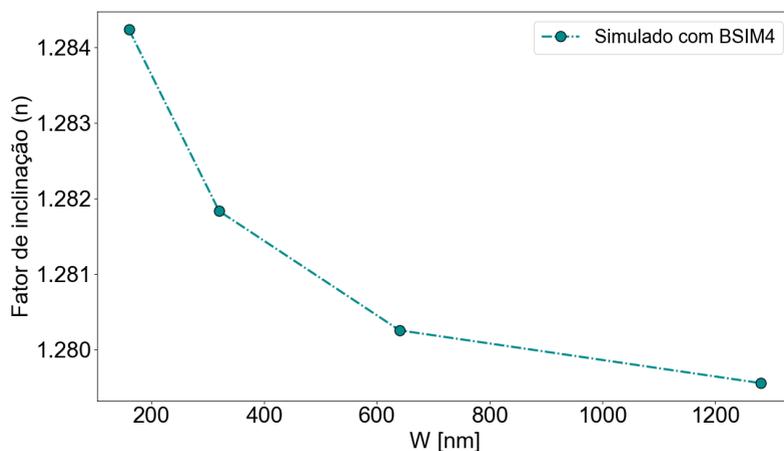


Figura 4.7: Curva da variação do fator de inclinação em função da largura do canal.

4.1.5.4. Mobilidade de portadores

A partir das variações de corrente específica e fator de inclinação em função do comprimento do canal, podemos extrair a dependência da mobilidade em função da largura do canal, assim ilustrada na Figura 4.8.

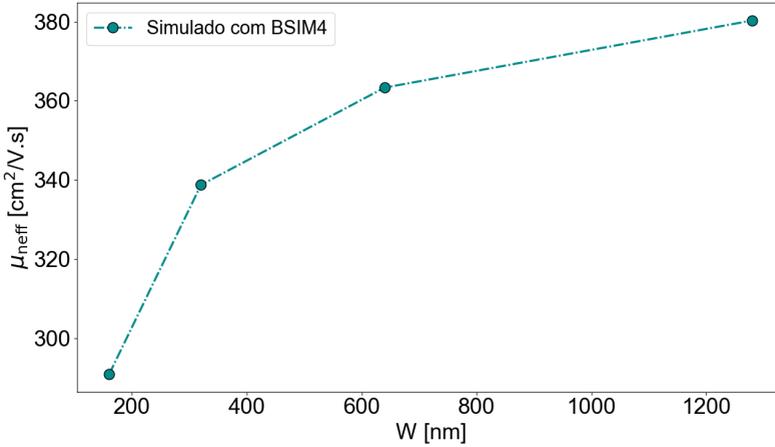


Figura 4.8: Curva da variação da mobilidade de portadores efetiva em função da largura do canal.

Observa-se um aumento da mobilidade de 23,68% entre largura mínima e máxima observada. Esse resultado é similar ao apresentado para o aumento do comprimento do canal.

4.2. Extração de parâmetros com o método $3I_S$

A seguir são apresentados os resultados obtidos a partir das simulações com o método $3I_S$. Os parâmetros determinados nesta análise são a tensão de limiar e o fator de inclinação para o transistor operando em região de saturação.

4.2.1. Tensão de limiar

Através do método $3I_S$ determinamos a tensão de limiar para diferentes comprimentos de canal conforme ilustrado na Figura 4.9.

Por meio das curvas é possível observar que a tensão de limiar decresce com o comprimento do canal assim como observado no método g_m/I_D . A variação da tensão de limiar com o comprimento do canal apresentada na saturação é cerca de 215mV, valor bastante próximo (erro relativo de 6,5%), ao obtido na região linear, portanto um resultado bem consistente.

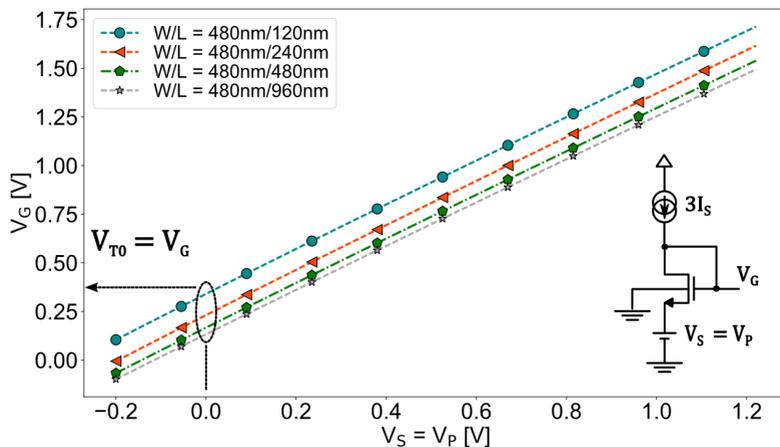


Figura 4.9: Tensão de limiar pelo método $3I_S$ em função de diferentes razões de aspecto.

4.2.2. Fator de inclinação

O fator de inclinação para diferentes razões de aspecto é mostrado na Figura 4.10.

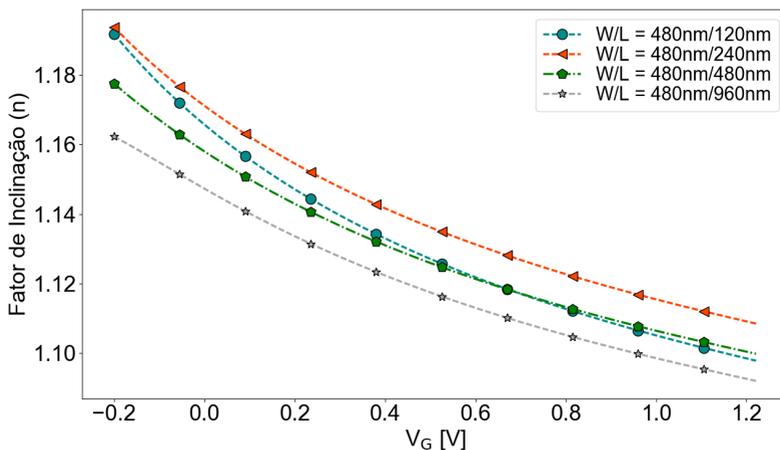


Figura 4.10: Conjunto de curvas para extração do fator de inclinação com o método $3I_S$ em função de diferentes razões de aspecto.

A máxima variação ($V_S = -0,2V$) observada para o fator de incli-

nação é de aproximadamente 3%. Além disso, pode-se observar através das curvas obtidas que este parâmetro decresce com o comprimento do canal em oposição ao resultado obtido com o método g_m/I_D . Este resultado sugere que o modelo BSIM4 modela a região de saturação de forma mais consistente que a região linear.

4.3. Comparativo entre análises de *corners* e Monte Carlo

Um importante aspecto a ser analisado na extração de parâmetros é a relação entre o pior caso de extremos (*corners*) e as dispersões obtidas através do método de Monte Carlo.

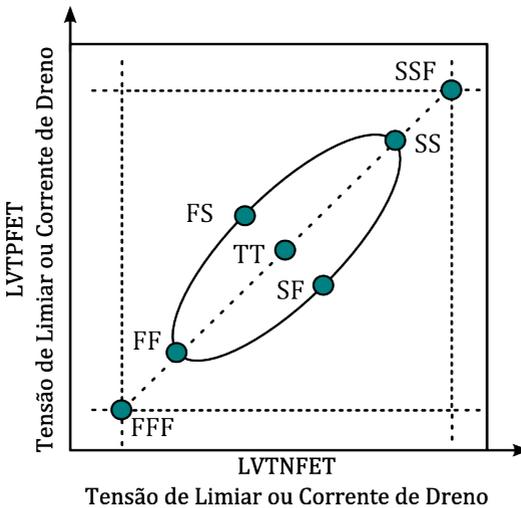


Figura 4.11: Disposição dos *corners* na tecnologia GlobalFoundries CMOS 130nm.

Na análise de *corners* são incluídos os efeitos das variações dos principais parâmetros dos dispositivos com o processo de fabricação. A tecnologia CMOS 130nm utilizada neste trabalho compreende sete tipos de *corners* conforme ilustrado na Figura 4.11, os quais estão sumarizados na Tabela 4.2.

Conforme ilustrados na Tabela 4.2, os *corners* definem os limites de desempenho (TT, SS, SF, FS e FF), como também de funcionalidades em até três desvios padrões (SSF e FFF) dos circuitos fabricados na tecnologia. Deste modo, se os requisitos de um projeto são consistentes

Tabela 4.2: Sumário sobre os *corners* da tecnologia GlobalFoundries CMOS 130nm.

Corner	Descrição
Typ./Typ. (TT)	Desempenho nominal CMOS estático
Fast/Fast (FF)	Melhor desempenho CMOS estático
Fast/Slow (FS)	Transistor tipo N rápido e P lento
Fast/Fast/Funct. (FFF)	Limite funcional do <i>corner</i> FF
Slow/Slow (SS)	Pior desempenho CMOS estático
Slow/Fast (SF)	Transistor tipo P rápido e N lento
Slow/Slow/Funct. (SSF)	Limite funcional do <i>corner</i> SS

nos diferentes *corners*, há uma garantia de que o circuito fabricado esteja dentro das especificações. Como dito anteriormente, os *corners* de desempenho avaliam a velocidade dos transistores de canal N e P em relação as variações de processo. Por outro lado, os *corners* funcionais avaliam condições extremas de variação de processo no funcionamento dos transistores levando em consideração apenas os melhores e piores casos de desempenho (SS e FF).

Na Figura 4.12 é mostrado o histograma obtido para a tensão de limiar através do método $3I_S$. Para esta análise foi utilizado um transistor canal N de razão de aspecto $W/L = 480\text{nm}/480\text{nm}$, sendo realizadas duzentas rodadas de variações de processo e descasamento com a simulação de Monte Carlo.

Para finalizar, a Tabela 4.3 apresenta um comparativo entre os resultados obtidos através dos *corners* extremos (SSF e FFF) e as dispersões máximas na simulação de Monte Carlo.

Tabela 4.3: Sumário dos resultados de *corners* e Monte Carlo da tensão de limiar pelo método $3I_S$.

Corner	V_{T0} [mV]	Monte Carlo	V_{T0} [mV]
FFF	88,25	Valor mínimo	112
TT	166,9	Valor média	165,9
SSF	249,4	Valor máximo	207,6

Observamos neste caso que a dispersão de V_{T0} calculada como diferença entre os *corners* SSF e FFF é 40% maior que a dispersão de V_{T0} na simulação de Monte Carlo.

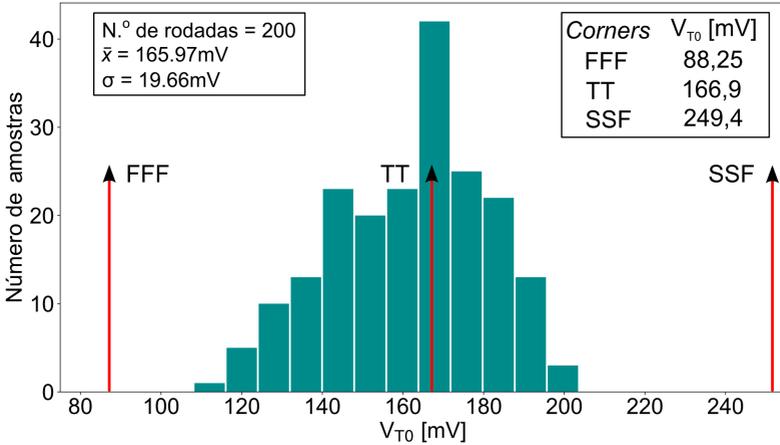


Figura 4.12: Monte Carlo de processo e descasamento da tensão de limiar com o método $3I_S$.

4.4. Impacto da redução de V_{T0} em função de L no projeto de osciladores em anel

Nesta seção são apresentadas as relações de ganhos e perdas na escolha de V_{T0} , comprimento do canal e máxima frequência de oscilação para projetos em ultra baixa tensão de alimentação, 100mV ou menos [36]. Como exemplo, são analisados o projeto de dois osciladores em anel de três estágios como mostrado na Figura 4.13.

O primeiro projeto (projeto 1) tem por objetivo utilizar transistores canal N e P de comprimento mínimo. Já o segundo circuito (projeto 2) é projetado com transistores de canal longo ($8L_{min}$) a fim de comparar as respostas obtidas em ambos os casos. A Tabela 4.4 resume os resultados obtidos através dos dois projetos.

Os sinais de saída dos circuitos projetados são mostrados na Figura 4.14.

Os resultados obtidos mostram que o projeto do oscilador com o comprimento de canal mínimo é o que requer uma maior tensão para inicialização. Este fato decorre da alta tensão de limiar, acima de 320mV, necessária aos transistores.

Por outro lado, é possível observar que além de uma menor tensão necessária para a oscilação do circuito, o comprimento de $8L_{min}$ obteve a maior frequência de oscilação a ultra baixa tensão de alimentação.

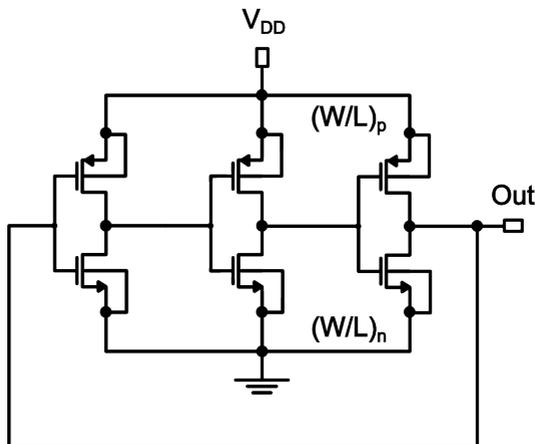


Figura 4.13: Oscilador em anel de três estágios.

Tabela 4.4: Sumário dos osciladores em anel projetados.

Parâmetro	Projeto 1	Projeto 2
$(W/L)_n$ [nm/nm]	480/120	480/960
V_{T0_n} [mV]	368,6	139,0
$(W/L)_p$ [nm/nm]	2400/120	2400/960
V_{T0_p} [mV]	335,2	148,7
Tensão de inicialização [mV]	125	76
V_{Out} [mV _{pp}]	26,85	12,6
Frequência de oscilação [MHz]	3	11

As análises realizadas mostram que em projetos de ultra baixa tensão devem ser evitados transistores com comprimento mínimo de canal, pois estes apresentam tensão elevada devido aos efeitos RSCE.

4.5. Extração da tensão de Early

A tensão de Early (V_A) é um dos mais importantes parâmetros de projeto para circuitos analógicos. Com a redução nos valores desse parâmetro em consequência de comprimentos de canal cada vez menores, a precisão dos espelhos de corrente e os ganhos de tensão dos amplificadores ficam bastante prejudicados. A relação de V_A com a

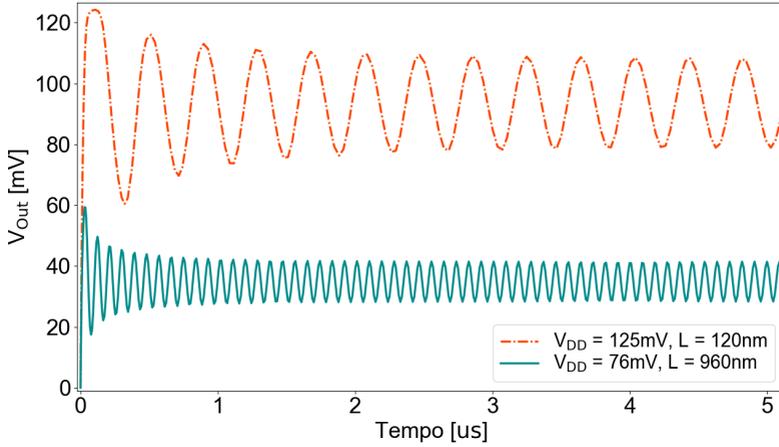


Figura 4.14: Sinais de saída dos osciladores em anel.

condutância de saída é

$$g_{ds} = \frac{\partial I_D}{\partial V_D} = \frac{I_D}{V_A}. \quad (4.3)$$

Os efeitos de canal curto na região de saturação dificultam a determinação da condutância de saída [17]. Em análises de primeira ordem podemos assumir que a tensão de Early é dependente apenas do comprimento do canal. Porém esta observação não é consistente para dispositivos que apresentam canal extremamente reduzido e que apresentam efeitos causados pelo uso dos implantes *pocket* como no caso da tecnologia CMOS 130nm.

Para extrair V_A experimentalmente e também por meio de simulações utilizaremos a configuração apresentada na Figura 4.15. Permite-se através dela variar o nível de inversão (i_f) do transistor a partir da polarização por corrente de referência (I_{ref}) definida por

$$I_{ref} = I_S i_f. \quad (4.4)$$

A Figura 4.16 ilustra a característica de saída ($I_D - V_D$) obtida para diferentes níveis de inversão.

A tensão de saturação ($V_{D_{SAT}}$) do transistor MOS pode ser aproximada pela expressão [21]

$$V_{D_{SAT}} \approx \phi_t \left(\sqrt{1 + i_f} + 3 \right) \quad (4.5)$$

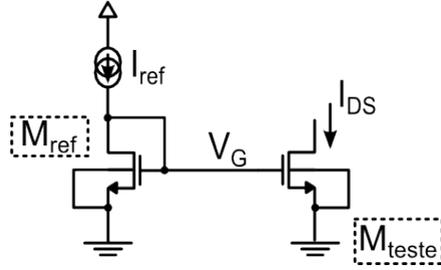


Figura 4.15: Diagrama esquemático para extração da tensão de Early.

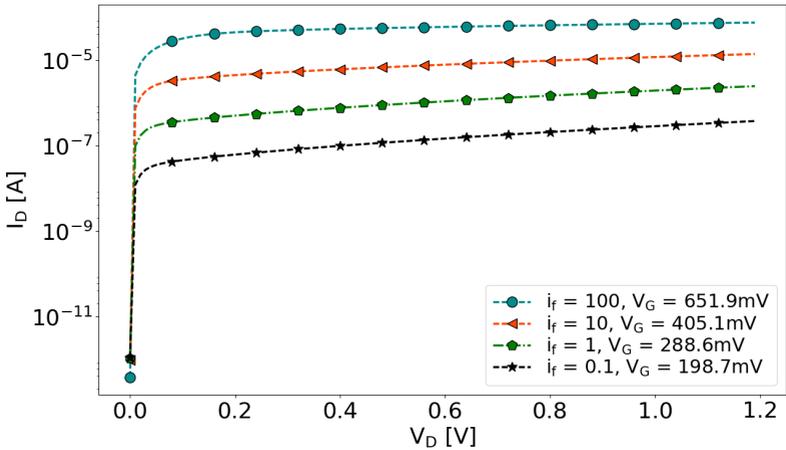


Figura 4.16: Característica de saída do transistor de $W/L = 480\text{nm}/120\text{nm}$ para diferentes níveis de inversão.

que mostra a dependência de $V_{D_{SAT}}$ com o nível de inversão i_f .

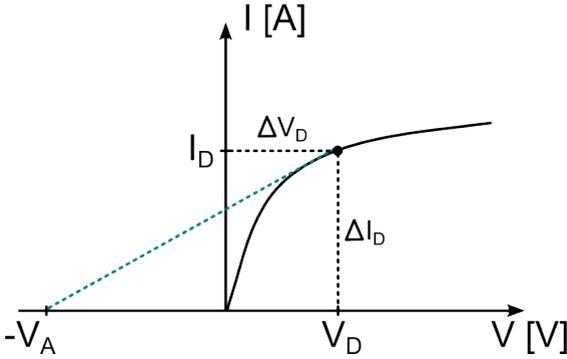
A Tabela 4.5 ilustra os quatro níveis de inversão que são utilizados com as respectivas tensões de saturação.

A tensão de Early pode ser obtida através da análise gráfica mostrada na Figura 4.17. Pode-se então relacionar a condutância de saída com a tensão de Early por

$$g_{ds} = \frac{\Delta I_D}{\Delta V_D} = \frac{I_D}{V_D + V_A} = \frac{\partial I_D}{\partial V_D}. \quad (4.6)$$

Tabela 4.5: Tensões de saturação para diferentes níveis de inversão

i_f	$V_{D_{SAT}} [mV]$
0,1	105,3
1	114,8
10	164,2
100	339,3

**Figura 4.17:** Característica $I_D - V_D$.

Isolando a tensão de Early obtém-se

$$V_A = I_D \frac{1}{\left[\frac{\partial(I_D)}{\partial V_D} \right]} - V_D = \frac{1}{\left[\frac{\partial \ln(I_D)}{\partial V_D} \right]} - V_D. \quad (4.7)$$

A Figura 4.18 mostra a tensão de Early simulada com o modelo BSIM4 para um transistor canal N de razão geométrica $W/L = 480\text{nm}/120\text{nm}$.

Nas curvas ilustradas na Figura 4.18 é possível observar valores negativos da tensão de Early para $i_f = 0,1$ e $i_f = 1$. Para entender estes resultados são mostrados a seguir os gráficos $I_D - V_D$ obtidos para ambos os níveis de inversão.

Pode-se observar que a corrente de dreno apresenta uma forte dependência com a tensão V_D na região de saturação, possível consequência dos efeitos de DIBL no transistor com L_{min} . Como exemplo, observa-se o caso do nível de inversão $i_f = 1$.

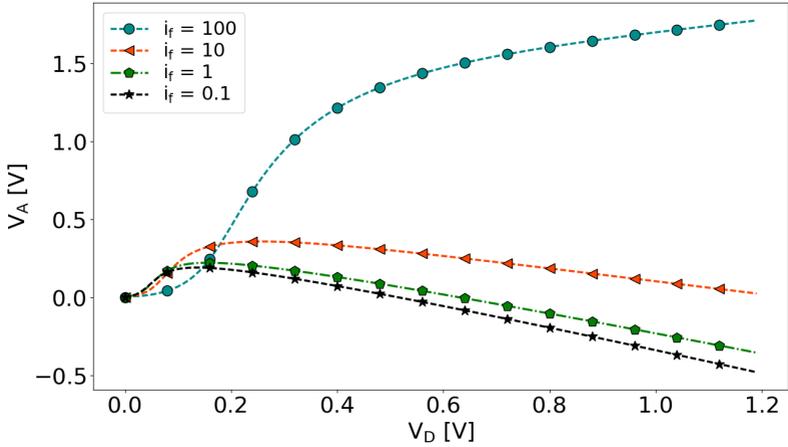


Figura 4.18: Tensão de Early para diferentes níveis de inversão do transistor com dimensões $W/L = 480\text{nm}/120\text{nm}$.

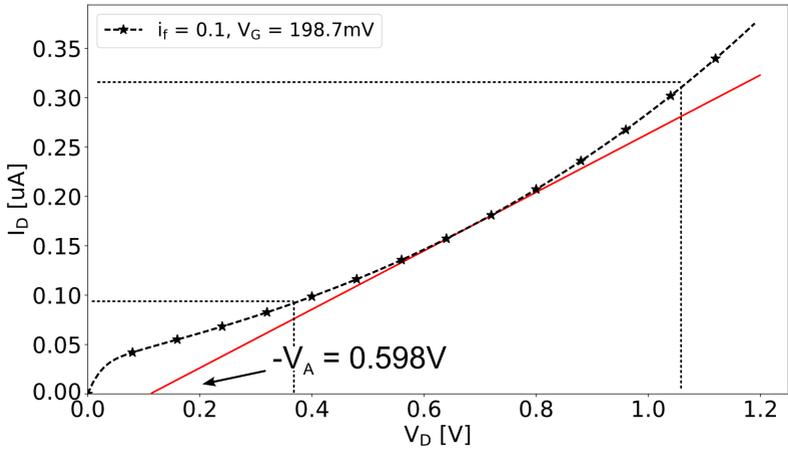


Figura 4.19: Característica $I_D - V_D$ para $i_f = 0,1$ do transistor com $W/L = 480\text{nm}/120\text{nm}$.

A equação da reta utilizada para extração de V_A neste caso é

$$I_{D2} - I_{D1} = m(V_{D2} - V_{D1}) + b \quad (4.8)$$

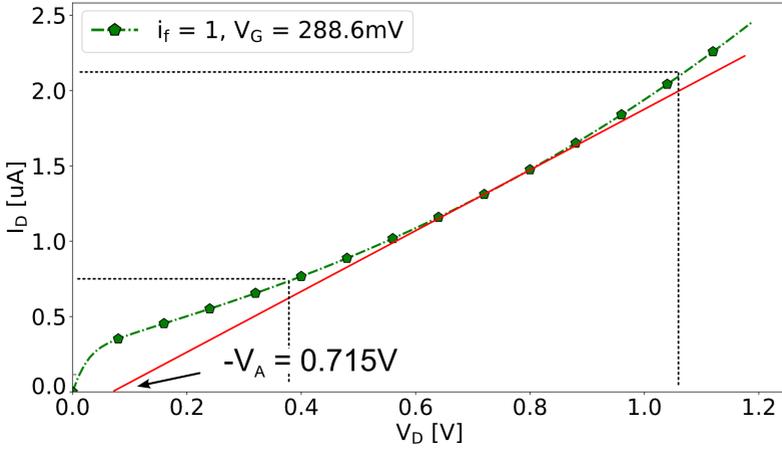


Figura 4.20: Característica $I_D - V_D$ para $i_f = 1$ do transistor com $W/L = 480\text{nm}/120\text{nm}$.

em que o coeficiente angular é dado por

$$m = \frac{\Delta I_D}{\Delta V_D} = \frac{I_{D2} - I_{D1}}{V_{D2} - V_{D1}} = \frac{0,1 \times 10^{-6} - 0,335 \times 10^{-6}}{1,1 - 0,4} = -0,3357 \times 10^{-6}. \quad (4.9)$$

O coeficiente linear "b" pode ser calculado

$$b = I_{D1} - mV_{D1} = 0,335 \times 10^{-6} - (-0,3357 \times 10^{-6}) 0,4 = 0,469 \times 10^{-6}. \quad (4.10)$$

Com isso é possível calcular a tensão de Early obtida no semi plano direito

$$V_A = \frac{b}{m} = -\frac{0,3357 \times 10^{-6}}{0,469 \times 10^{-6}} = -0,715V. \quad (4.11)$$

Capítulo 5

Projeto do chip teste

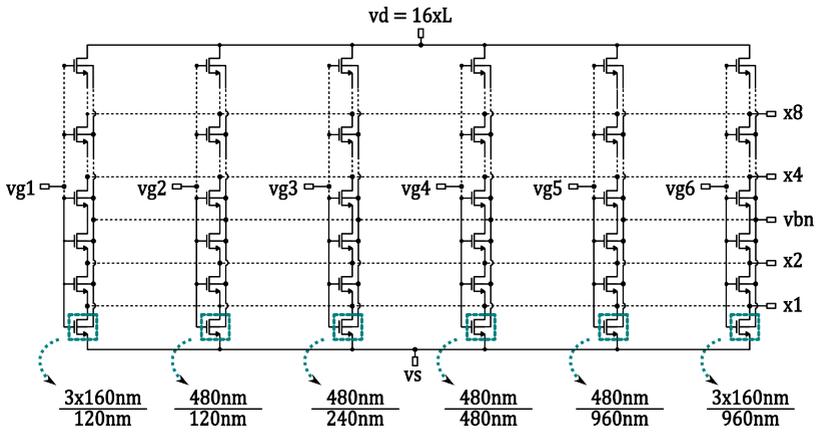
O circuito proposto neste trabalho tem entre suas finalidades a extração dos parâmetros descritos no capítulo 4 por meio de simulações. Para a caracterização estática (CC) da tecnologia, o circuito faz uso de transistores com variadas razões de aspecto conforme ilustrado nas figuras 5.1 a) para dispositivos de canal N e 5.1 b) para canal P.

Dentre as geometrias propostas no circuito são utilizadas às que mantém a largura de canal em três vezes a mínima ($3W_{min}$) permitida pela tecnologia. Com isso, evita-se os possíveis efeitos de canal estreito [37] podendo ser analisados e comparados os parâmetros tanto de transistores unitários quanto de associações série.

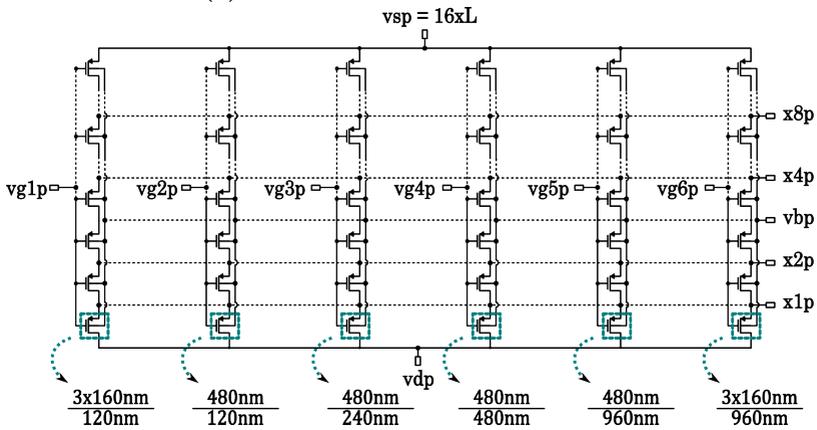
Para aumentar a gama de funcionalidades, o circuito proposto contém ainda um transistor unitário de dimensões mínimas (LVT), um transistor zero-VT (ZVT) ou nativo, além de duas associações série (MIS) para o estudo do descasamento de V_{T0} entre transistores conforme ilustrado na Figura 5.2. Vale ainda ressaltar que neste trabalho serão utilizadas apenas as configurações que permitem analisar o impacto do aumento do comprimento do canal nos parâmetros básicos do transistor, seja através de transistores unitários ou associações de transistores.

Nas figuras 5.1 e 5.2 pode-se observar que o mecanismo de escolha do transistor de interesse se dá por meio dos terminais de porta e dreno (fonte).

Além dos parâmetros de transistores unitários ($V_{D(S)} = x1$) podem ser extraídos as características de dois (x2), quatro (x4), oito (x8) e até dezesseis (x16) transistores em série. Esta funcionalidade permite que sejam confrontadas as tensões de limiar (V_{T0}), corrente específica de folha (I_S), mobilidade (μ), fator de inclinação (n) e tensão de Early (V_A) extraídas a partir de diversas combinações.



(a) Matriz de transistores LVTNFET.



(b) Matriz de transistores LVTPFET.

Figura 5.1: Diagramas esquemáticos do circuito proposto.

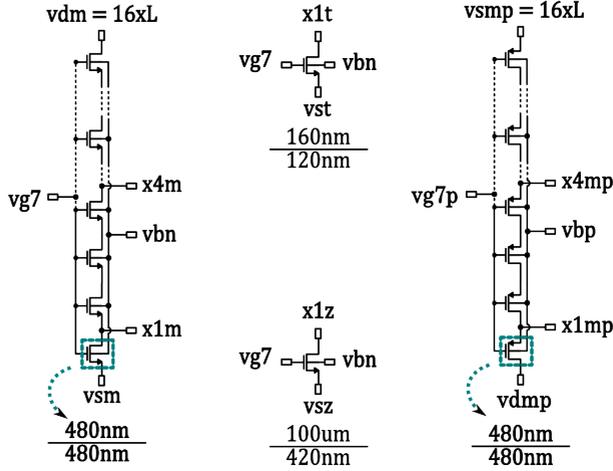


Figura 5.2: Diagramas esquemáticos do transistor unitário (LVT), nativo (ZVT) e associações série de transistores para análises de descasamento (MIS).

O compartilhamento de pinos entre as associações (vide figuras 5.1 e 5.2) permite além da otimização de funcionalidades do chip, o uso de um grande número de transistores dispostos em formato de matriz.

A Tabela 5.1 traz o sumário dos pinos utilizados com uma breve descrição de cada um. Uma importante observação que será seguida durante o decorrer das análises é a distinção entre transistores unitários e associações série/paralelo. Com esta finalidade adota-se a seguinte nomenclatura:

$$\frac{m_p \times W}{n_s \times L}$$

em que m_p representa o número de transistores associados em paralelo e n_s o número de transistores associados em série. Para os transistores unitários são utilizados apenas o W/L respectivo.

O diagrama de pinos bem como os leiautes do chip projetado são apresentados no *Apêndice B - Leiautes e diagrama do chip teste*.

Com base nas ilustrações e tabelas apresentadas pode-se sumarizar as características do circuito da seguinte forma:

- Número de pinos: 40 (22 tipo N e 18 tipo P);
- Número de transistores LVTNFET: 113;
- Número de transistores LVTPFET: 112;

- Número de transistores ZVTNFET: 1.

Totalizando 226 transistores, área da pastilha (*die*) de 1,568 por 1,568 μm e área total ocupada pelo circuito de 271,94 por 93,51 μm , o chip teste foi projetado de forma a minimizar os efeitos causados pelo processo de fabricação na extração de parâmetros. Isto é possível graças ao emprego de técnicas de leiaute tais como o uso de dispositivos falsos e idênticos (*dummy devices*) que não possuem funcionalidades e são colocados ao redor de um grupo de transistores de modo a evitar os gradientes de corrosão e temperatura do processo de fabricação, levando a uma extração consistente dos parâmetros do dispositivo. Adicionalmente são utilizados anéis de guarda (*guard rings*) para isolamento, conectados ao substrato com o objetivo de evitar que sejam formados caminhos de condução entre transistores adjacentes, impedindo o surgimento de correntes parasitas que prejudiquem o funcionamento dos dispositivos. Além das técnicas aplicadas, os transistores de mesmo tamanho são dispostos uniformemente no mesmo sentido através de matrizes, possibilitando uma condução de corrente na mesma direção, já que a mobilidade de portadores na superfície do substrato orienta-se no mesmo sentido.

Tabela 5.1: Descrição dos pinos utilizados no chip teste.

Pino	Nome	Tipo	Descrição	Pino	Nome	Tipo	Descrição
1	vg1	N	3x160nm/16x120nm	40	vsmp	P	MIS P: 3x160nm/16x120nm
2	vg2	N	480nm/16x120nm	39	vsp	P	Term. Dreno P
3	vg3	N	480nm/16x240nm	38	x4mp	P	MIS P: W/4xL
4	vg4	N	480nm/16x480nm	37	x1mp	P	MIS P: W/L
5	vg5	N	480nm/16x960nm	36	x8p	P	W/8xL
6	vg6	N	3x160nm/16x960nm	35	vbn	N	Bulk N
7	vg7	N	ZVT, LVT e MIS N	34	x4p	P	W/4xL
8	vbp	P	Bulk P	33	x2p	P	W/2xL
9	vd	N	W/16xL	32	x1p	P	W/L
10	x1	N	W/L	31	vdmp	P	MIS P: W/16xL
11	x2	N	W/2xL	30	vdp	P	W/16xL
12	x4	N	W/4xL	29	vsz	N	ZVT: Term. Fonte
13	x8	N	W/8xL	28	x1z	N	ZVT: Term. Dreno
14	x1m	N	MIS N: W/L	27	vg7p	P	MIS P
15	x4m	N	MIS N: W/4xL	26	vg6p	P	3x160nm/16x960nm
16	vst	N	LVT: Term. Fonte	25	vg5p	P	480nm/16x960nm
17	x1t	N	LVT: Term. Dreno	24	vg4p	P	480nm/16x480nm
18	vsm	N	MIS N: Term. Fonte	23	vg3p	P	480nm/16x240nm
19	vs	N	Term. Fonte N	22	vg2p	P	480nm/16x120nm
20	vdm	N	MIS N: W/16xL	21	vg1p	P	3x160nm/16x120nm

Capítulo 6

Extração de parâmetros

Para extrair as características em laboratório faz-se necessário o uso de um analisador de parâmetros estáticos constituído por um conjunto de SMU (*Source/Measure Unit*). Para tanto utilizou-se o equipamento Agilent 4156C mostrado na Figura 6.1, bem como pulseiras e pinças anti-estática para medição das amostras fabricadas e fornecidas pela organização fornecedora da tecnologia CMOS, MOSIS (*Metal Oxide Silicon Implementation Service*).



Figura 6.1: Analisador de parâmetros Agilent 4156C.

Além do analisador de parâmetros, um módulo deste equipamento é utilizado para excitar os pinos de interesse em cada análise. A Figura 6.2 a) ilustra o módulo de testes fechado para análises e a Figura 6.2 b) o módulo aberto com uma amostra sendo caracterizada.

O *Apêndice C - Procedimentos experimentais para extração de parâmetros* contém detalhes dos procedimentos adotados nas extrações experimentais dos parâmetros.



Figura 6.2: a) Módulo de Test-Fixture Agilent 16442A e b) Chip teste.

Na sequência são apresentados os resultados obtidos através das amostras fabricadas avaliando as diversas características da tecnologia.

6.1. Resultados e discussão

Esta seção se divide nas extrações de parâmetros em função do aumento do comprimento de canal utilizando transistores unitários bem como através de associações série de transistores.

As análises a seguir foram realizadas com os métodos g_m/I_D e $3I_S$ aplicados aos transistores mostrados na Figura 5.1. Extraindo experimentalmente as características de tensão de limiar, corrente específica de folha, mobilidade de portadores e fator de inclinação pode-se obter uma boa avaliação da tecnologia além de um estudo comparativo com os resultados obtidos com o modelo utilizado no simulador.

Também será determinada nesta seção a tensão de Early (V_A). Este importante parâmetro está ligado à condutância de saída e ganho intrínseco do dispositivo e será avaliado tanto para transistores unitários quanto para associações série de transistores.

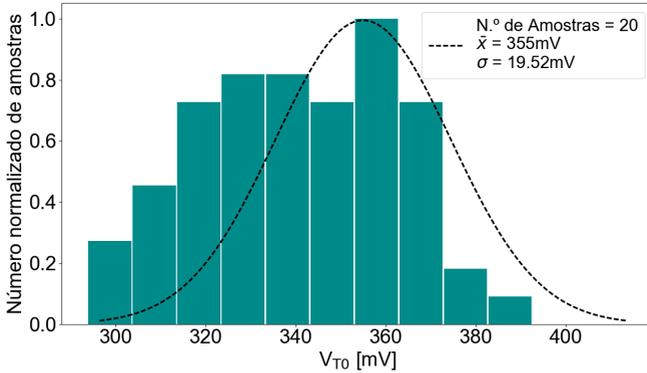
6.1.1. Análise comparativa entre dispersões das amostras e simulações de Monte Carlo

A partir dos resultados obtidos com as amostras, as próximas análises são realizadas sobre as dispersões dos parâmetros característicos dos transistores canal N e P. Essas dispersões foram obtidas com a medição de vinte amostras do chip fabricado e confrontadas com duzentas rodadas da simulação de Monte Carlo avaliando processo e descasamento de transistores.

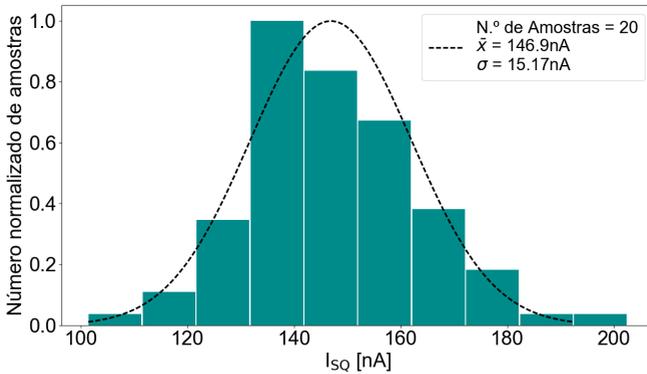
As figuras 6.3 e 6.4 apresentam o conjunto de dispersões dos transistores canal N e P respectivamente. Além das dispersões, são apresentadas nas tabelas 6.1 e 6.2 o sumário dos valores médios de cada parâmetro a ser analisado nesta etapa.

Os resultados mostrados na Figura 6.3 revelam que apesar de poucas amostras analisadas, os valores médios dos parâmetros extraídos foram próximos aos obtidos com as dispersões de Monte Carlo. Tanto na tensão de limiar quanto na mobilidade efetiva dos transistores LVTNFET, os valores médios tiveram erros abaixo de 30% em relação aos parâmetros simulados com o modelo BSIM4 e portanto, resultados muito satisfatórios.

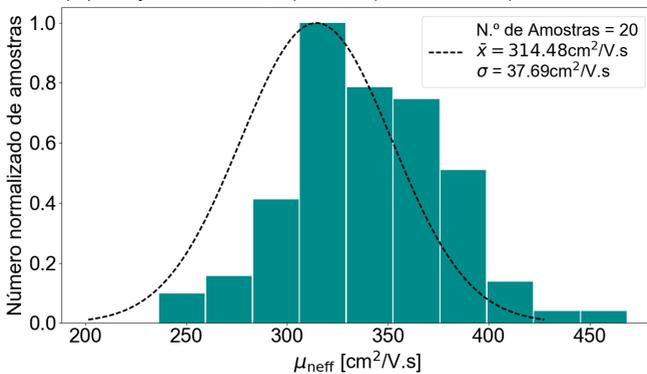
Os resultados ilustrados na Figura 6.4 dos transistores canal P mostram uma grande consistência entre os parâmetros simulados e medidos. Pode-se observar que as poucas amostras representam o comportamento das dispersões na simulação de Monte Carlo.



(a) V_{T0} - Método $3I_S$, $W/L = 480\text{nm}/120\text{nm}$.

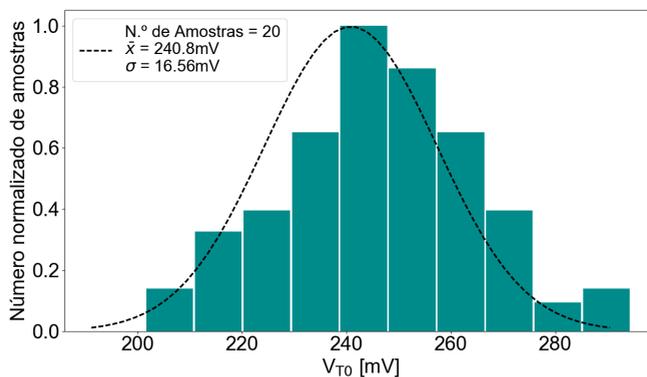


(b) I_{SQ} - Método g_m/I_D , $W/L = 480\text{nm}/120\text{nm}$.

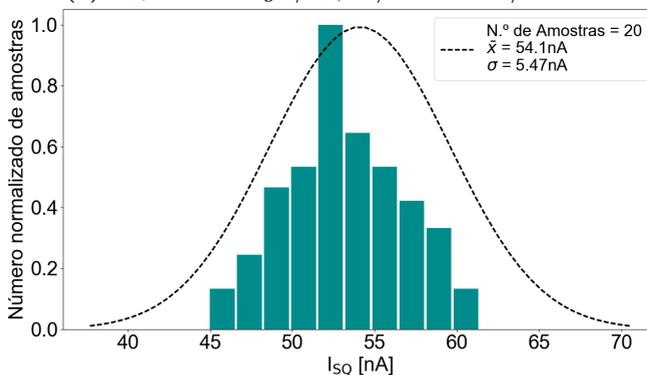


(c) μ_{neff} - Método g_m/I_D , $W/L = 480\text{nm}/480\text{nm}$.

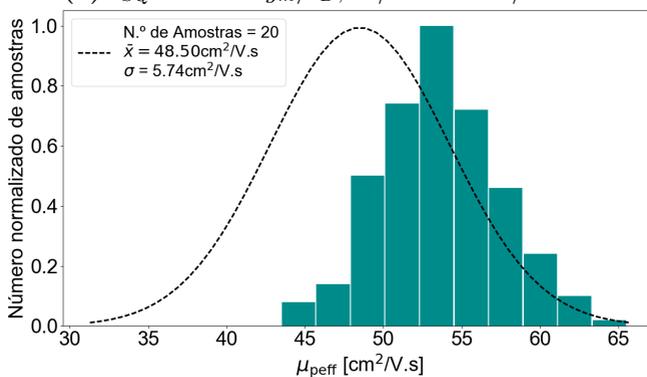
Figura 6.3: Comparativo entre dispersões de 20 amostras LVTNFET e 200 rodadas de Monte Carlo (processo e descasamento).



(a) V_{T0} - Método g_m/I_D , W/L = 480nm/240nm.



(b) I_{SQ} - Método g_m/I_D , W/L = 480nm/960nm.



(c) μ_{peff} - Método g_m/I_D , W/L = 480nm/120nm.

Figura 6.4: Comparativo entre dispersões de 20 amostras LVTPFET e 200 rodadas de Monte Carlo (processo e descasamento).

Tabela 6.1: Dispersões nos parâmetros de transistores unitários LVTFET.

20 amostras medidas									
Método	Parâmetro	W/L [nm]/[nm]							
		480/120	480/240	480/480	480/960	480/120	480/240	480/480	480/960
g_m/I_D	V_{T0} [mV]	\bar{x}	σ	\bar{x}	σ	\bar{x}	σ	\bar{x}	σ
	I_{SQ} [nA]	418,0	14,75	294,6	39,29	262,9	25,95	250,0	17,27
	$\mu_{n,eff}$ [$\text{cm}^2/\text{V.s}$]	146,9	15,17	155,26	25,48	247,15	40,08	354,14	54,06
$3I_S$	n	184,49	24,54	200,37	27,31	314,48	37,69	448,41	54,81
	V_{T0} [mV]	1,42	0,04	1,43	0,05	1,46	0,04	1,44	0,04
		355,0	19,52	244,6	10,26	224,1	23,43	176,2	28,20
Monte Carlo para 200 rodadas de processo e descasamento									
Método	Parâmetro	W/L [nm]/[nm]							
		480/120	480/240	480/480	480/960	480/120	480/240	480/480	480/960
g_m/I_D	V_{T0} [mV]	\bar{x}	σ	\bar{x}	σ	\bar{x}	σ	\bar{x}	σ
	I_{SQ} [nA]	370,3	28,61	238,0	22,02	173,1	20,27	138,2	19,54
	$\mu_{n,eff}$ [$\text{cm}^2/\text{V.s}$]	152,3	16,33	206,8	22,12	247,2	27,59	277,2	35,48
$3I_S$	n	229,2	12,43	301,2	16,38	352,6	20,02	389,4	25,36
	V_{T0} [mV]	1,24	0,004	1,28	0,005	1,31	0,005	1,33	0,006
		345,7	21,84	231,6	22,82	167,8	21,01	134,0	19,91

Observa-se na Tabela 6.1 que o V_{T0} medido nos transistores canal N através do método g_m/I_D apresenta uma diferença de 168mV entre canal mínimo e máximo. Nas simulações essa diferença é maior, de 232mV. Estes resultados mostram que os efeitos de canal curto reverso são bastante influentes na tensão de limiar. Também é possível concluir das análises que há uma tendência a saturação no valor da tensão de limiar com o aumento do comprimento do canal. Estes resultados mostram que a medida em que se aumenta o comprimento do canal os parâmetros do transistor tornam-se menos dependentes dos efeitos RSCE.

A tensão de limiar extraída através do método $3I_S$ vai ao encontro dos resultados citados anteriormente. As medições deste parâmetro expressam uma variação total de 165mV nos experimentos e de 158,6mV nas simulações. As diferenças entre V_{T0} de dois comprimentos de canal consecutivos são: 112,6mV ($L_{min} - 2L_{min}$), 29,5mV ($2L_{min} - 4L_{min}$) e 23,4mV ($4L_{min} - 8L_{min}$). Com isso, infere-se novamente que a tensão de limiar tende a se manter constante a partir de um determinado comprimento do canal ($L > 960nm$).

Analisa-se agora a corrente específica de folha mostrada na Tabela 6.1. Nos dados medidos nota-se um aumento de 58% com o comprimento do canal. Em simulação este aumento foi de 45%. Para explicar este aumento significativo determina-se a mobilidade de portadores.

A mobilidade efetiva dos transistores de canal N teve um aumento de 58% o que justifica o incremento observado anteriormente em I_{SQ} . O mesmo foi observado na simulação, com 41%, explicando o aumento significativo da corrente específica de folha com o comprimento do canal.

Determina-se em seguida as variações do fator de inclinação com o comprimento do canal. Da Tabela 6.1 é possível afirmar que os valores obtidos com o BSIM4 possuem um aumento com o comprimento do canal, em contrapartida a variação do fator de inclinação experimental que não mostrou um padrão definido com o aumento de L a partir das medições de 20 amostras analisadas. Estes resultados sugerem um comportamento isolado e sem relevância do fator de inclinação em função do comprimento do canal simulado com o BSIM4.

Tabela 6.2: Dispersões nos parâmetros de transistores unitários LVTPFET.

20 amostras medidas									
Método	Parâmetro	W/L [nm]/[nm]							
		480/120	480/240	480/480	480/960				
g_m/I_D	$ V_{T0} $ [mV]	\bar{x} 363,8	\bar{x} 240,8	\bar{x} 205,3	\bar{x} 179,4	\bar{x} 14,67			
	$ I_{SQ} $ [nA]	σ 39,47	σ 5,07	σ 1,33	σ 8,49	σ 5,47			
	$ \mu_{peff} $ [cm ² /V.s]	48,50	49,79	2,62	55,25	12,02	63,30		
$3I_S$	n	1,51	0,08	1,35	0,02	1,49	0,32	1,39	0,03
	$ V_{T0} $ [mV]	324,0	23,98	211,4	5,95	181,9	21,74	158,5	14,10

Monte Carlo para 200 rodadas de processo e descasamento									
Método	Parâmetro	W/L [nm]/[nm]							
		480/120	480/240	480/480	480/960				
g_m/I_D	$ V_{T0} $ [mV]	\bar{x} 335,9	\bar{x} 250,7	\bar{x} 185,9	\bar{x} 150,2	\bar{x} 15,24			
	$ I_{SQ} $ [nA]	σ 42,90	σ 3,09	σ 3,33	σ 52,49	σ 3,70	54,01	3,57	
	$ \mu_{peff} $ [cm ² /V.s]	54,68	1,9	67,18	2,29	74,00	2,61	76,70	2,51
$3I_S$	n	1,46	0,014	1,36	0,008	1,32	0,007	1,32	0,007
	$ V_{T0} $ [mV]	297,6	22,11	232,2	19,40	172,5	17,72	139,0	15,98

São analisados abaixo os resultados sumarizados na Tabela 6.2 para transistores de canal P.

A tensão de limiar extraída pelo método g_m/I_D apresentou uma variação de 184,4mV nos dados experimentais e 185,7mV por simulação. Este resultado mostra que há uma grande consistência do modelo BSIM4 utilizado nos transistores canal P. Entende-se a partir dos resultados adquiridos que a dependência de V_{T0} com o comprimento do canal é semelhante no transistor canal N e canal P.

No método $3I_S$ a diminuição da tensão de limiar foi de 165,5mV nas medições, e 158,6mV nas simulações. É possível observar menores variações de V_{T0} com o comprimento do canal pelo método $3I_S$ do que pelo método g_m/I_D .

Nos transistores canal P também é possível notar que as variações em V_{T0} tanto pelo método g_m/I_D quanto pelo $3I_S$ tendem a ficar constantes a partir de um determinado comprimento de canal.

Também da Tabela 6.2 pode-se observar uma variação de I_{SQ} com o comprimento do canal de 27% com as amostras e de 20,6% com as simulações dos transistores canal P. O aumento da mobilidade em função do comprimento do canal extraído experimentalmente e por simulação foi de 23,4% e 28,7%, respectivamente. Concluí-se com base nestes resultados que as variações da mobilidade são menos significativas nos transistores canal P do que nos transistores canal N. Além disso, observa-se novamente que há uma maior influência das dopagens dos implantes *pocket* na mobilidade em comprimentos de canal até $4L_{min}$. É possível constatar na medição do fator de inclinação com os transistores canal P que este parâmetro não possui uma tendência de variação em função do comprimento do canal.

6.1.2. Dependência da tensão de limiar com a corrente específica no método $3I_S$

A dependência da tensão de limiar com a corrente específica no método $3I_S$ é avaliada a seguir. Esta análise permitirá o entendimento do quão sensível é a metodologia na extração de V_{T0} frente aos possíveis erros na determinação de I_S .

A Figura 6.5 ilustra a variação da tensão de limiar com a corrente específica para um transistor unitário LVTNFT.

As curvas obtidas mostram que o método $3I_S$ possui pouca sensibilidade aos erros no valor de corrente I_S , seja experimentalmente ou por simulação. Isso é comprovado quando a variação da corrente específica na medição experimental é deslocada do valor nominal em até

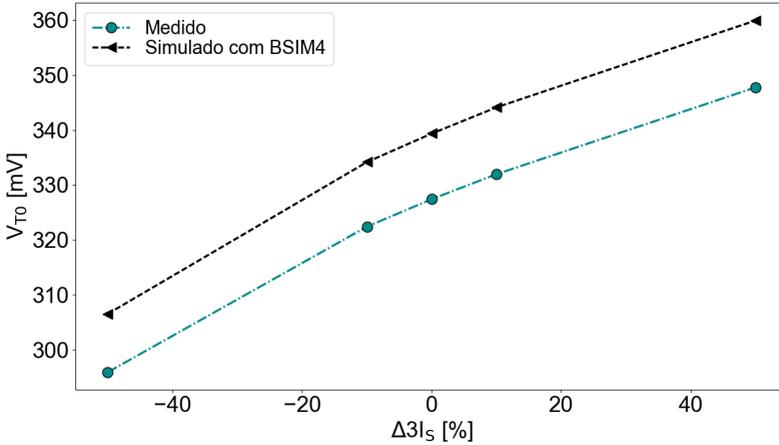


Figura 6.5: Variação da tensão de limiar com a corrente específica de um transistor LVTNFET de $W/L = 480\text{nm}/120\text{nm}$.

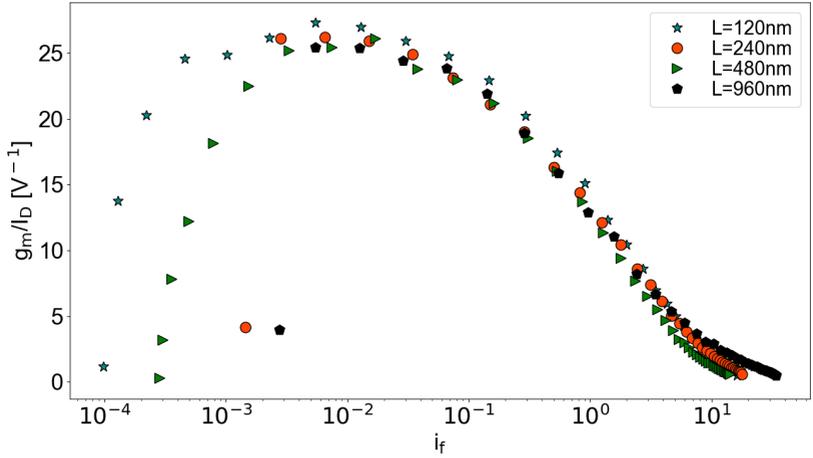
50% para mais ou para menos, e isso traduz-se em um erro de tensão de limiar de apenas 20,5mV e -32,8mV, respectivamente. Nas simulações observam-se erros ainda menores, de 20,2mV e -31,4mV da tensão de limiar nominal.

6.1.3. Dependência dos parâmetros em função do comprimento do canal

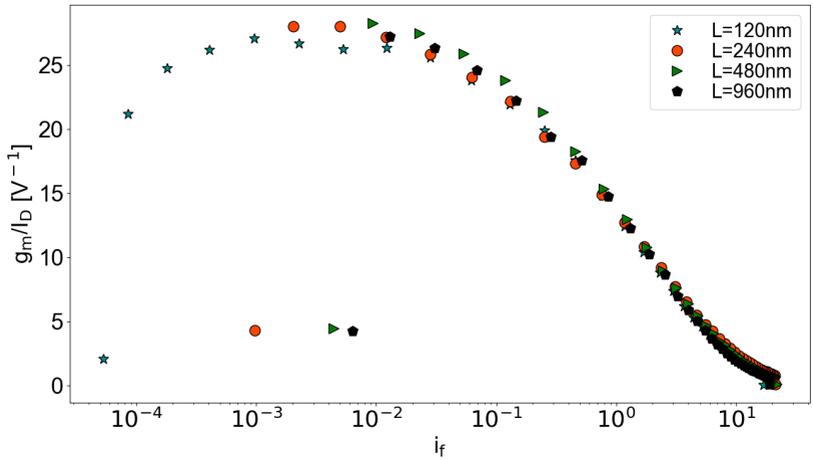
A seguir será mostrada a influência do comprimento do canal nos diversos parâmetros do transistor fabricado. Para comparações entre resultados simulados e experimentais são utilizados valores médios extraídos de 20 amostras.

As figuras 6.6 (a) e (b) ilustram as curvas experimentais de g_m/I_D em função do nível de inversão dos transistores de canal N e canal P respectivamente. São utilizados diferentes comprimentos de canal e $W = 480\text{nm}$. Além disso, os transistores operam em região triodo com uma tensão aplicada de $V_{D(S)} = 13\text{mV}$.

Os máximos valores de g_m/I_D medidos foram de $27,38\text{V}^{-1}$ para o transistor canal N com L mínimo e $i_f = 0,005$, e de $28,34\text{V}^{-1}$ para o transistor canal P com $L = 480\text{nm}$ e $i_f = 0,01$. Como pode-se observar, estes valores máximos de g_m/I_D foram adquiridos na região de inversão fraca profunda em que o transistor possui uma maior eficiência na conversão da corrente em transcondutância [38].



(a)



(b)

Figura 6.6: Característica g_m/I_D em função do nível de inversão para diferentes comprimentos de canal para (a) LVTNFET e (b) LVTPFET.

A Figura 6.7 (a) apresenta a dependência da tensão de limiar em função do comprimento do canal de transistores canal N unitários. Nota-se uma coincidência nas curvas extraídas na simulação pelos métodos g_m/I_D e $3I_S$. Já, nas curvas experimentais é observada uma divergência de até 30% entre tensões de limiar extraídas com $8L_{min} = 960\text{nm}$.

A Figura 6.7 (b) apresenta as curvas obtidas com os transistores canal P. Os resultados das simulações mostram uma diferença máxima de 11% na tensão de limiar extraída entre os métodos g_m/I_D e $3I_S$. Para os dados experimentais essa diferença sobe para 20% na extração com $L = 960\text{nm}$. Estes resultados mostram que os métodos são bastante consistentes na extração da tensão de limiar. É possível afirmar ainda com base nas extrações realizadas que as diferenças da tensão de limiar extraídas entre os métodos g_m/I_D e $3I_S$ não foram significativas com transistores unitários. Conclui-se portanto que ambos os métodos podem ser aplicados na extração de parâmetros sem grandes prejuízos na medição.

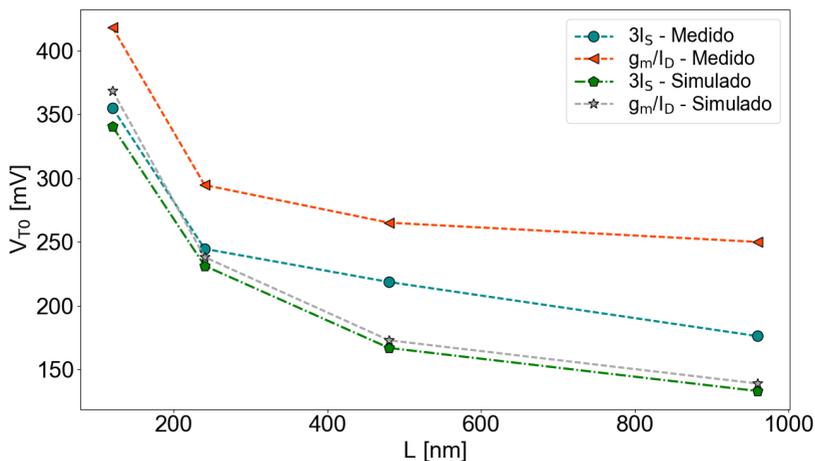
Nas próximas análises são observadas as curvas obtidas através de associações série de quatro transistores.

Na Figura 6.8 (a) são mostradas as curvas da tensão de limiar em função do comprimento do canal. Pode-se observar curvas experimentais com uma divergência de apenas 6% do V_{T0} medido entre os métodos g_m/I_D e $3I_S$. Em relação aos dados simulados com o BSIM4 as extrações não apresentaram nenhuma divergência entre os métodos utilizados. Entretanto, calcula-se uma discrepância entre valores experimentais e simulados de até 40% na medição da tensão de limiar com $L = 960\text{nm}$, por ambos os métodos de extração. Isto sugere problemas no modelo BSIM4 pois este não é consistente na caracterização da tensão de limiar em associações série de transistores canal N.

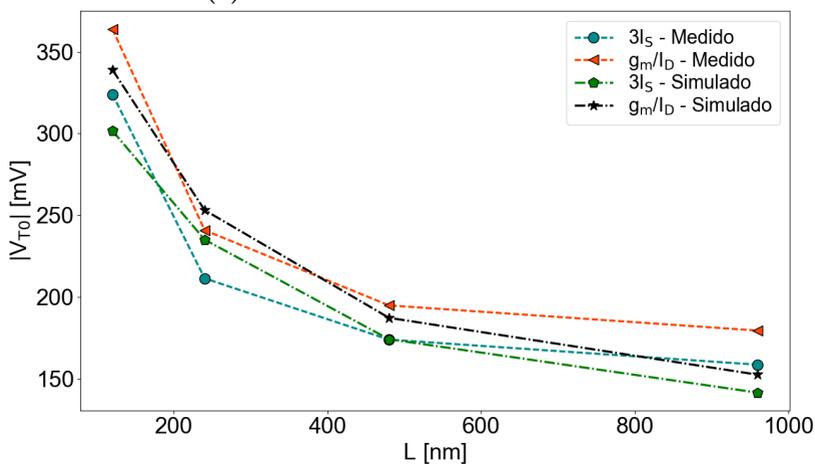
Determina-se nesta etapa as divergências observadas nas tensões de limiar com as associações série de quatro transistores canal P. É possível observar das curvas mostradas na Figura 6.8 (b) que estas não apresentam grandes variações entre os métodos de extração g_m/I_D e $3I_S$. Além disso, os dados extraídos em simulação são consistentes com os resultados experimentais significando que o modelo BSIM4 é adequado para associações de transistores canal P.

As extrações da tensão de limiar e demais parâmetros obtidos das associações série de oito e dezesseis transistores são mostradas nas tabelas 6.5 e 6.6.

Pode-se concluir a partir das extrações experimentais da tensão de limiar em função do comprimento do canal que as diferenças entre os

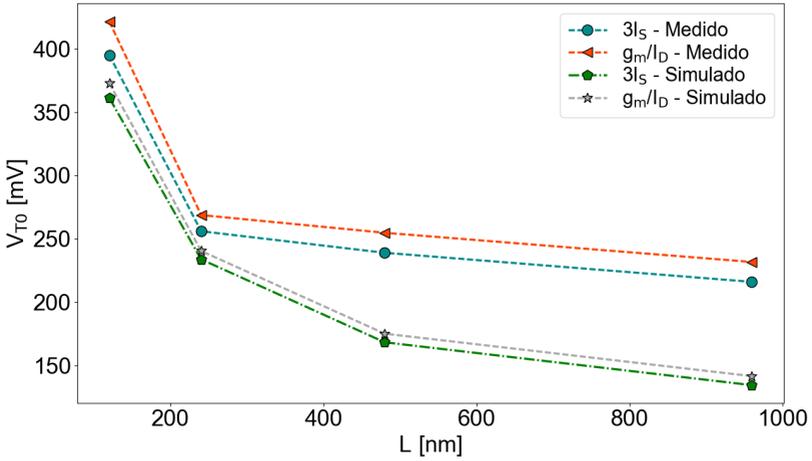


(a) Transistores unitários LVTFET.

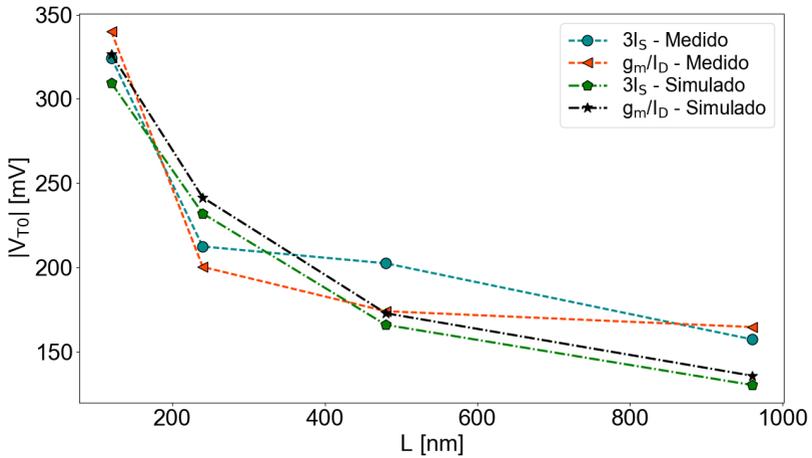


(b) Transistores unitários LVTPFET.

Figura 6.7: Dependência da tensão de limiar com o aumento do comprimento de canal para transistores unitários.



(a) Transistores LVTNFET.



(b) Transistores LVTPFET.

Figura 6.8: Dependência da tensão de limiar com o aumento do comprimento de canal utilizando quatro transistores em série.

métodos de extração diminuem com as associações série de transistores. Este fato fica mais evidente nos transistores canal N. É possível observar que o transistor LVTNFET unitário apresenta uma diferença de até 30% na tensão de limiar extraída entre os métodos g_m/I_D e $3I_S$. Por outro lado, através das associações série essa diferença foi praticamente insignificante. Já nas simulações foi possível perceber que não houve divergência em nenhum dos casos apresentados.

Através da comparação entre as curvas experimentais e simuladas é possível inferir que o modelo BSIM4 teve uma maior consistência na modelagem de V_{T0} em função de L para transistores canal P. As maiores diferenças observadas neste caso foram para transistores unitários, com diferenças de 25% entre a tensão de limiar experimental extraída pelo método g_m/I_D e simulada no método $3I_S$. Nos transistores de canal N esta divergência entre experimento e simulação foi de até 40%.

A Tabela 6.3 apresenta um resumo das extrações realizadas nos transistores unitários. Nota-se que o valor de g_m/I_D máximo simulado é levemente maior nos transistores canal N exceto no $L = 960\text{nm}$. Contudo, na extração dos dados experimentais não foi possível observar um padrão g_m/I_D máximo em função do aumento de L .

Os valores da tensão de limiar obtidos no método g_m/I_D e sumarizados na Tabela 6.3 são os mesmos apresentados pelas figuras 6.7 (a) e 6.7 (b). Nos dados experimentais e simulados do transistor canal N é possível observar uma redução na tensão de limiar em função de L de 168mV e 229,6mV respectivamente. Já nos transistores canal P há uma maior consistência entre dados extraídos, a tensão de limiar experimental e simulada possuem decaimentos em função de L de 184,4mV e 186,5mV, respectivamente.

Mais uma vez é possível afirmar com base nas extrações experimentais e simulação que a tensão de limiar com o L_{min} não é a melhor escolha para projetos de baixa tensão devido aos altos valores de V_{T0} necessários. Para justificar isto, observa-se que a diferença da tensão de limiar entre L_{min} e $2L_{min}$ diminui em mais de 100mV no experimento e simulação sugerindo portanto que a partir de comprimentos maiores a tensão de limiar é mais baixa. Conforme também mostrado no projeto de osciladores é possível concluir que a maior frequência de oscilação não necessariamente é obtida com o comprimento mínimo do canal.

Em todos os casos analisados o método $3I_S$ extrai valores menores da tensão de limiar em relação ao método g_m/I_D . Embora como observado a diferença na medição é pequena, com erro máximo de 15% entre o valor extraído no método g_m/I_D e $3I_S$.

No método $3I_S$ a diferença observada na extração da tensão de limiar entre o L_{min} e $8L_{min}$ foi de 178,8mV no experimento e de 207,4mV na simulação com transistores canal N. Já com transistores canal P observa-se menores reduções da tensão de limiar em função do comprimento do canal, com 165,5mV no experimento e 160,2mV na simulação.

Os valores de mobilidade efetiva mostrados na Tabela 6.3 são agora analisados. Nos dados experimentais se pode observar que os transistores canal N apresentaram um aumento de 58,8% na mobilidade em função de L . Em relação as simulações este valor foi de 41,2%. É possível constatar ainda que os valores experimentais mostram um salto de 36% na mobilidade extraída entre $2L_{min}$ e $4L_{min}$. Isto novamente pode ser explicado por uma transição entre mecanismos predominantes no comportamento da mobilidade efetiva.

Nos transistores de canal P o aumento da mobilidade em função de L foi menor, obtendo 23,4% nos dados experimentais e 35,7% nas simulações. Além disso, os resultados mostram que os transistores canal N são em torno de cinco vezes mais rápidos que os de canal P. Esta conclusão é útil para o dimensionamento dos transistores no projeto dos osciladores em anel.

Em relação ao fator de inclinação percebe-se um fato isolado que é o aumento deste parâmetro em função de L nas simulações com os transistores canal N. Entretanto não há explicação física que justifique este aumento do parâmetro com L . Calcula-se também com ambos os transistores que o fator de inclinação extraído experimentalmente varia em até 13% acima dos valores simulados. Como $n = 1 + C'_b/C'_{ox}$ este resultado sugere que pode haver inconsistências no cálculo da capacitância de depleção por unidade de área (C'_b) realizada pelo BSIM4. Pode-se descartar os erros provenientes das medidas devido ao uso de valores médios dos parâmetros de 20 amostras. Além disso, para o bloqueio de interferências eletromagnéticas utilizou-se o Test-Fixture com sua tampa fechada, o que melhora a qualidade da extração dos parâmetros.

Tabela 6.3: Parâmetros em função do comprimento do canal para transistores unitários.

LVTNFET - Valores medidos e simulados										
Método	Parâmetro	W/L [nm]/[nm]						480/960	Sim.	Med.
		480/120	480/240	480/480	480/480	480/480	480/960			
g_m/I_D	$(g_m/I_D)_{max}$ [1/V]	Med. 27,14	Sim. 31,13	Med. 26,78	Sim. 30,13	Med. 25,35	Sim. 29,50	Med. 26,77	Sim. 29,07	
	V_{T0} [mV]	418,0	368,6	294,6	238,1	262,9	172,9	250,0	139,0	
	I_{SQ} [nA]	146,9	152,0	155,3	207,4	247,1	248,4	354,1	276,5	
	μ_{neff} [cm ² /V.s]	184,5	227,8	200,4	300,9	314,5	352,9	448,4	387,3	
$3I_S$	n	1,42	1,24	1,43	1,28	1,46	1,30	1,44	1,32	
	V_{T0} [mV]	355,0	340,5	244,6	231,3	224,1	166,9	176,2	133,1	
LVTPFET - Valores medidos e simulados										
Método	Parâmetro	W/L [nm]/[nm]						480/960	Sim.	Med.
		480/120	480/240	480/480	480/480	480/480	480/960			
g_m/I_D	$(g_m/I_D)_{max}$ [1/V]	Med. 25,57	Sim. 26,40	Med. 28,43	Sim. 28,35	Med. 26,61	Sim. 29,18	Med. 27,76	Sim. 29,40	
	$ V_{T0} $ [mV]	363,8	338,9	240,8	253,1	205,2	187,2	179,4	152,4	
	I_{SQ} [nA]	39,47	42,18	38,15	48,64	43,44	52,00	54,10	53,39	
	$ \mu_{peff} $ [cm ² /V.s]	48,50	53,52	49,79	66,25	55,25	72,98	63,30	75,49	
$3I_S$	n	1,51	1,46	1,35	1,36	1,49	1,32	1,39	1,31	
	$ V_{T0} $ [mV]	324,0	301,6	211,4	235,0	181,9	174,1	158,5	141,4	

São mostrados a seguir os resultados das associações série de transistores. Os dados são analisados a partir das tabelas 6.4, 6.5 e 6.6.

Nas extrações dos parâmetros das associações série é possível perceber que todos apresentaram valores praticamente iguais aos medidos nos transistores unitários. Portanto as análises realizadas anteriormente poderão ser estendidas para estas configurações.

Tabela 6.4: Parâmetros em função do comprimento do canal para associações de 4 transistores.

LVTNFET - Valores medidos e simulados									
Método	Parâmetro	W/L [nm]/[nm]							
		480/4x120		480/4x240		480/4x480		480/4x960	
		Med.	Sim.	Med.	Sim.	Med.	Sim.	Med.	Sim.
g_m/I_D	$(g_m/I_D)_{max}$ [1/V]	26,29	30,54	27,11	29,74	25,46	29,04	26,10	28,60
	V_{T0} [mV]	421,3	372,7	268,8	240,5	262,2	175,3	231,8	141,8
	I_{SQ} [nA]	151,8	163,2	154,8	214,0	227,2	254,8	353,2	284,3
	μ_{neff} [cm ² /V.s]	192,3	239,9	198,5	304,9	327,5	354,9	443,5	390,2
	n	1,47	1,26	1,43	1,30	1,50	1,33	1,47	1,35
$3I_S$	V_{T0} [mV]	394,9	361,1	256,1	233,9	239,1	168,5	216,1	134,7

LVTPFET - Valores medidos e simulados									
Método	Parâmetro	W/L [nm]/[nm]							
		480/4x120		480/4x240		480/4x480		480/4x960	
		Med.	Sim.	Med.	Sim.	Med.	Sim.	Med.	Sim.
g_m/I_D	$(g_m/I_D)_{max}$ [1/V]	25,15	27,90	27,80	30,09	27,42	31,54	27,49	32,24
	$ V_{T0} $ [mV]	339,4	326,7	237,2	241,5	217,7	172,8	164,6	135,7
	I_{SQ} [nA]	29,08	34,76	28,19	39,92	28,10	52,00	44,70	39,81
	$ \mu_{peff} $ [cm ² /V.s]	34,92	46,66	37,59	57,78	37,29	61,47	61,79	61,46
	n	1,54	1,38	1,38	1,28	1,41	1,22	1,40	1,20
$3I_S$	$ V_{T0} $ [mV]	317,3	309,6	209,3	232,0	190,7	165,9	132,4	130,2

Tabela 6.5: Parâmetros em função do comprimento do canal para associações de 8 transistores.

LVTNFET - Valores medidos e simulados									
Método	Parâmetro	W/L [nm]/[nm]							
		480/8x120		480/8x240		480/8x480		480/8x960	
g_m/I_D	$(g_m/I_D)_{max}$ [1/V]	Med.	Sim.	Med.	Sim.	Med.	Sim.	Med.	Sim.
	V_{T0} [mV]	26,71	30,30	25,73	30,13	25,37	28,92	25,49	28,40
	I_{SQ} [nA]	419,0	374,6	273,6	241,5	259,7	176,3	234,7	143,0
$3I_S$	μ_{neff} [cm ² /V.s]	163,6	168,4	173,3	217,4	283,5	258,4	380,6	288,6
	n	209,7	245,6	214,8	309,7	345,0	359,9	466,3	393,2
	V_{T0} [mV]	1,44	1,27	1,50	1,30	1,52	1,33	1,51	1,36
		372,5	364,8	253,0	234,7	233,7	169,0	221,9	135,3
LVTPFET - Valores medidos e simulados									
Método	Parâmetro	W/L [nm]/[nm]							
		480/8x120		480/8x240		480/8x480		480/8x960	
g_m/I_D	$(g_m/I_D)_{max}$ [1/V]	Med.	Sim.	Med.	Sim.	Med.	Sim.	Med.	Sim.
	V_{T0} [mV]	26,41	27,16	27,97	28,06	27,39	27,46	27,06	26,62
	I_{SQ} [nA]	322,1	333,3	222,2	255,7	217,3	198,5	170,0	169,8
$3I_S$	μ_{peff} [cm ² /V.s]	31,90	38,18	59,57	49,56	86,47	60,41	98,36	67,74
	n	40,59	49,74	79,71	66,53	113,66	79,38	128,18	86,53
	V_{T0} [mV]	1,46	1,42	1,38	1,38	1,41	1,41	1,42	1,45
		359,5	318,2	252,1	244,6	197,82	187,0	147,3	157,3

Tabela 6.6: Parâmetros em função do comprimento do canal para associações de 16 transistores.

LVTFET - Valores medidos e simulados									
Método	Parâmetro	W/L [nm]/[nm]							
		480/16x120		480/16x240		480/16x480		480/16x960	
g_m/I_D	$(g_m/I_D)_{max}$ [1/V]	Med.	Sim.	Med.	Sim.	Med.	Sim.	Med.	Sim.
	V_{T0} [mV]	25,43	28,16	26,12	26,44	25,58	27,23	24,77	27,46
	I_{SQ} [nA]	423,1	408,9	277,3	353,2	263,2	266,4	259,0	228,6
	μ_{neff} [cm ² /V.s]	178,0	221,1	180,1	413,0	280,8	428,2	407,2	456,0
$3I_S$	n	1,51	1,37	1,47	1,46	1,50	1,42	1,57	1,41
	V_{T0} [mV]	256,3	401,6	129,5	348,6	114,1	262,9	95,44	225,5
LVTFET - Valores medidos e simulados									
Método	Parâmetro	W/L [nm]/[nm]							
		480/16x120		480/16x240		480/16x480		480/16x960	
g_m/I_D	$(g_m/I_D)_{max}$ [1/V]	Med.	Sim.	Med.	Sim.	Med.	Sim.	Med.	Sim.
	$ V_{T0} $ [mV]	25,65	27,54	26,55	29,34	27,81	26,97	26,11	27,39
	I_{SQ} [nA]	350,2	336,4	274,7	247,2	251,1	186,8	171,3	159,3
	$ \mu_{peff} $ [cm ² /V.s]	31,58	39,32	34,87	42,88	40,65	64,86	65,12	69,42
$3I_S$	n	42,12	52,03	43,83	60,64	78,87	84,03	82,12	91,86
	$ V_{T0} $ [mV]	1,50	1,40	1,45	1,31	1,38	1,43	1,47	1,40
		384,3	321,4	247,2	261,6	174,4	184,2	134,8	162,5

6.1.4. Análise comparativa da tensão de Early de transistores unitários e associações série de transistores

A seguir são analisadas as tensões de Early extraídas e simuladas de transistores unitários e associações série a partir de diferentes níveis de inversão, utilizando a configuração apresentada na Figura 4.15. Para o cálculo e extração de V_A faz-se uso da equação 4.7.

6.1.4.1. Resultados obtidos com transistores LVTNFET

Através dos gráficos apresentados na Figura 6.9 calcula-se que os valores experimentais de V_A para cada i_f são até 70% maiores do que os extraídos com o modelo BSIM4.

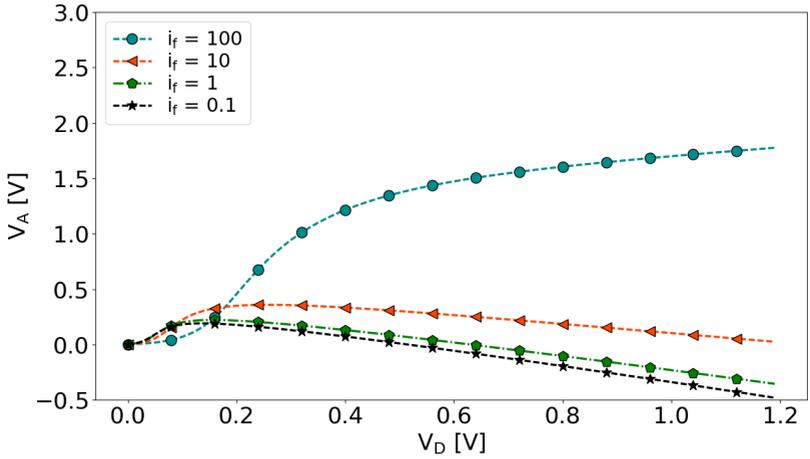
Analisa-se a seguir as tensões de Early das associações série de quatro transistores ilustradas na Figura 6.10. É possível observar que apenas a curva correspondente a $i_f = 0,1$ apresenta um V_A maior na simulação do que no experimento. Entretanto com o aumento do nível de inversão permite-se observar valores de V_A experimentais de até 65% maiores do que os simulados.

Os gráficos apresentados na Figura 6.11 correspondem às associações série de oito transistores. Este é o primeiro caso em que contata-se simulações com valores de V_A maiores do que os experimentais. Para o nível de inversão $i_f = 1$ calcula-se uma diferença de mais de 67,5% entre o V_A simulado e experimental. Além disso, no experimento percebe-se que V_A aumenta em função do i_f , em oposição a simulação que mostra um maior valor de V_A através de níveis de inversão intermediários.

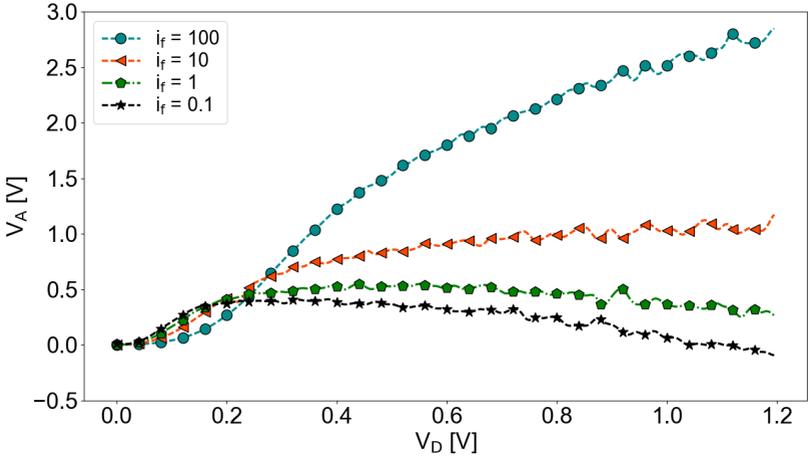
Na Figura 6.13 são ilustrados os resultados das associações de dezesseis transistores em série. É possível notar uma equivalência entre as curvas simuladas e experimentais.

Como exemplo de aplicação prática mostra-se a seguir o clássico amplificador fonte comum (FC) ilustrado na Figura 6.12 (a). O ganho máximo deste circuito pode ser deduzido através do circuito de pequenos sinais mostrado na Figura 6.12 (b). A relação de transcondutância por unidade de corrente e condutância do transistor é determinada através de (6.1) [19]

$$A_V = \frac{\Delta V_{Out}}{\Delta V_{IN}} = -\frac{g_m}{g_{ds}} = -\frac{g_m I_D}{I_D g_{ds}}. \quad (6.1)$$

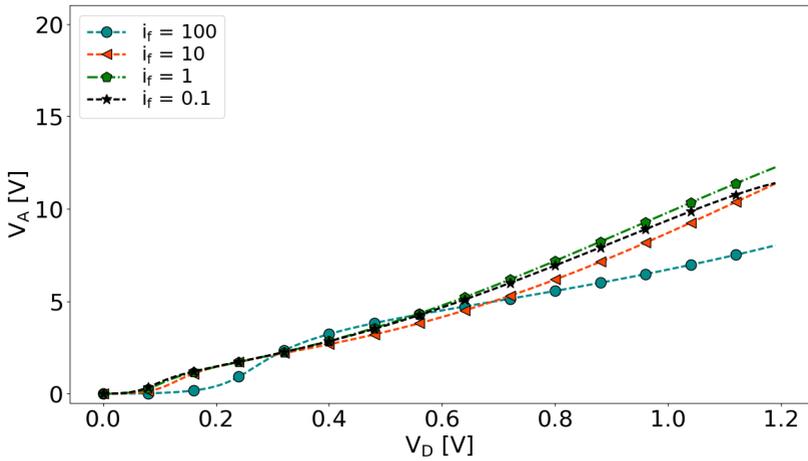


(a)

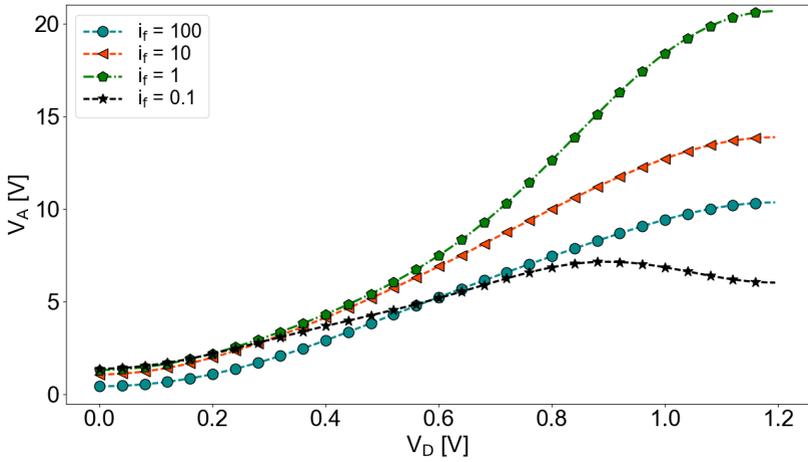


(b)

Figura 6.9: Tensões de Early de um transistor LVTNFET unitário com $W/L = 480\text{nm}/120\text{nm}$, em (a) curvas simuladas e (b) curvas experimentais.

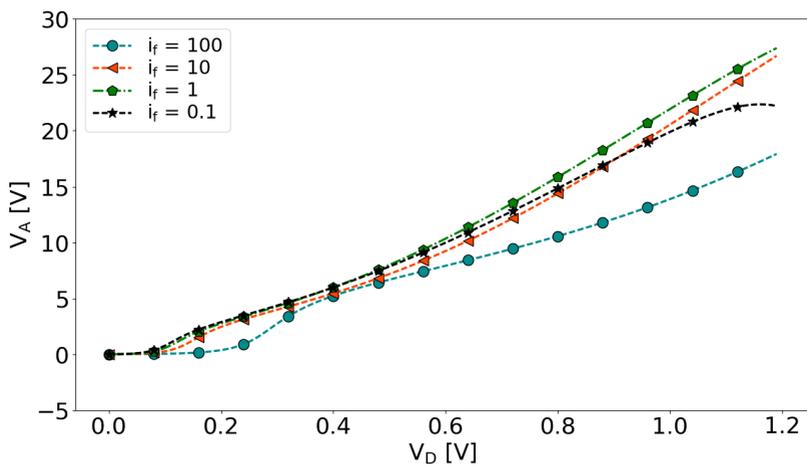


(a)

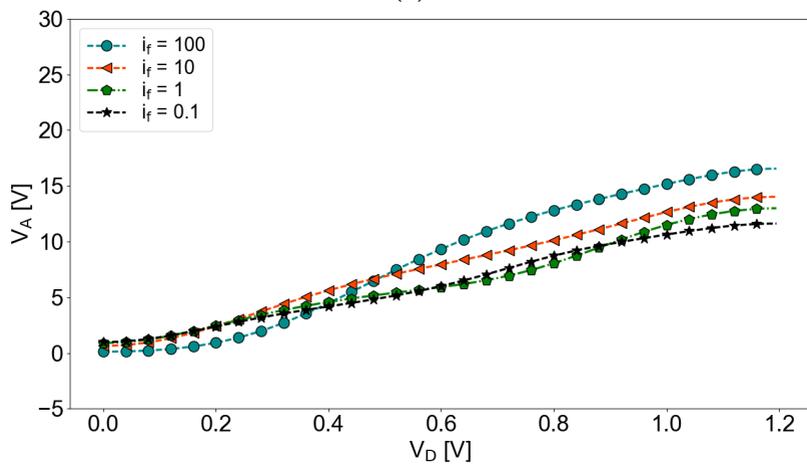


(b)

Figura 6.10: Tensões de Early de uma associação série de quatro transistores LVTNFET com $W/L = 480\text{nm}/120\text{nm}$, em (a) curvas simuladas e (b) curvas experimentais.



(a)



(b)

Figura 6.11: Tensões de Early de uma associação série de oito transistores LVTNFET com $W/L = 480\text{nm}/120\text{nm}$, em (a) curvas simuladas e (b) curvas experimentais.

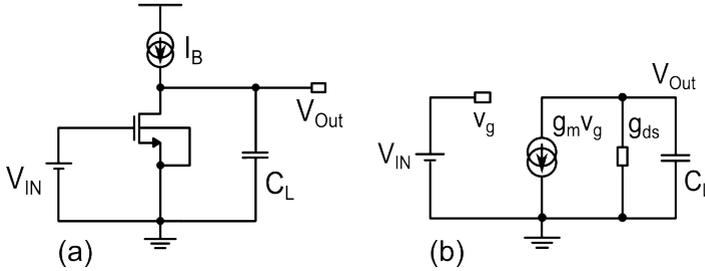


Figura 6.12: (a) Amplificador Fonte Comum e (b) Circuito de pequenos sinais.

Como $g_{ds} = I_D/V_A$, então

$$A_V = \frac{V_A}{n\phi_t} \frac{2}{\sqrt{1+i_f} + 1}. \quad (6.2)$$

Se V_A é independente do nível de inversão (i_f), o ganho máximo acontece em inversão fraca ($i_f \ll 1$)

$$A_{V_{max}} = \frac{V_A}{n\phi_t}. \quad (6.3)$$

Por outro lado, se V_A depende de i_f e é uma função crescente ou decrescente deste parâmetro em inversão fraca temos que o ganho máximo ocorre para um certo $i_{f_{max}}$

$$A_V = \frac{V_A(i_{f_{max}})}{n\phi_t} \frac{2}{\sqrt{1+i_{f_{max}}} + 1}. \quad (6.4)$$

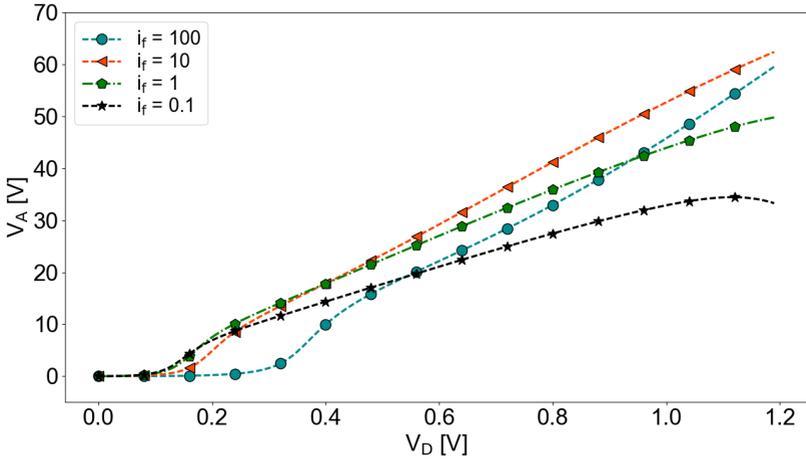
Para circuitos de baixa tensão projetados a partir de associações série também pode-se afirmar que a inversão moderada e fraca apresentam melhores relações entre ganho e consumo de potência.

A seguir realiza-se a comparação da tensão de Early extraída experimentalmente a partir de associações série de quatro e oito transistores. Os valores de V_A são mostrados na Figura 6.14 para transistores unitários de canal longo. É possível observar nas curvas extraídas com as associações série de quatro transistores que o valor da tensão de Early é até nove vezes maior do que o extraído com o transistor unitário de $W/L = 480\text{nm}/480\text{nm}$. Ainda, no comparativo entre o transistor de canal longo de $W/L = 480\text{nm}/960\text{nm}$ e associações de oito transistores a diferença entre as tensões de Early é menor, mas mesmo assim,

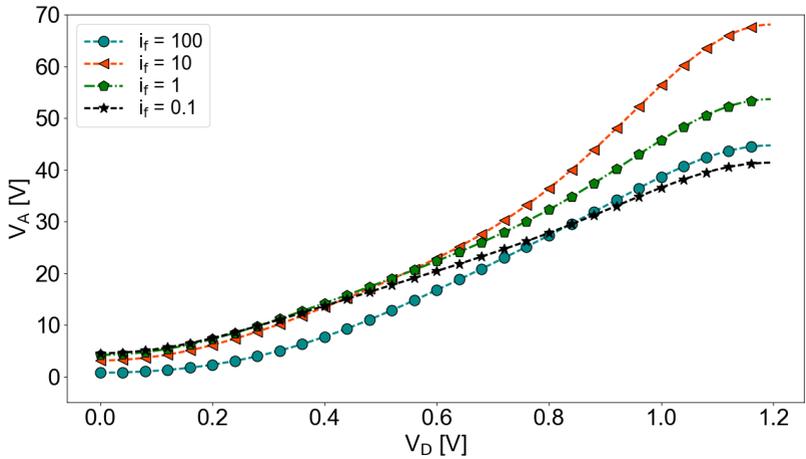
cerca de duas vezes e meia mais elevada. Pode-se concluir que as associações série de transistores são uma ótima alternativa para projetos de amplificadores. Além disso, fica comprovado através dos resultados que é possível projetar circuitos de alto ganho de tensão em tecnologias nanométricas substituindo os transistores unitários de canal longo pelo uso de associações série de transistores.

Na Figura 6.15 são mostradas as curvas da tensão de Early em função do nível de inversão assim como realizado em [39]. Neste caso foram utilizados transistores de $W = 480\text{nm}$ e diferentes comprimentos de canal, sendo as características extraídas a partir de transistores unitários e associações série de transistores. Para canais mais curtos tais como $L = 120\text{nm}$ e $L = 240\text{nm}$ percebe-se uma tendência de redução de V_A nos níveis de inversão mais baixos. Esta característica pode ser explicada pelos efeitos de canal curto tais como o de redução da barreira de potencial induzida pelo dreno (DIBL). Entretanto, também é possível notar um aumento de V_A para níveis de inversão mais elevados o que pode ser justificado pelos efeitos da saturação da velocidade de portadores e de um baixo DIBL. Permite-se ainda afirmar que as tensões de Early extraídas das associações série apresentaram os mesmos efeitos citados para os transistores unitários, porém nestes com variações mais suaves como no caso de $L = 8 \times 120\text{nm}$. Ainda, pode-se observar que para comprimentos maiores de canal ($L = 480\text{nm}$ e $L = 960\text{nm}$), os efeitos de canal curto (SCE - *Short Channel Effect*) citados anteriormente são praticamente desprezíveis.

Sumarizando as extrações realizadas de V_A em função do nível de inversão e tensão de dreno, a Tabela 6.7 apresenta métricas para projetos de amplificadores chamados de P1 e P2. O primeiro projeto (P1) representa um amplificador voltado ao maior ganho com a mínima tensão de dreno necessária para determinado nível de inversão. Já o segundo projeto (P2) visa a obter o máximo ganho de tensão possível com uma determinada configuração. Como exemplo, é possível analisar dentre os transistores unitários no projeto P1, que o de $W/L = 480\text{nm}/480\text{nm}$ obtém o maior ganho, $A_V = 72,6\text{V/V}$, com uma tensão mínima, $V_D = 115\text{mV}$, e regime de inversão moderada ($i_f = 1$). Por outro lado, entre as associações série observa-se que através de dezesseis transistores obtém-se o maior ganho, $A_V = 142,7\text{V/V}$ a partir da inversão fraca, $i_f = 0,1$ e uma tensão de dreno mínima $V_D = 105,3\text{mV}$. A comparação entre transistores de canal longo e associações série também pode ser realizada. Nota-se na Tabela 6.7 que a associação série de oito transistores obtém ganho de 2,5 vezes em relação ao transistor canal longo de $W/L = 480\text{nm}/960\text{nm}$ para um mesmo nível de inversão



(a)



(b)

Figura 6.13: Variação da tensão de Early em diferentes níveis de inversão para associações série LVTNFET com $W/16xL = 480\text{nm}/16x120\text{nm}$, em (a) dados simulados e em (b) dados amostrais.

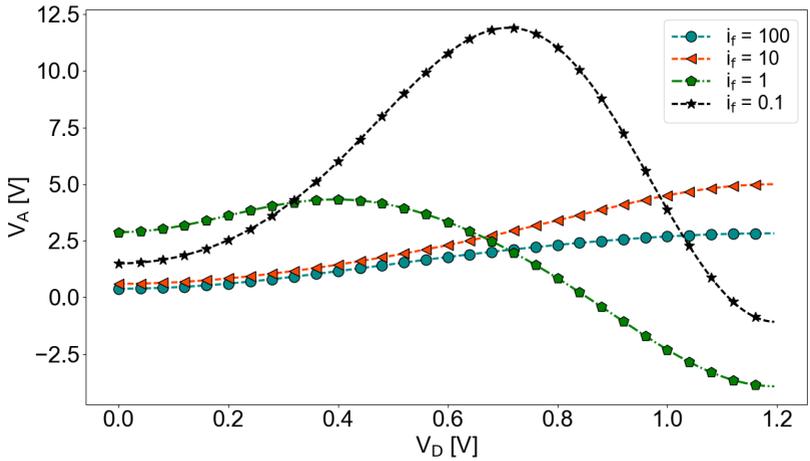
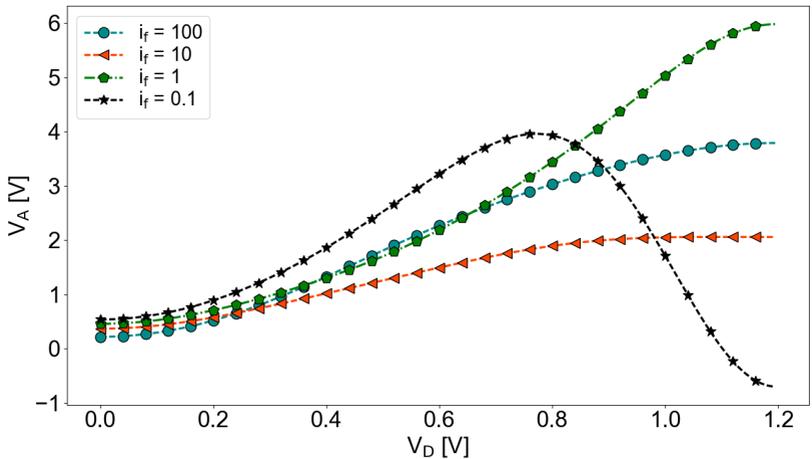
(a) LVTNFET com $W/L = 480\text{nm}/480\text{nm}$.(b) LVTNFET com $W/L = 480\text{nm}/960\text{nm}$.

Figura 6.14: Resultados experimentais para a tensão de Early em diferentes níveis de inversão utilizando transistores unitários LVTNFET.

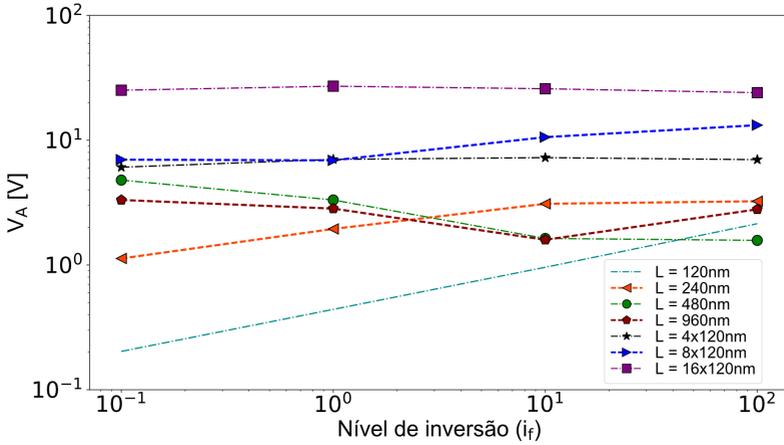


Figura 6.15: Tensões de Early em função do nível de inversão para transistores unitários e associações série LVTNFET.

e tensão mínima.

A maior tensão de Early é obtida para um conjunto de condições definidas em função do nível de inversão e tensão de dreno dos transistores. O critério de escolha do projetista depende dos requisitos do circuito e limitações da tecnologia. Além disso, é possível afirmar com base nos resultados que as maiores tensões de Early são obtidas nos regimes de inversão moderada e fraca e as quais exigem uma menor tensão por parte do circuito.

6.1.4.2. Resultados obtidos com transistores LVTPFET

Os resultados obtidos são agora estendidos aos transistores canal P. Entretanto, para simplificar e não tornar redundante as análises, apresenta-se abaixo apenas os comparativos entre os resultados experimentais dos transistores unitários de canal longo e das associações de transistores de quatro e oito transistores.

Na Figura 6.16 é possível observar valores de V_A praticamente iguais até o nível de inversão $i_f = 1$. A partir de $i_f = 10$ a associação série de quatro transistores apresenta valores duas vezes maior de V_A em relação ao transistor de canal longo. A Figura 6.17 mostra ainda uma diferença de até cinco vezes no valor da tensão de Early medida entre a associação de oito transistores e o transistor unitário. Estas observações corroboram com as conclusões realizadas anteriormente.

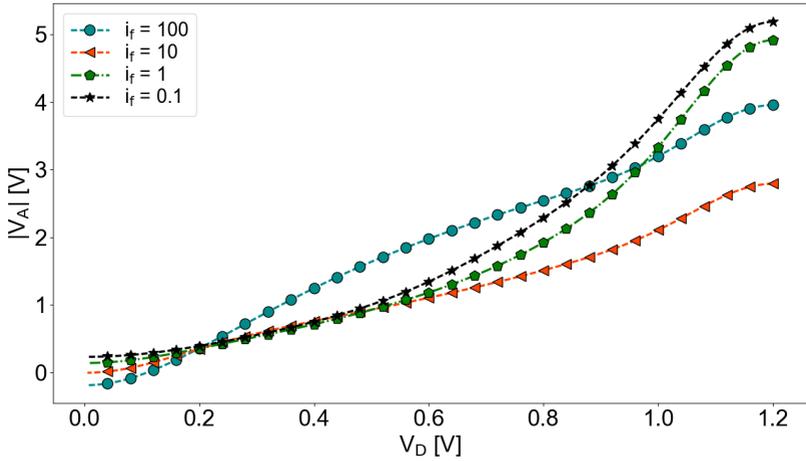
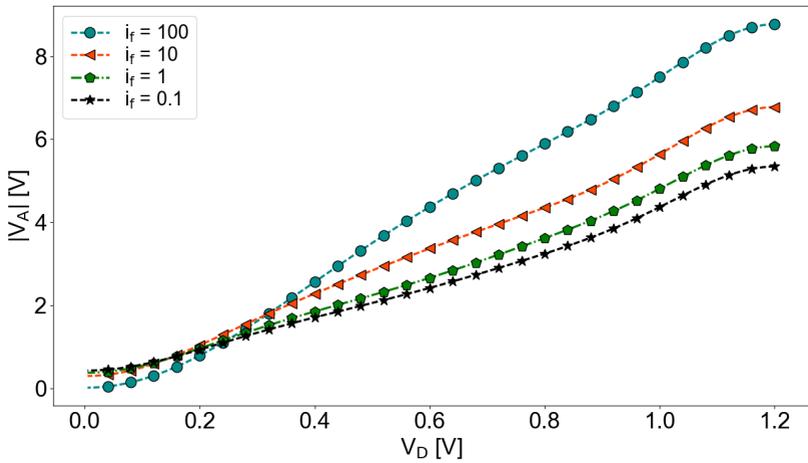
(a) $W/L = 480\text{nm}/480\text{nm}$.(b) $W/L = 480\text{nm}/4 \times 120\text{nm}$.

Figura 6.16: Tensões de Early obtidas por experimento com um transistor unitário LVTPEFET e associação série de quatro transistores.

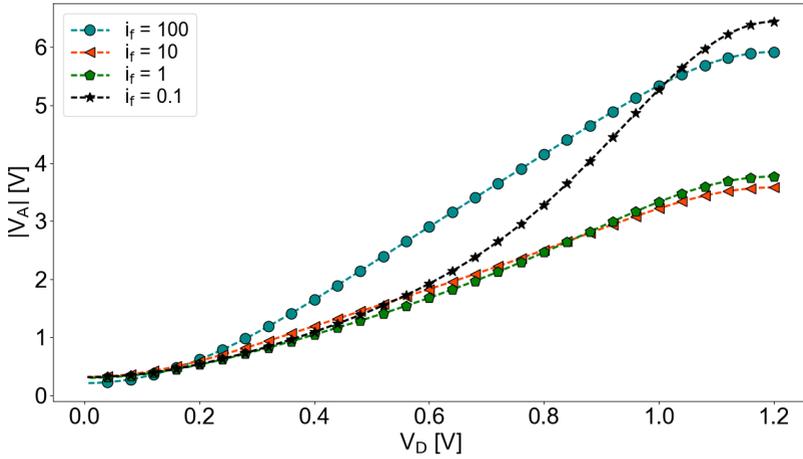
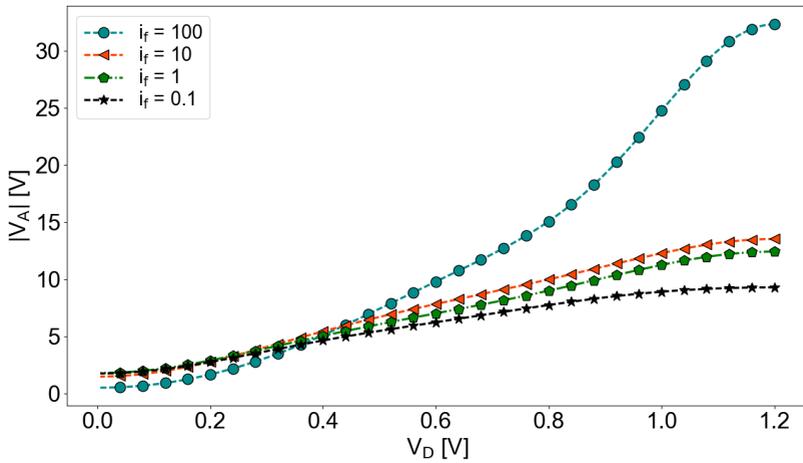
(a) $W/L = 480\text{nm}/960\text{nm}$.(b) $W/L = 480\text{nm}/8 \times 120\text{nm}$.

Figura 6.17: Tensões de Early obtidas por experimento com um transistor unitário LVTPFET e associação série de oito transistores.

Tabela 6.7: Projeto de amplificadores: P1 - Ganho máximo para menor tensão de dreno e P2 - Ganho máximo possível para transistores LVTNFET de $W = 480\text{nm}$.

L[nm]	Parâm.	W/L		W/4xL		W/8xL		W/16xL	
		P1	P2	P1	P2	P1	P2	P1	P2
120	V_{DS} [V]	0,105	1,15	0,105	1,13	0,105	1,13	0,105	1,16
	i_f	0,1	100	0,1	1	0,1	100	0,1	10
	V_A [V]	0,364	2,73	1,74	20,4	1,78	16,5	5,52	67,4
	A_V [V/V]	10	13,92	46,2	460,5	48,3	83,2	142,7	827
480	V_{DS} [V]	0,115	0,707	0,164	0,81	0,105	0,948	0,105	0,985
	i_f	1	0,1	10	10	0,1	1	0,1	1
	V_A [V]	3,2	12	9,3	46,7	0,73	51,3	0,438	86,6
	A_V [V/V]	72,6	320	115	577,6	18,7	1119	11,4	1914
960	V_{DS} [V]	0,105	1,14	0,105	0,803	0,105	1,1	0,105	0,969
	i_f	0,1	1	0,1	0,1	0,1	1	0,1	1
	V_A [V]	0,68	5,94	0,34	18,8	0,57	54	2,39	228,5
	A_V [V/V]	18,5	136,7	9,11	500,4	14,8	1185	59,5	4822

Na Figura 6.18 são ilustradas as curvas de V_A em função de i_f extraídas dos transistores canal P unitários e associações série. Novamente é perceptível o efeito DIBL no V_A extraído para baixos níveis de inversão do transistor de L_{min} . Os efeitos da saturação de portadores e baixo DIBL podem ser vistos no V_A extraído para canais curtos em níveis de inversão mais altos.

6.1.5. Importância da extração experimental dos parâmetros

Na Figura 6.19 podemos apreciar a boa aproximação, com erro máximo de 6% apresentado pelo modelo ACM utilizando apenas três parâmetros extraídos experimentalmente ($V_{T0} = 355\text{mV}$, $n = 1,42$ e $I_{SQ} = 565\text{nA}$). Por outro lado, observamos o grande afastamento entre as características de *corner* do modelo BSIM4. A curva com os parâmetros típicos do BSIM4 apresenta erro relativo de 25% na região de inversão moderada para o transistor LVTNFET. Lembrando que BSIM4 é um modelo complexo com mais de 100 parâmetros, concluímos que pode ser mais útil conhecer bem o valor apropriado de 3 parâmetros relevantes que dispor de um modelo complexo com centenas de parâmetros mas

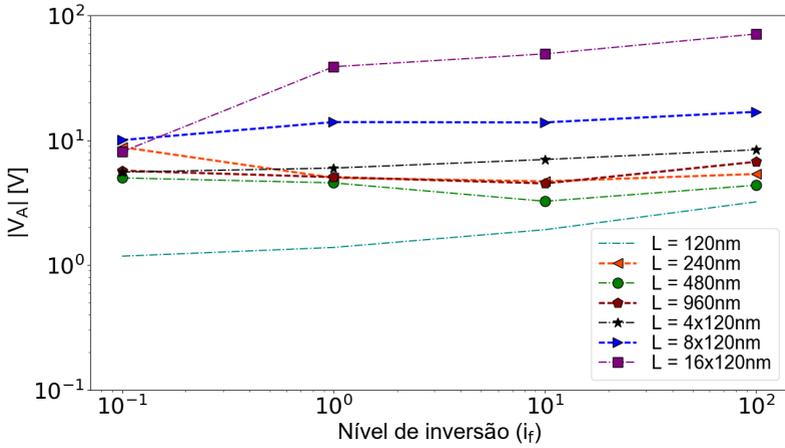


Figura 6.18: Tensões de Early em função do nível de inversão para transistores unitários e associações série LVTPFET.

com conhecimento limitado dos valores destes.

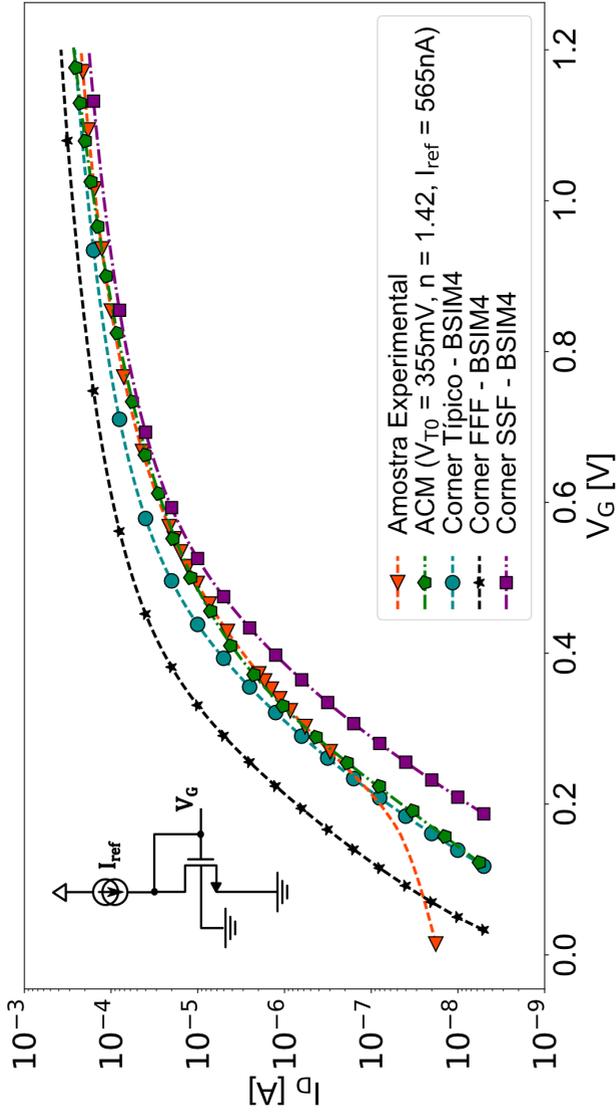


Figura 6.19: Comparativo entre *corners* do modelo BSIM4, ACM com 3 parâmetros medidos e curva experimental de transistor LVTNFET com $W/L = 480\text{nm}/120\text{nm}$.

As curvas adquiridas com o LVTPFET e mostradas na Figura 6.20 apresentaram maiores diferenças àquelas analisadas com o LVTN-FET. Na região de inversão moderada a curva do modelo ACM teve um erro de aproximadamente 28,3% em relação à curva experimental. O modelo BSIM4 manteve nesta região a mesma diferença adquirida nos transistores canal N, isto é, de 25% em relação a curva do dispositivo real. Na inversão forte é possível observar um erro maior no modelo ACM, chegando a 42% de diferença com o I_D medido.

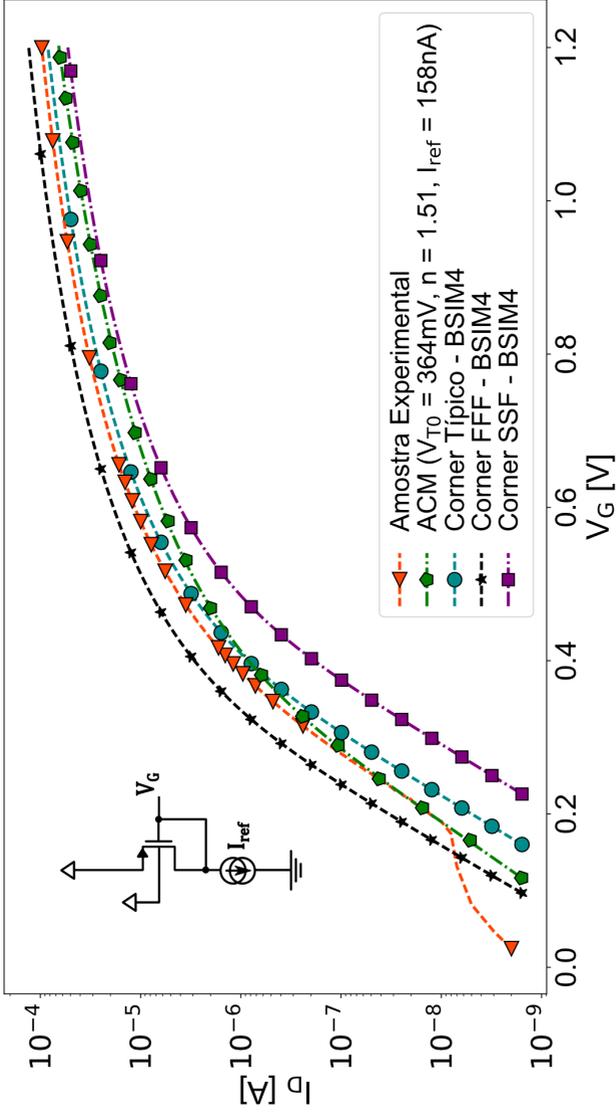


Figura 6.20: Comparativo entre *corners* do modelo BSIM4, ACM com 3 parâmetros medidos e curva experimental de transistor LVTFFET com $W/L = 480\text{nm}/120\text{nm}$.

6.1.6. Avaliação do descasamento da tensão de limiar dos transistores

Nesta análise comparam-se as diferenças extraídas na tensão de limiar (ΔV_{T0}) a partir de dezoito amostras e duzentas rodadas da simulação de Monte Carlo. As extrações são realizadas com o método $3I_S$ por este ser mais simples e rápido na extração de V_{T0} . Para a realização do procedimento experimental se faz necessário o uso das colunas extras de transistores (MIS) contidas no chip proposto e ligadas ao pinos "vg7" e "vg7p" para transistores canal N e P respectivamente e mostradas na Figura 5.2. As tensões de limiar destas colunas de transistores são então comparadas às extraídas das colunas de transistores ligadas aos pinos "vg4" e "vg4p". O procedimento experimental é realizado através de transistores unitários similares com razão de aspecto $W/L = 480\text{nm}/480\text{nm}$ como também por meio das associações série de quatro transistores.

Na Tabela 6.8 são mostrados os dados extraídos a partir dos transistores canal N. É possível notar maiores descasamentos do V_{T0} de transistores unitários do que de associações série de transistores. Mesmo assim, a média aritmética dos valores de ΔV_{T0} nos transistores unitários é praticamente zero conforme mostrado na Tabela 6.9.

Tabela 6.8: Sumário das extrações experimentais de ΔV_{T0} de transistores LVTNFET.

W/L = 480nm/480nm				W/L = 480nm/4x480nm			
Amostra	V_{T01} [mV]	V_{T02} [mV]	ΔV_{T0} [mV]	Amostra	V_{T01} [mV]	V_{T02} [mV]	ΔV_{T0} [mV]
1	230,49	214,27	16,22	1	230,23	204,87	25,36
6	246,45	217,72	28,73	2	248,78	239,09	9,69
8	187,68	193,88	-6,20	3	265,09	266,10	-1,01
11	218,08	251,48	-33,4	4	289,30	257,23	32,07
13	247,20	218,35	28,85	6	230,94	232,32	-1,38
14	202,22	227,75	-25,53	8	240,91	251,30	-10,39
16	234,98	256,87	-21,89	10	241,60	248,98	-7,38
17	218,66	235,98	-17,32	11	238,07	219,67	18,4
18	201,86	198,53	3,33	12	248,37	221,53	26,84
20	224,98	245,78	-20,8	15	242,38	248,82	-6,44
25	237,24	216,74	20,5	16	224,17	231,20	-7,03
29	315,00	235,24	79,76	22	228,66	224,98	3,68
30	224,22	229,33	-5,11	30	256,25	231,47	24,78
36	208,02	234,98	-26,96	35	245,60	255,21	-9,61
37	215,83	229,62	-13,79	36	249,48	233,19	16,29
38	224,23	214,51	9,72	38	252,57	224,45	28,12
39	213,56	201,09	12,47	39	192,48	205,08	-12,6
40	203,92	218,37	-14,45	40	233,67	239,05	-5,38

Tabela 6.9: Dados estatísticos do descasamento da tensão de limiar de transistores LVTNFET.

W/L = 480nm/480nm			
Amostra	V_{T01} [mV]	V_{T02} [mV]	ΔV_{T0} [mV]
\bar{x}	225,26	224,47	0,79
σ	27,46	17,48	27,78
W/L = 480nm/4x480nm			
Amostra	V_{T01} [mV]	V_{T02} [mV]	ΔV_{T0} [mV]
\bar{x}	242,14	235,25	6,89
σ	19,61	17,19	15,70

A Figura 6.21 ilustra o comparativo entre os dados estatísticos de ΔV_{T0} do transistor unitário com a simulação de Monte Carlo para descasamento. Neste gráfico observa-se que as dispersões de Monte Carlo estão dentro do esperado pelo desvio padrão experimental. Todavia, na Figura 6.21 percebe-se que há um deslocamento (*offset*) dos valores experimentais em relação às dispersões de ΔV_{T0} das associações série de quatro transistores. Este resultado significa uma maior sensibilidade da extração da tensão de limiar na associação série de transistores, que pode ser explicada pela não proximidade dos transistores na fabricação do circuito.

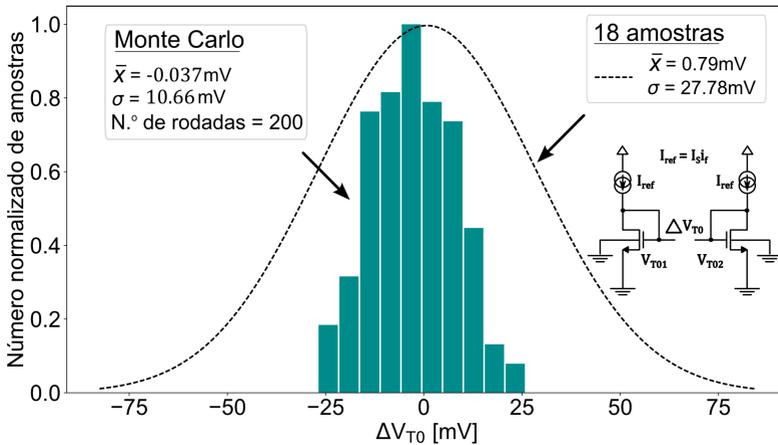


Figura 6.21: Histograma ΔV_{T0} da análise de Monte Carlo e gaussiana dos dados obtidos com amostras LVTNFET de W/L = 480nm/480nm.

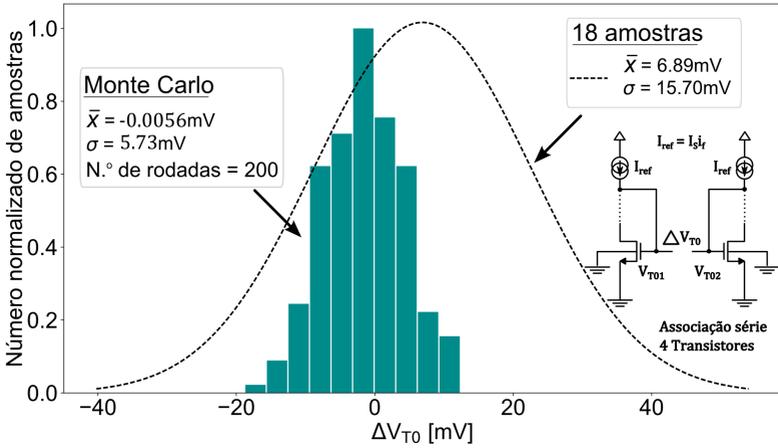


Figura 6.22: Histograma ΔV_{T0} da análise de Monte Carlo (descasamento) e gaussiana dos dados obtidos com LVTNFET de $W/L = 480\text{nm}/4\text{x}480\text{nm}$.

A seguir são analisados os dados experimentais mostrados na Tabela 6.10 para os transistores LVTPFET. É possível notar neste caso que os maiores descasamentos ocorreram com as associações série de transistores, tendo o maior $\Delta V_{T0} = 78\text{mV}$. O dados estatísticos de ΔV_{T0} são sumarizados na Tabela 6.11. Novamente pôde-se detectar uma maior média do valor de ΔV_{T0} na associação série de transistores do que no transistor unitário, resultado que é consistente com as observações realizadas anteriormente.

Tabela 6.10: Sumário das extrações experimentais de ΔV_{T0} de transistores LVTPFET.

W/L = 480nm/480nm				W/L = 480nm/4x480nm			
Amostra	$ V_{T01} $ [mV]	$ V_{T02} $ [mV]	ΔV_{T0} [mV]	Amostra	$ V_{T01} $ [mV]	$ V_{T02} $ [mV]	ΔV_{T0} [mV]
2	167,43	205,56	-38,13	1	210,2	218,98	-8,78
4	187,10	154,69	32,41	2	180,93	190,50	-9,57
11	182,12	186,59	-4,47	3	202,67	191,90	10,77
12	144,36	150,53	-6,17	4	205,20	198,20	7,00
13	188,64	185,32	3,32	9	256,73	200,00	56,73
15	225,58	190,42	35,16	10	245,06	212,58	32,48
16	235,06	284,18	-49,12	15	229,32	307,44	-78,12
18	168,46	166,77	1,69	18	203,52	203,60	-0,08
19	236,24	203,38	32,86	19	246,34	203,88	42,46
20	217,16	195,27	21,89	20	201,06	202,47	-1,41
21	180,48	184,11	-3,63	25	189,2	206,1	-16,90
22	171,79	183,40	-11,61	28	213,44	207,67	5,77
27	170,31	178,79	-8,48	32	232,14	218,54	13,60
29	176,34	204,56	-28,22	35	222,41	215,42	6,99
35	167,28	170,53	-3,25	36	239,86	200,82	39,04
38	173,48	168,40	5,08	38	198,20	204,21	-6,01
39	202,32	197,50	4,82	39	195,12	205,98	-10,86
40	202,38	194,96	7,42	40	180,56	200,02	-19,46

Tabela 6.11: Dados estatísticos do descasamento da tensão de limiar de transistores LVTPFET.

W/L = 480nm/480nm			
Amostra	$ V_{T01} $ [mV]	$ V_{T02} $ [mV]	ΔV_{T0} [mV]
\bar{x}	188,70	224,47	-0,47
σ	25,85	17,48	22,89
W/L = 480nm/4x480nm			
Amostra	$ V_{T01} $ [mV]	$ V_{T02} $ [mV]	ΔV_{T0} [mV]
\bar{x}	214,00	210,46	3,54
σ	23,10	25,46	29,60

Nas figuras 6.23 e 6.24 são apresentados os comparativos entre o histograma de Monte Carlo e os dados estatísticos das amostras LVTPFET. Os resultados adquiridos mostram novamente que a associação série apresenta um maior deslocamento no valor da média aritmética de ΔV_{T0} em relação as dispersões simuladas do que o transistor unitário.

Estas últimas análises encerram as extrações realizadas com o chip proposto, validando-o como uma importante ferramenta de extração de parâmetros dos transistores de baixa tensão de limiar.

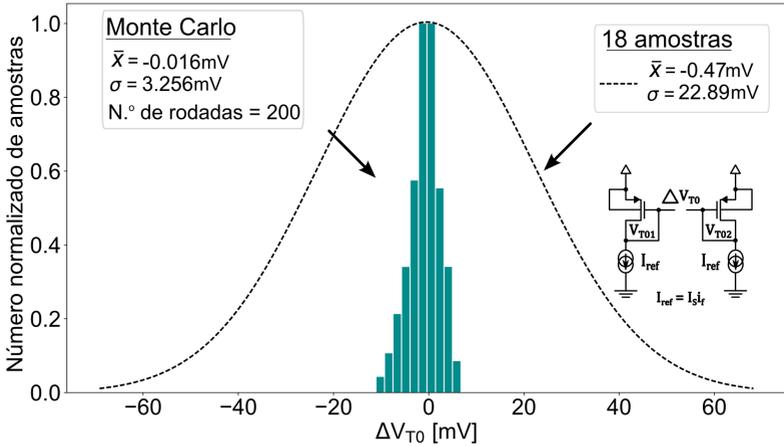


Figura 6.23: Histograma ΔV_{T0} da análise de Monte Carlo (descasamento) e gaussiana dos dados obtidos com amostras LVTPFET de W/L = 480nm/480nm.

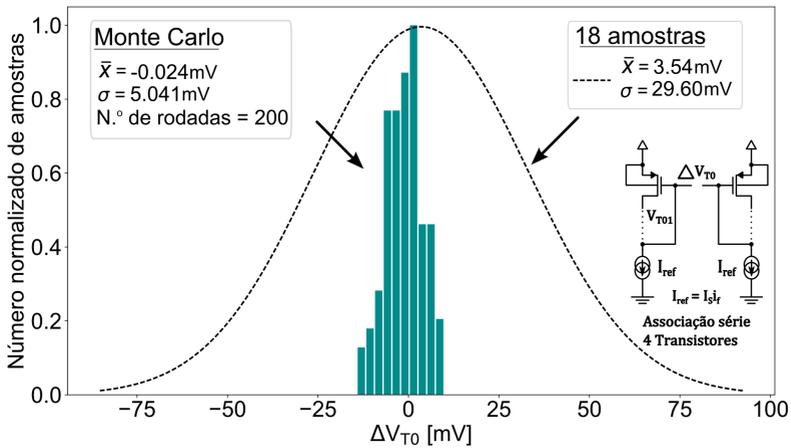


Figura 6.24: Histograma ΔV_{T0} da análise de Monte Carlo (descasamento) e gaussiana dos dados obtidos com amostras LVTPFET de $W/L = 480\text{nm}/4 \times 480\text{nm}$.

Capítulo 7

Considerações finais e trabalhos futuros

A elevada gama de funcionalidades proporcionada pelo chip teste permitiu que fossem avaliados diversos parâmetros básicos dos transistores de baixa tensão de limiar fornecidos pela tecnologia GlobalFoundries CMOS 130nm.

Tanto os resultados em simulação quanto os experimentais revelaram reduções de mais de 160mV na tensão de limiar em função do comprimento do canal confirmando a presença dos efeitos de canal curto reverso (RSCE) que possuem origem nos implantes *pocket* empregados na fabricação dos transistores. Na extração de V_{T0} em função de L por simulação de transistores canal N e canal P foi possível observar diferenças de até 6% nos valores medidos entre os métodos g_m/I_D e $3I_S$. Já no experimento este erro foi maior nos casos de transistores unitários com 30% de diferença no V_{T0} medido. Apesar disto, na maior parte das extrações experimentais analisadas observou-se erros abaixo de 11% na tensão de limiar medida com g_m/I_D e $3I_S$. Portanto isso mostra a consistência dos métodos utilizados para extração dos parâmetros. Outra importante informação adquirida foi que as associações série de transistores apresentaram as menores diferenças entre V_{T0} simulado e extraído no experimento. A partir das extrações também foi possível constatar que V_{T0} teve maiores diferenças entre canais curtos, chegando a 100mV entre L_{min} e $2L_{min}$. Este resultado é importante como visto na escolha do L ótimo para projeto de osciladores em baixa tensão de alimentação.

O aumento da mobilidade efetiva de portadores dos transistores tipo N e P em função do comprimento do canal justificou também o incremento da corrente específica de folha com L. Nos transistores unitários foi possível observar tanto experimentalmente quanto em simulação um acréscimo acima de 40% para canal N e entre 20 e 35% para

canal P. Observamos nestas extrações que a mobilidade do LVTNFET é cerca de cinco vezes a do LVTPFET. Este resultado serve como uma regra de projeto para compensação das mobilidades dos transistores de inversores aplicados na construção de osciladores em anel.

A tensão de Early extraída experimentalmente de transistores unitários canal N para diferentes níveis de inversão apresentou valores acima de 60% em relação aos simulados no modelo BSIM4, o que é aceitável devido ao método de extração por derivada. A partir das extrações de V_A das associações série de transistores foi possível comprovar que estas configurações atingem valores que podem chegar a cinco vezes aos obtidos nos transistores de canal longo. Da expressão de ganho máximo (6.4) determinada para um amplificador FC foi possível calcular valores próximos a 850V/V com base no V_A extraído das associações série de transistores. Com os transistores unitários, este ganho foi pouco mais que 100V/V. Portanto estes resultados revelam a grande importância das associações série no projeto de amplificadores.

Os dados extraídos com o chip teste foram de suma importância na avaliação da consistência dos modelos BSIM4 e ACM. Foi observado que no modelo compacto ACM, utilizando apenas 3 parâmetros extraídos do transistor MOS pôde-se obter uma grande aproximação à curva dos dados experimentais, com erro máximo de 6% entre a curva real e a simulada. Observou-se também através do estudo comparativo entre os modelos elétricos e amostras que os *corners* do modelo complexo BSIM4 tiveram erros de até 25%. Através desses resultados conclui-se que o uso de um modelo compacto com poucos parâmetros, porém bem definidos, pode ser mais útil para projeto do que um modelo complexo com centenas de parâmetros cujos valores são pouco conhecidos.

A partir desta dissertação poderão ser exploradas outras funcionalidades do circuito proposto. Como sugestões para trabalhos futuros estão a adição de osciladores em anel com o intuito de permitir uma avaliação da resposta dinâmica de circuitos. Além disso, poderão ser realizados estudos comparativos entre o ruído relativo de transistores unitários e associações série de transistores. Outra sugestão é o emprego das associações série contidas no chip teste em sistemas semi-integrados. Como exemplo disso, através da combinação das associações série/paralelo com componentes discretos, como os amplificadores operacionais, poderiam ser projetadas fontes de corrente auto-polarizadas afim de realizar estudos comparativos em relação as respostas obtidas de circuitos totalmente integrados.

Referências

- 1 GALUP-MONTORO, C.; SCHNEIDER, M. C.; LOSS, I. J. B. Low output conductance composite MOSFET's for high frequency analog design. In: **Proceedings of IEEE International Symposium on Circuits and Systems - ISCAS '94**. [S.l.: s.n.], 1994. v. 5, p. 783–786 vol.5.
- 2 DESPANDE, C.; CHEN, T. Design of a CMOS test chip for package models and I/O characteristics verification. In: **Proceedings of the ASP-DAC Asia and South Pacific Design Automation Conference, 2003**. [S.l.: s.n.], 2003. p. 565–566.
- 3 BHUSHAN, M.; KETCHEN, M. B.; CAI, M.; KIM, C. Ring oscillator technique for MOSFET *CV* characterization. In: **IEEE Transactions on Semiconductor Manufacturing**. [S.l.: s.n.], 2008. v. 21, n. 2, p. 180–185. ISSN 0894-6507.
- 4 GETTINGS, K. M. G. V.; BONING, D. S. Test circuit for study of CMOS process variation by measurement of analog characteristics. In: **2007 IEEE International Conference on Microelectronic Test Structures**. [S.l.: s.n.], 2007. p. 37–41. ISSN 1071-9032.
- 5 CONTI, M.; CRIPPA, P.; ORCIONI, S.; TURCHETTI, C.; RICCIARDI, F.; VECE, G. B. A new test structure for short and long distance mismatch characterization of submicron MOS transistors. In: **Proceedings of the 44th IEEE 2001 Midwest Symposium on Circuits and Systems. MWSCAS 2001 (Cat. No.01CH37257)**. [S.l.: s.n.], 2001. v. 2, p. 656–660 vol.2.
- 6 BASTOS, J.; STEYAERT, M.; ROOVERS, R.; KINGET, P.; SANSEN, W.; GRAINDOURZE, B.; PERGOOT, A.; JANSSENS,

- E. Mismatch characterization of small size MOS transistors. In: **Proceedings International Conference on Microelectronic Test Structures**. [S.l.: s.n.], 1995. p. 271–276.
- 7 CHEN, C. S.; LIL, L.; LIM, Q.; TEH, H. H.; OMAR, N. F. B.; LER, C. L.; WATT, J. T. A compact array for characterizing 32k transistors in wafer scribe lanes. In: **2014 International Conference on Microelectronic Test Structures (ICMTS)**. [S.l.: s.n.], 2014. p. 227–232. ISSN 1071-9032.
- 8 RIGAUD, F.; PORTAL, J. M.; AZIZA, H.; NEE, D.; VAST, J.; AURICCHIO, C.; BOROT, B. Test structure for process and product evaluation. In: **2007 IEEE International Conference on Microelectronic Test Structures**. [S.l.: s.n.], 2007. p. 140–144. ISSN 1071-9032.
- 9 HESS, C.; SAXENA, S.; KARBASI, H.; SUBRAMANIAN, S.; QUARANTELLI, M.; ROSSONI, A.; TONELLO, S.; ZHAO, S.; SLISHER, D. Device array scribe characterization vehicle test chip for ultra fast product wafer variability monitoring. In: **2007 IEEE International Conference on Microelectronic Test Structures**. [S.l.: s.n.], 2007. p. 145–149. ISSN 1071-9032.
- 10 GETTINGS, K. M. G. V.; BONING, D. S. Study of CMOS process variation by multiplexing analog characteristics. In: **IEEE Transactions on Semiconductor Manufacturing**. [S.l.: s.n.], 2008. v. 21, n. 4, p. 513–525. ISSN 0894-6507.
- 11 BRADLEY, A. T.; JAEGER, R. C.; SUHLING, J. C.; ZOU, Y. Test chips for die stress characterization using arrays of CMOS sensors. In: **Proceedings of the IEEE 1999 Custom Integrated Circuits Conference (Cat. No.99CH36327)**. [S.l.: s.n.], 1999. p. 147–150.
- 12 LEFFERTS, R.; JAKUBIEC, C. An integrated test chip for the complete characterization and monitoring of a 0.25 μm CMOS technology that fits into five scribe line structures 150 μm by 5000 μm . In: **International Conference on Microelectronic Test Structures, 2003**. [S.l.: s.n.], 2003. p. 3–63.
- 13 TSIVIDIS, Y. Operation and modeling of the MOS transistor. In: **Oxford University Press**. [S.l.: s.n.], 2003. v. 2, p. 640. ISBN

0195170148 - 978-0195170146.

14 MAHER, M.; MEAD, C. A physical charge-controlled model for MOS transistor. In: **Advanced Research in VLSI**, P. Losleben (ed), MA: MIT Press, Cambridge. [S.l.: s.n.], 1987.

15 ENZ, C.; KRUMMENACHER, F.; VITTOZ, E. A. An analytical MOS transistor model valid in all regions of operation and dedicated to low-voltage and low-current applications. In: **Journal of Analog Integrated Circuits and Signal Processors**. [S.l.: s.n.], 1995. v. 8, p. 83–114.

16 TELECOMMUNICATIONS, C. D. for. Esprit '90. In: **Proceedings of the Annual ESPRIT Conference Brussels**. [S.l.]: Springer Soft cover reprint of the original 1st ed. 1990 edition (September 20, 2011), 1990.

17 RIOS, R.; SHIH, W. K.; SHAH, A.; MUDANAI, S.; PACKAN, P.; SANDFORD, T.; MISTRY, K. A three-transistor threshold voltage model for halo processes. In: **Digest. International Electron Devices Meeting**. [S.l.: s.n.], 2002. p. 113–116.

18 KIM, T. H.; EOM, H.; KEANE, J.; KIM, C. Utilizing reverse short channel effect for optimal subthreshold circuit design. In: **ISLPED'06 Proceedings of the 2006 International Symposium on Low Power Electronics and Design**. [S.l.: s.n.], 2006. p. 127–130.

19 GALUP-MONTORO, C.; SCHNEIDER, M. C. **MOSFET Modeling for Circuit Analysis and Design**. [S.l.]: Singapore: World Scientific, 2007.

20 PAO, H.; SAH, C. Effects of diffusion current on characteristics of metal-oxide (insulator)-semiconductor transistors. In: **Solid-State Electronics**. [S.l.: s.n.], 1966. v. 9, n. 10, p. 927 – 937. ISSN 0038-1101.

21 SCHNEIDER, M. C.; GALUP-MONTORO, C. **CMOS Analog Design Using All-Region MOSFET Modeling**. [S.l.]: Cambridge University Press, 2010.

22 RICCO, B. Effects of channel geometries on FET output conductance in saturation. In: **IEEE Electron Device Letters**. [S.l.: s.n.], 1984. v. 5, n. 9, p. 353–356. ISSN 0741-3106.

- 23 TSUNO, M.; SUGA, M.; TANAKA, M.; SHIBAHARA, K.; MIURA-MATTAUSCH, M.; HIROSE, M. Physically-based threshold voltage determination for MOSFET's of all gate lengths. In: **IEEE Transactions on Electron Devices**. [S.l.: s.n.], 1999. v. 46, n. 7, p. 1429–1434. ISSN 0018-9383.
- 24 CUNHA, A.; SCHNEIDER, M.; GALUP-MONTORO, C.; CAETANO, C.; MACHADO, M. Unambiguous extraction of threshold voltage based on the transconductance-to-current ratio. In: **WCM Nanotechnol.** [S.l.: s.n.], 2005. p. 139–141.
- 25 ORTIZ-CONDE, A.; GARCIA-SANCHEZ, F. J.; MUCL, J.; BARRIOS, A. T.; LIOU, J. J.; HO, C.-S. Revisiting MOSFET threshold voltage extraction methods. In: **Microelectronics Reliability**. [S.l.: s.n.], 2013. v. 53, n. 1, p. 90 – 104. ISSN 0026-2714. Reliability of Micro-Interconnects in 3D IC Packages.
- 26 LIOU, J.; ORTIZ-CONDE, A.; GARCIA-SANCHEZ, F. Analysis and design of MOSFETs: Modeling, simulation, and parameter extraction. In: **Springer US**. [S.l.: s.n.], 1998. (Software Engineering; 4). ISBN 9780412146015.
- 27 TERADA, K.; NISHIYAMA, K.; HATANAKA, K.-I. Comparison of MOSFET-threshold-voltage extraction methods. In: **Solid-State Electronics**. [S.l.: s.n.], 2001. v. 45, n. 1, p. 35 – 40. ISSN 0038-1101.
- 28 ORTIZ-CONDE, A.; SANCHEZ, F. G.; LIOU, J.; CERDEIRA, A.; ESTRADA, M.; YUE, Y. A review of recent MOSFET threshold voltage extraction methods. In: **Microelectronics Reliability**. [S.l.: s.n.], 2002. v. 42, n. 4, p. 583 – 596. ISSN 0026-2714.
- 29 EL-KAREH, B.; TONTI, W. R.; TITCOMB, S. L. A submicron MOSFET parameter extraction technique. In: **IBM Journal of Research and Development**. [S.l.: s.n.], 1990. v. 34, n. 2.3, p. 243–249. ISSN 0018-8646.
- 30 WONG, H.-S.; WHITE, M. H.; KRUTSICK, T. J.; BOOTH, R. V. Modeling of transconductance degradation and extraction of threshold voltage in thin oxide MOSFET's. In: **Solid-State Electronics**. [S.l.: s.n.], 1987. v. 30, n. 9, p. 953 – 968. ISSN 0038-1101.
- 31 WONG, J. S.; MA, J. G.; YEO, K. S.; DO, M. A new approach

for the extraction of threshold voltage for MOSFET's. In: . [S.l.: s.n.], 2001.

32 GHIBAUDO, G. New method for the extraction of MOSFET parameters. In: **Electronics Letters**. [S.l.: s.n.], 1988. v. 24, p. 543 – 545.

33 SANCHEZ, F. G.; ORTIZ-CONDE, A.; MERCATO, G. D.; SALCEDO, J.; LIOU, J.; YUE, Y. New simple procedure to determine the threshold voltage of MOSFET's. In: **Solid-State Electronics**. [S.l.: s.n.], 2000. v. 44, n. 4, p. 673 – 675. ISSN 0038-1101.

34 SIEBEL, M. C. S. O. F.; GALUP-MONTORO, C. MOSFET threshold voltage: definition, extraction, and some applications. In: **Microelectronics Journal**. [S.l.: s.n.], 2012. v. 43, n. 5, p. 329–336.

35 LIU, W. MOSFET models for SPICE simulation, including BSIM3v3 and BSIM4. New York: Wiley-Interscience Publication., 2001.

36 ALIOTO, M. Ultra-low power vlsi circuit design demystified and explained: A tutorial. In: **IEEE Transactions on Circuits and Systems I: Regular Papers**. [S.l.: s.n.], 2012. v. 59, n. 1, p. 3–29. ISSN 1549-8328.

37 GOUVEIA-FILHO, O. Um modelo compacto do transistor MOS para simulação de circuitos. In: **Tese de doutorado, Universidade Federal de Santa Catarina**. Florianópolis, Santa Catarina, Brasil: [s.n.], 1999. p. 163.

38 SILVEIRA, F.; FLANDRE, D.; JESPERS, P. G. A. A g_m/I_D based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower ota. In: **IEEE Journal of Solid-State Circuits**. [S.l.: s.n.], 1996. v. 31, n. 9, p. 1314–1319. ISSN 0018-9200.

39 BINKLEY, D. M.; BLALOCK, B. J.; ROCHELLE, J. M. Optimizing drain current, inversion level, and channel length in analog cmos design. In: **Analog Integrated Circuits Signal Process**. Hingham, MA, USA: Kluwer Academic Publishers, 2006. v. 47, n. 2, p. 137–163. ISSN 0925-1030.

Apêndice A

Extração de parâmetros simulados do transistor LVTPFET

A seguir é mostrado um conjunto de extrações do transistor LVTPFET de forma paralela à apresentada para o transistor canal N.

A.1. Extração pelo método g_m/I_D

A configuração utilizada para operação do transistor na região linear é mostrada na Figura A.1.

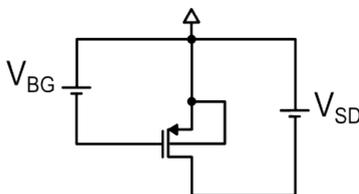


Figura A.1: Configuração Fonte Comum para realização do método g_m/I_D .

Para operação do transistor na região de interesse aplica-se entre os terminais de fonte e dreno, $V_{SD} = 13\text{mV}$.

A curva g_m/I_D característica da metodologia pode ser observada na Figura A.2. A partir desta característica mostra-se a seguir o conjunto de curvas da dependência dos parâmetros básicos dos transistores canal P em função do comprimento do canal.

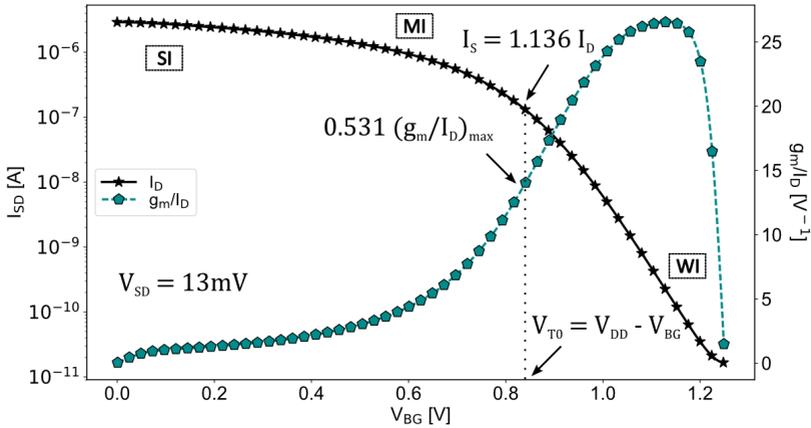


Figura A.2: Característica g_m/I_D de transistores LVTPFET.

A.1.1. Tensão de limiar

A Figura A.3 ilustra a dependência da tensão de limiar com o comprimento do canal.

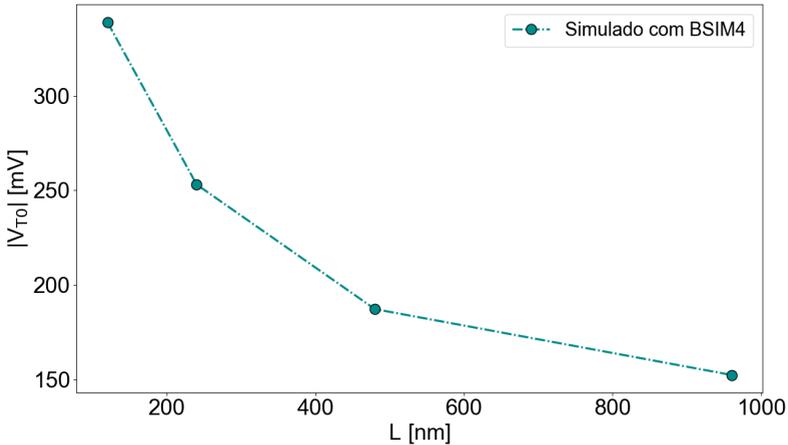


Figura A.3: Tensão de limiar em função do comprimento do canal.

É possível observar uma diferença da tensão de limiar em função de L de aproximadamente 188mV. Este resultado é em torno de 1,2

vezes menor do que o valor medido de V_{T0} com o transistor de canal N.

A.1.2. Corrente específica de folha

A dependência da corrente específica em função do comprimento de canal é ilustrada na Figura A.4.

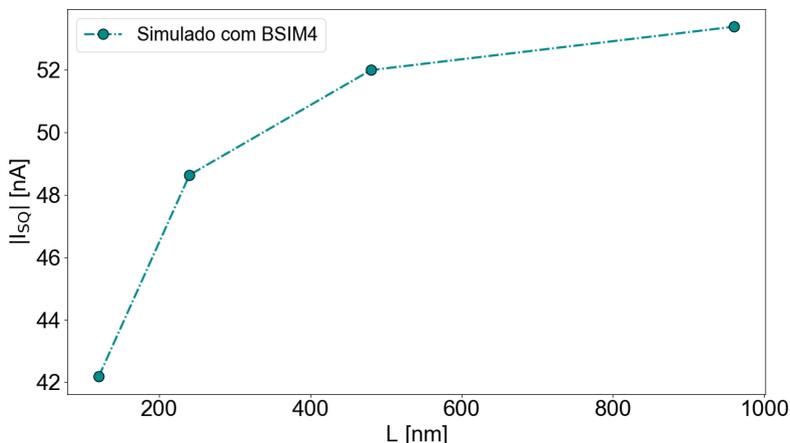


Figura A.4: Dependência da corrente específica em função do aumento do comprimento do canal.

Calcula-se um aumento de 26,5% no valor de I_{SQ} em função de L. Para explicar tal variação analisa-se a seguir a mobilidade efetiva.

A.1.3. Fator de inclinação

A dependência do fator de inclinação com o comprimento do canal é mostrada na Figura A.5.

O fator de inclinação mostra uma variação de 9,23% em função do comprimento do canal. Este resultado assim como o obtido pelo transistor canal N não tem significado físico já que este parâmetro depende apenas das capacitâncias de depleção e óxido.

A.1.4. Mobilidade de portadores

Através das extrações dos parâmetros pelo método g_m/I_D , podemos calcular a mobilidade efetiva de lacunas (buracos) com o com-

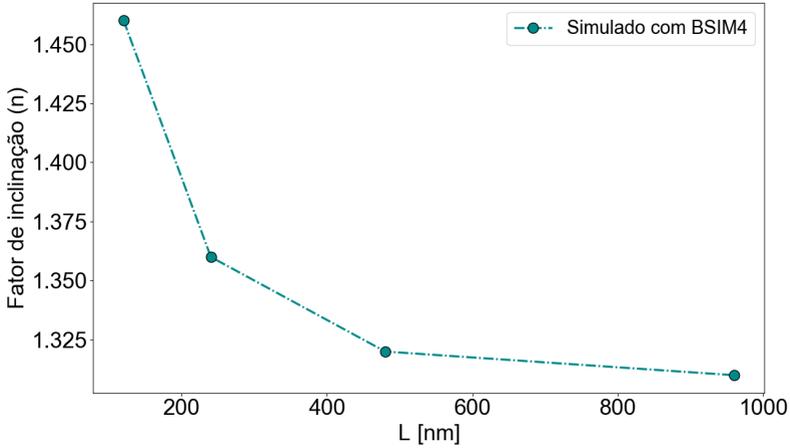


Figura A.5: Dependência do fator de inclinação em função do aumento do comprimento do canal de transistores LVTPFET simulados com o modelo BSIM4.

primento do canal sendo esta variação ilustrada na Figura A.6.

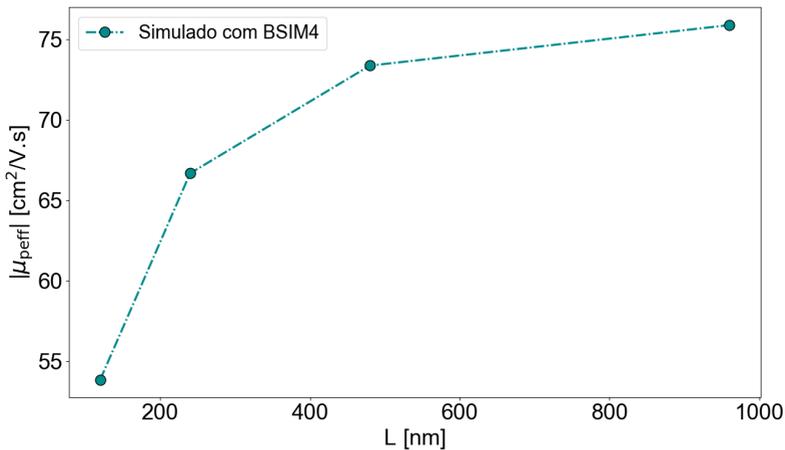


Figura A.6: Dependência da mobilidade dos portadores em função do comprimento do canal de transistores LVTPFET simulados com o modelo BSIM4.

É possível determinar uma variação de 30% de μ_{peff} em função

de L . Este resultado explica o aumento gradual de I_{SQ} com o comprimento do canal. Também é possível constatar que a mobilidade tem um rápido incremento até $L = 480\text{nm}$. Isto pode ser explicado por uma transição entre mecanismos que predominam na mobilidade entre os comprimentos de canal $2L_{min}$ e $4L_{min}$.

A.2. Extração pelo método $3I_S$

O diagrama apresentado através da Figura A.7 é utilizado para extração da tensão de limiar e fator de inclinação a partir do método $3I_S$.

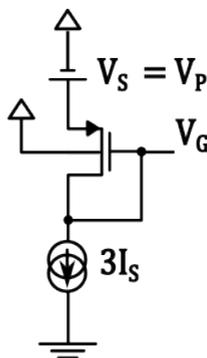


Figura A.7: Configuração para extração de parâmetros do LVTPFET através do método $3I_S$.

A.2.1. Tensão de limiar

A variação da tensão de limiar obtida com o método $3I_S$ é ilustrada na Figura A.8.

Observa-se um decréscimo na tensão de limiar de 180mV em função do comprimento do canal. Comparando este resultado com o extraído pelo método g_m/I_D temos valores praticamente iguais comprovando a consistência de ambos os métodos de extração.

A.2.2. Fator de inclinação

As variações do fator de inclinação obtido com o método $3I_S$ são ilustradas na Figura A.9.

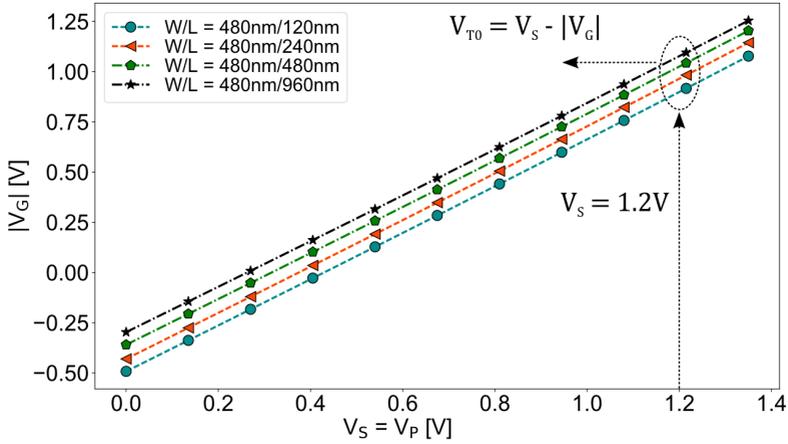


Figura A.8: Variação da tensão de limiar para diferentes comprimentos de canal utilizando o método $3I_S$.

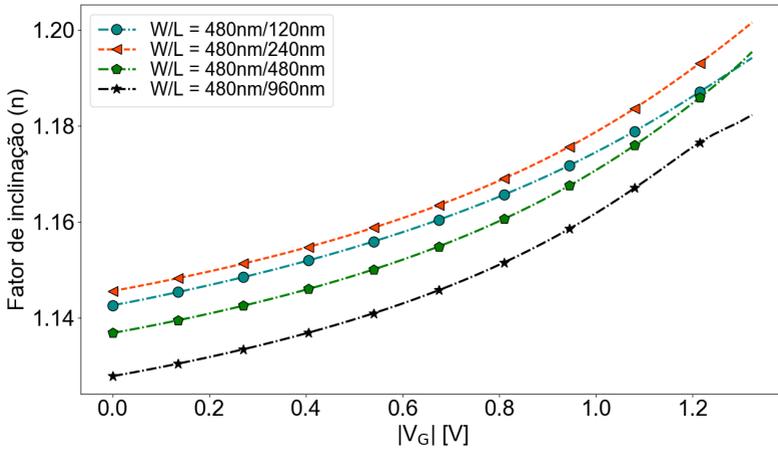


Figura A.9: Variação do fator de inclinação para diferentes comprimentos de canal utilizando o método $3I_S$.

É possível observar uma diferença de até 5% no valor do fator de inclinação para diferentes comprimentos de canal. Isto significa que neste método o valor deste parâmetro está na faixa compreendida entre 1,14 e 1,2. Embora, no método g_m/I_D o valor do fator de inclinação seja extraído entre 1,32 e 1,45 o que pode ser explicado pela sensibilidade

do cálculo baseado no valor máximo de g_m/I_D extraído.

Concluída a etapa das simulações relativas aos transistores canal P, a seguir apresenta-se o comparativo entre as simulações de *corners* e duzentas rodadas da simulação Monte Carlo (processo e descasamento).

A.3. Comparativo entre análises de *corners* e Monte Carlo

Com um transistor canal P de $W/L = 480\text{nm}/480\text{nm}$ realizaram-se duzentas rodadas da simulação de Monte Carlo para variações de processo e descasamento. O histograma obtido para a tensão de limiar através do método $3I_S$ é mostrado na Figura A.10.

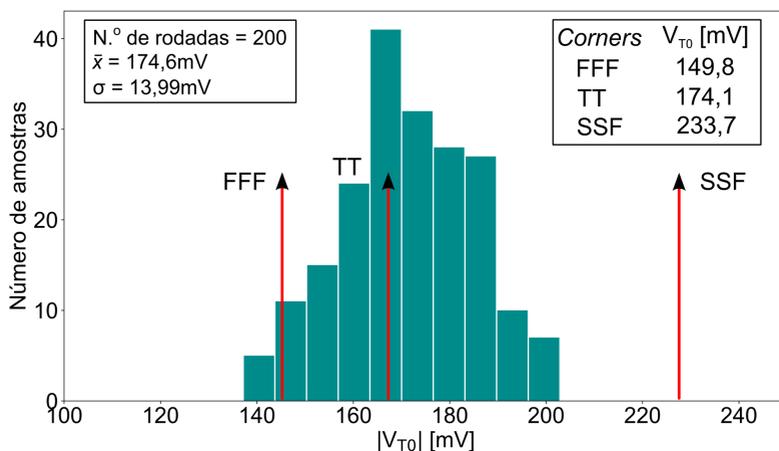


Figura A.10: Histograma das dispersões da tensão de limiar obtidas pelo método $3I_S$.

Na Tabela A.1 são apresentados os comparativos entre os *corners* SSF, típico e FFF do modelo BSIM4 com as dispersões obtidas da simulação de Monte Carlo.

Da Tabela A.1 é possível observar que o *corner* FFF obteve um valor de V_{T0} maior do que o pior caso da dispersão de Monte Carlo. Este resultado significa uma incoerência do *corner* extremo FFF por não estimar de forma precisa todas as possibilidades de variação do processo e descasamento.

Tabela A.1: Resumo dos resultados obtidos com *corners* e Monte Carlo.

Corner	$ V_{T0} $ [mV]	Monte Carlo	$ V_{T0} $ [mV]
FFF	149,8	Valor mínimo	140,4
TT	174,1	Valor médio	174,6
SSF	233,7	Valor máximo	206,2

Apêndice B

Leiautes e diagramas do chip teste

Neste apêndice são mostrados os leiautes realizados para a fabricação do chip proposto. Além disso apresenta-se o diagrama do encapsulamento utilizado na confecção do chip pela MOSIS.

A Figura B.1 apresenta o leiaute realizado para a matriz de transistores LVTNFET.

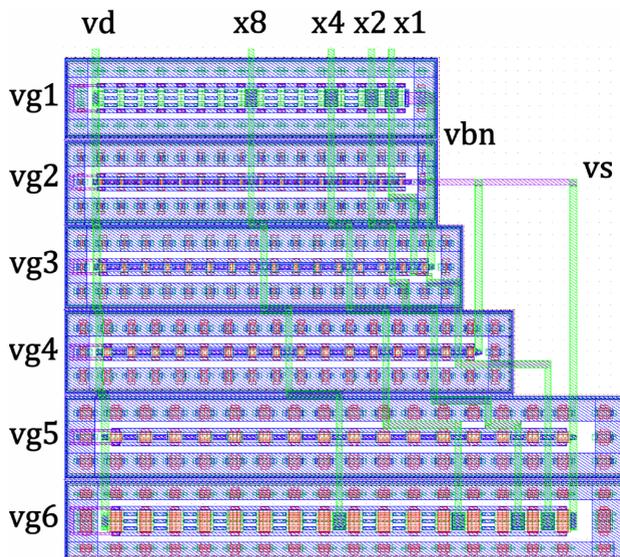


Figura B.1: Leiaute da matriz de transistores LVTNFET.

A área ocupada pelos transistores de canal N tem $182,3\mu\text{m}$ de largura por $43,82\mu\text{m}$ de comprimento.

São mostrados a seguir através das figuras B.3 e B.4, os leiautes

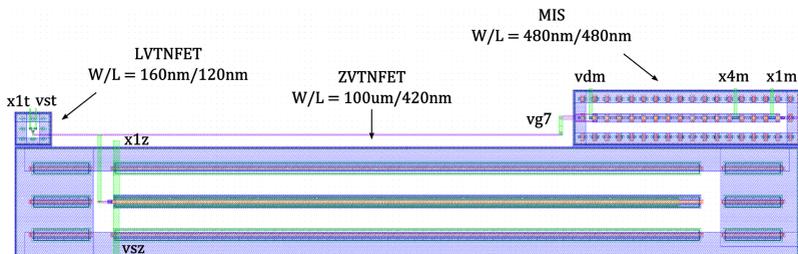


Figura B.2: Leiaute de configurações adicionais contendo o transistor de dimensões mínimas (LVT), transistor nativo (ZVT) e transistores para avaliação de descasamento (MIS).

dos transistores de canal P e da coluna de transistores para avaliação do descasamento da tensão de limiar.

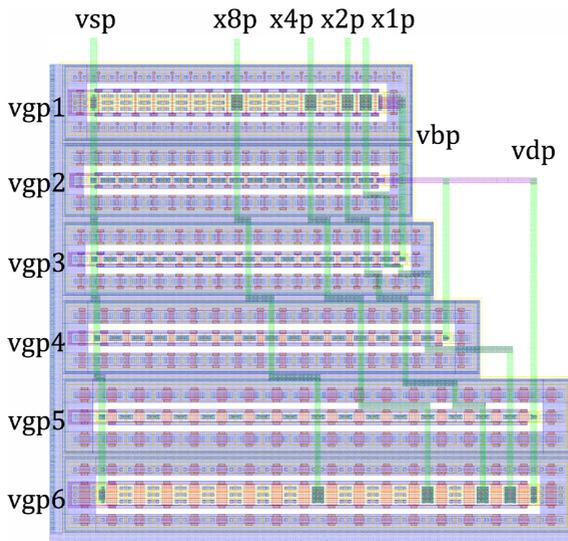


Figura B.3: Leiaute da matriz de transistores LVTNFET.

Os transistores de canal P ocupam uma largura de $89,64\mu\text{m}$ e comprimento de $49,69\mu\text{m}$.

O último leiaute a ser mostra pela Figura B.5 é em relação ao topo, neste são integradas as partes referentes aos transistores canal N e P ilustrados anteriormente.

Apresentados os leiautes do chip teste, a Figura B.6 mostra o

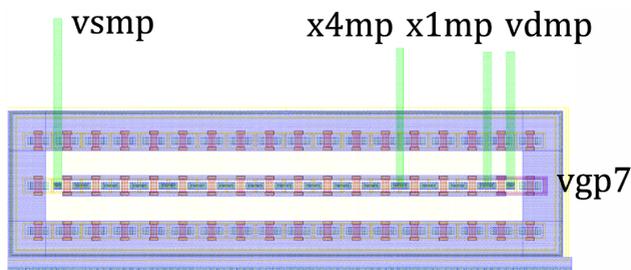


Figura B.4: Leiaute da configuração adicional contendo transistores para avaliação de descasamento (MIS).

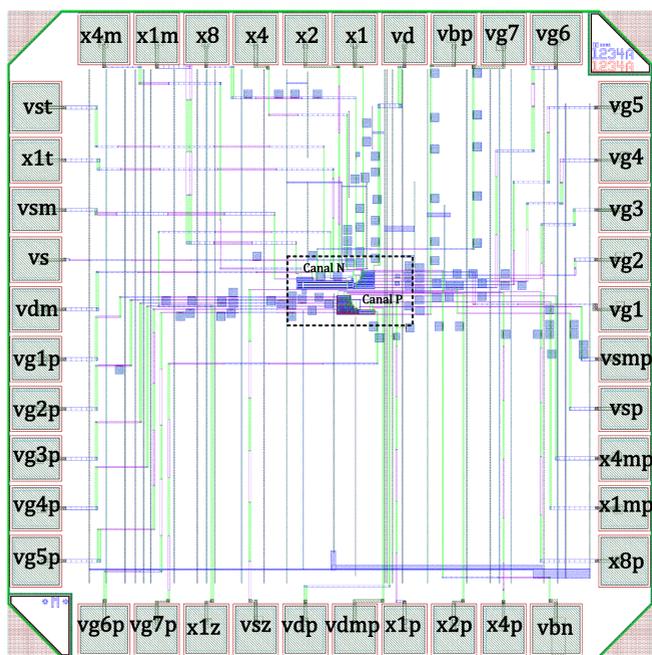


Figura B.5: Leiaute do topo do chip enviado para fabricação com detalhes sobre os terminais e partes referentes aos transistores canal N e P.

diagrama representativo do encapsulamento *Dip-In-Line* de quarenta pinos enviado pela MOSIS.

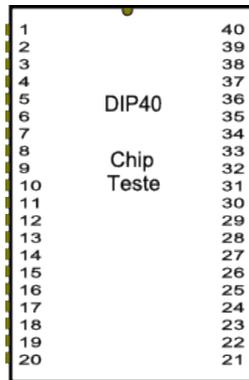


Figura B.6: Diagrama representativo do encapsulamento DIP40.

Apêndice C

Procedimentos experimentais para extração de parâmetros

Este apêndice mostra os procedimentos experimentais realizados para a extração experimental de parâmetros.

Na Figura C.1 é mostrado o diagrama esquemático das relações entre os equipamentos utilizados durante a aquisição dos dados.

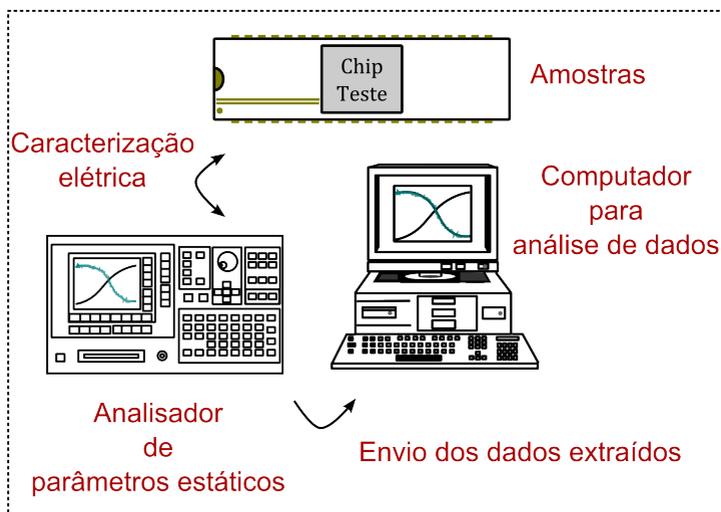


Figura C.1: Processo de caracterização das amostras.

Fazendo uso do analisador de parâmetros estáticos de semicondutores, SMU Agilent 4156C, e de seu módulo Test-Fixture Agilent 16442A ilustrados no capítulo 4 deste trabalho puderam ser extraídos em laboratório os parâmetros das amostras fabricadas.

Os passos para extração da característica g_m/I_D de um transistor LVTNFET de $W/L = 480\text{nm}/120\text{nm}$ são ilustrados a seguir.

O módulo de teste Agilent 16442A permite a excitação de até quatro terminais diretamente e diversas combinações. A Figura C.2 mostra o primeiro passo de configuração utilizada na extração da característica $I_D - V_G$ do transistor.



Figura C.2: Passo 1 - seleção dos pinos para excitação elétrica.

Na Figura C.2 é possível observar as seguintes relações:

- **Modo de medição:** Varredura (*Sweep*)
- **Canal SMU1:** a tensão neste nó é chamada de VS e a corrente de IS . Essas conexões são correspondentes ao pino 19 (vs) - terminal de fonte conectado ao terra (*common*) com tensão constante (0V);
- **Canal SMU2:** a tensão neste nó é chamada de VG e a corrente de IG . A ligação na SMU2 corresponde ao pino 2 (vg2) - terminal de porta para variação de tensão definida como variável $VAR1$;
- **Canal SMU3:** a tensão neste nó é chamada de VD e a corrente de ID . Esta conexão corresponde ao pino 10 (x1) - terminal de dreno referente a um transistor unitário com tensão constante (13mV);

Os canais $VSU1$ e $VSU2$ correspondem a tensão de alimentação (VDD) e a tensão aplicada nos terminais de porta dos outros transistores colocando-os em corte para que estes não interfiram na análise.



Figura C.3: Passo 2 - equação para extração da característica g_m/I_D .

Na Figura C.3 é ilustrada a configuração necessária para extração da característica g_m/I_D . Conforme pode ser observado, realiza-se a derivada definida pela expressão *DIFF* da curva logarítmica de $I_D - V_G$.

Seguindo as etapas do processo de extração através da Figura C.4 são definidos os valores correspondentes aos parâmetros constantes e variáveis.

A tensão de porta é definida como um parâmetro variável de 0 a 1,2V com passo de 2mV (600 pontos). Como a extração se dará em região linear, a tensão de dreno é constante em 13mV, sendo fonte e substrato colocados em 0V. Por último são definidas as tensões de alimentação (VDD) e de corte (VG2) para os transistores que não serão analisados. Este último valor de tensão é escolhido através de uma análise paramétrica de qual valor seria necessário para obtenção da máxima transcondutância por corrente e que coloca-se os demais transistores da matriz em região de corte, obtendo o valor de -480mV.

Por fim, na Figura C.5 podem ser observadas as curvas características obtidas através do método g_m/I_D com uma amostra LVTNFET de $W/L = 480\text{nm}/120\text{nm}$.

Os procedimentos mostrados neste apêndice podem ser estendi-



Figura C.5: Passo 4 - extração das curvas do transistor.