

Anselmo Luís da Silva Júnior

**ESTUDO DO INVERSOR SCHMITT TRIGGER EM
ULTRABAIXA TENSÃO**

Trabalho de conclusão de curso
submetido ao Programa de
graduação em Engenharia
Eletrônica da Universidade Federal
de Santa Catarina para a obtenção
do Grau de bacharel em
Engenharia Eletrônica

Orientador: Prof. Dr. Carlos Galup
Montoro

Florianópolis

2015

Ficha de identificação da obra elaborada pelo autor,
através do Programa de Geração Automática da Biblioteca Universitária da UFSC.

LUIS DA SILVA JUNIOR, ANSELMO
ESTUDO DO INVERSOR SCHMITT TRIGGER EM ULTRABAIXA TENSÃO
/ ANSELMO LUIS DA SILVA JUNIOR ; orientador, CARLOS GALUP
MONTORO - Florianópolis, SC, 2015.
69 p.

Trabalho de Conclusão de Curso (graduação) -
Universidade Federal de Santa Catarina, Centro Tecnológico.
Graduação em Engenharia Eletrônica.

Inclui referências

1. Engenharia Eletrônica. 2. SCHMITT TRIGGER. 3. CMOS.
4. ULTRABAIXA TENSÃO. 5. LOW-POWER. I. GALUP MONTORO,
CARLOS. II. Universidade Federal de Santa Catarina.
Graduação em Engenharia Eletrônica. III. Título.

Anselmo Luís da Silva Júnior

**ESTUDO DO INVERSOR SCHMITT TRIGGER EM
ULTRABAIXA TENSÃO**

Este Trabalho de Conclusão de Curso foi julgado adequado para obtenção do Título de Bacharel, e aprovado em sua forma final pelo Programa Graduação em Engenharia Eletrônica.

Florianópolis, 9 de julho de 2015.

Prof. Jefferson Luiz Brun, Dr.

Coordenador do Curso

Banca Examinadora:

Prof.º Carlos Galup Montoro, Dr.

Orientador

Universidade Federal de Santa Catarina

Prof. Héctor Pettenghi Roldan, Dr.

Universidade Federal de Santa Catarina

Eng. Andres Fernando Ordoñez Hurtado.

Universidade Federal de Santa Catarina

Este trabalho é dedicado à minha esposa, imprescindível à sua conclusão.

AGRADECIMENTOS

Agradeço ao meu orientador, Professor Dr. Carlos Galup Montoro, pela oportunidade e pela atenção a mim dispensada. Agradeço também ao Professor Dr. Márcio Cherem Schneider por estar sempre disposto a ajudar.

Agradeço em especial ao doutorando Luiz Alberto Pasini Melek que iniciou os estudos do Schmitt Trigger em ultrabaixa tensão, permitindo o desenvolvimento deste trabalho. Aprecio muito toda sua dedicação e vontade em ajudar, não só nos temas relacionados ao seu trabalho como também nas matérias da graduação. Desejo muita saúde à você, sua esposa e em especial aos pequenos gemêos, Júlio e Felipe.

RESUMO

Circuitos de ultrabaixa tensão ganharam uma atenção considerável em aplicações com restrição no potencial de alimentação. A pequena tensão de alimentação disponível obriga a operação dos circuitos em regime *subthreshold*. Neste trabalho, como uma alternativa para o inversor CMOS convencional, o clássico inversor Schmitt Trigger CMOS é totalmente analisado em termos da característica de transferência de tensão, do tamanho otimizado dos transistores, da faixa de tensão de operação e do ganho em tensão. Mostra-se que a tensão mínima de operação para o Schmitt Trigger é de 31.6mV a 300K, em contraste com o limite de 36mV do inversor CMOS convencional. Além disso, a uma dada tensão de alimentação, o Schmitt Trigger apresenta não só um ganho de tensão mais elevado do que o do inversor convencional, como também uma menor dependência dos desvios nos parâmetros do processo de fabricação.

Palavras-chave: Schmitt Trigger. Ultrabaixa tensão. Regime *Subthreshold*.

ABSTRACT

Ultra-low-voltage circuits have gained considerable attention in voltage-constrained applications. The small supply voltage available forces the operation of the circuits in the subthreshold regime. In this paper, as an alternative to the conventional static CMOS inverter, the classical Schmitt Trigger CMOS inverter is fully analyzed in terms of the voltage transfer characteristic, optimum transistor sizes, operating supply voltage range and voltage gain. It is shown that the minimum supply voltage for the classical Schmitt Trigger is 31.6mV at 300K, in contrast to the well-known 36mV limit of the standard CMOS inverter. Moreover, at a given supply voltage, the Schmitt Trigger has both a voltage gain higher than that of the conventional inverter and a lower dependence on the variations in the process parameters.

Keywords: Schmitt Trigger. Ultra-low-voltage. Subthreshold.

LISTA DE TABELAS

Tabela 1: Valores otimizados de I_2/I_0 para diferentes valores de alimentação.	56
Tabela 2: Parâmetros extraídos dos transistores NMOS e PMOS.....	62
Tabela 3: Transcondutâncias dos transistores.	71

LISTA DE FIGURAS

Figura 1: Topologia de uma célula SRAM de 6 transistores.	23
Figura 2: Inversor CMOS Schmitt-Trigger (ST).	23
Figura 3: Inversor CMOS convencional.	25
Figura 4: VTC do inversor convencional e margem de ruído.	27
Figura 5: Corrente de fuga nos transistores (a) NMOS e (b) PMOS. ...	28
Figura 6: Circuitos equivalentes para (a) carga e (b) descarga da capacitância de carga.	29
Figura 7: Corrente de curto-circuito no inversor convencional.	30
Figura 8: CMOS Schmitt Trigger (ST).	31
Figura 9: Célula SRAM baseada no Schmitt-Trigger.	32
Figura 10: Transição do ST para a porta NAND-ST de duas entradas. .	33
Figura 11: Porta NOR-ST com duas entradas.	33
Figura 12: VTC do ST para $V_{DD}=60mV$	35
Figura 13: VTC do ST para $V_{DD}=120mV$	36
Figura 14: V_O vs V_I @ V_{DD}	37
Figura 15: Separação do Schmitt Trigger em dispositivos do tipo P e N.	38
Figura 16: $I_{DN1} \times V_O$ @ V_I	38
Figura 17: $I_{DP1} \times V_O$ @ V_I	39
Figura 18: I_{DN1} e I_{DP1} vs V_O @ V_I	40
Figura 19: $IDN1$ e $IDP1$ vs VO @ VI para $VDD=120mV$	41
Figura 20: $IDN1$ e $IDP1$ vs VO @ VI para $VDD=120mV$	42
Figura 21: Pontos de operação obtidos com o método das correntes indicados na VTC do método iterativo.	43
Figura 22: VTC do ST obtida através do método das correntes.	44
Figura 23: V_X e V_Y em função de V_I , obtido através do método das correntes.	45
Figura 24: V_X e V_Y em função de V_I com $V_{TN}=50mV$ e $V_{TP}=0V$	46
Figura 25: Influência da tensão de limiar nas curvas de corrente.	47
Figura 26: VTC do ST com $V_{TN}=50mV$ e $V_{TP}=0V$	48
Figura 27: V_X e V_Y em função de V_I com $V_{TN}=V_{TP}=0V$, $n_N=1,3$ e $n_P=1$	49
Figura 28: V_X e V_Y em função de V_I com $V_{TN}=V_{TP}=0V$, $n_N=1,3$ e $n_P=1,3$	50
Figura 29: VTC do ST com $V_{TN}=V_{TP}=0V$ e $n_N=n_P=1,3$	51
Figura 30: Modelo de pequenos sinais para o transistor MOS. [7]	52

Figura 31: Relação entre o modelo de grandes sinais e o modelo de pequenos sinais do ST.	52
Figura 32: V_{DD} mínimo para ocorrência de histerese em função de I_2/I_0 com I_1/I_0 como parâmetro.	54
Figura 33: Linearização dos pontos metaestáveis da VTC do ST.	57
Figura 34: V_L/V_{DD} em função de I_2/I_0 , com $I_1/I_0=0,5$ e $V_{DD}=240mV$	58
Figura 35: V_L/V_{DD} em função de I_2/I_0 , com $I_1/I_0=0,5$ e $V_{DD}=180mV$	59
Figura 36: V_L/V_{DD} em função de I_2/I_0 , com $I_1/I_0=0,5$ e $V_{DD}=120mV$	60
Figura 37: Circuito para extração dos parâmetros dos transistores MOS.	61
Figura 38: I_D e g_m/I_D em função de V_{GS}	62
Figura 39: Circuito para simulação do método das correntes.	63
Figura 40: I_{DN1} e I_{DP1} vs V_{OUT} @ K , $V_{DD}=120mV$, $V_i=60mV$ e $I_1=I_2=I_0$	64
Figura 41: VTC do ST com K como parâmetro. $W_{N0}/L_{N0}=1\mu m/600nm$; $W_{N1}/L_{N1}=500nm/300nm$; $W_{N0}/L_{N0}=1\mu m/600nm$; $W_P=K*W_N$; $L=0,6\mu m$;	65
Figura 42: V_L (mV) vs K	66

LISTA DE ABREVIATURAS E SIGLAS

CMOS – MOS complementar

GND – Terra ou 0V

IOT – Internet das coisas

LCK – Lei das correntes de Kirchoff

NMOS – Transistor MOS do tipo N

MOS – Semicondutor metal-óxido

MOSFET – Transistor de efeito de campo metal-óxido

PMOS - Transistor MOS do tipo P

RAM – Memória de acesso randômico

SNM – Margem de ruído

SRAM – Memória de acesso randômico estático

ST – Schmitt-Trigger

VTC – Característica de transferencia de tensão

Sumário

1	Introdução	22
2	Análise do inversor CMOS convencional	24
2.1	Ganho em tensão e margem de ruído	24
2.2	Potência estática e dinâmica.....	27
3	Análise do Schmitt Trigger	31
3.1	Equacionamento	34
3.2	Característica de transferência de tensão (VTC) – Método iterativo	35
3.3	Característica de transferência de tensão (VTC) – Método das correntes	37
3.4	Ganho de pequenos sinais	52
4	Otimização do Schmitt Trigger para ultrabaixa tensão	54
4.1	Maximização do ganho [13].....	54
4.2	Aproximação para o laço de histerese	57
5	Simulações	60
5.1	Extração de parâmetros	61
5.2	Estudo da histerese	63
6	Conclusões	66
7	Apêndice A – Ganho do inversor CMOS [13]	68
8	Apêndice B – Tensões nos nós do Schmitt Trigger [13].....	69
9	Apêndice C – Ganho de pequenos sinais do Schmitt Trigger [13].....	70
10	Referências	72

1 Introdução

Nos últimos anos avanços significativos foram feitos na área de circuitos de ultra baixa tensão, visando aplicações que dependam de pequenas baterias ou da coleta de energia do ambiente para operar. Estas aplicações incluem sistemas de entretenimento, computadores portáteis, smartphones e sistemas biomédicos[1]. A internet das coisas (IoT)[2] traz consigo a maior aplicabilidade da coleta de energia. Nela a maioria dos objetos terá uma conexão *wireless*, levando a uma rede de trilhões de dispositivos. Com isso torna-se necessário que os circuitos sejam capazes de obter energia do ambiente, como sinais de radiofrequência, de luz ou de calor, devido a inviabilidade no uso de baterias.

A redução da tensão de alimentação dos circuitos é fundamental para que estes sejam capazes de alcançar os requerimentos de autonomia em aplicações de ultra baixo consumo com pequenas baterias ou que colem energia do ambiente. A potência estática dissipada é diretamente proporcional a tensão de alimentação, ao passo que a potência dinâmica é proporcional ao quadrado da tensão de alimentação. Assim, a redução na tensão de alimentação implica também em uma redução significativa no consumo de potência. A tensão de alimentação em tecnologias CMOS de 130nm é tipicamente 1,2V, porém ela pode ser reduzida ainda mais em aplicações onde a autonomia é mais importante do que o desempenho. Em[3]foi demonstrado que o limite teórico de operação para um inversor CMOS comum é de 36mV a 300K.

Com a redução da tensão de alimentação os transistores passam a ser polarizados no regime de inversão fraca, caracterizado pela relação exponencial entre as tensões de porta, dreno e fonte e a corrente de dreno. Nessa região de operação uma pequena variação na tensão de limiar dos transistores, originada nos processos de fabricação, pode levar a grandes variações na corrente de dreno e, por conseguinte, degradar o desempenho da porta lógica. Algumas técnicas para compensar este tipo de desvio já foram propostas. Em [4] circuitos para compensação do desvio da tensão de limiar foram apresentados buscando equilibrar os tempos de descida e subida de portas lógicas como inversores, NOR's e NAND's.

Um circuito fundamental em sistemas eletrônicos é a memória estática, ilustrada na Figura 1. Ela é constituída de dois inversores convencionais conectados como um *latch* e mais dois transistores de

acesso. Em [5] memórias SRAM de 6 transistores conseguem operar com 350mV de alimentação.

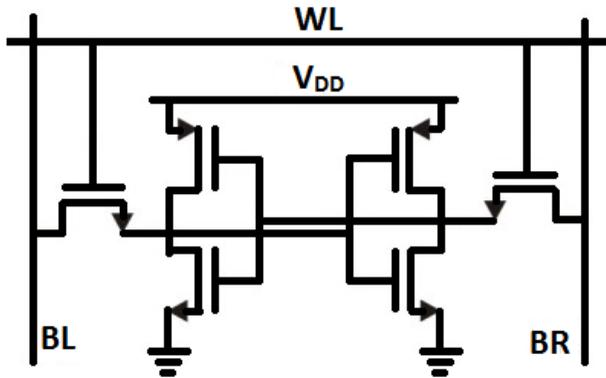


Figura 1: Topologia de uma célula SRAM de 6 transistores.

Uma topologia mais nova da memória SRAM baseia-se no inversor Schmitt-Trigger (ST), ilustrado na Figura 2, contendo um total de 10 transistores. Em [6] essa topologia conseguiu operar, em simulações, com 150mV de alimentação e, em tecnologia CMOS de 130nm, com apenas 160mV de alimentação.

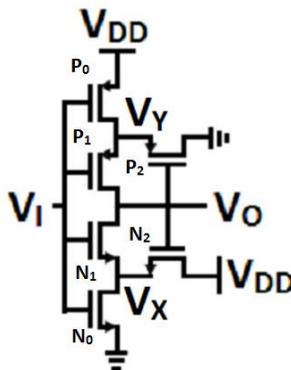


Figura 2: Inversor CMOS Schmitt-Trigger (ST).

O ST, quando comparado ao inversor comum, apresenta vantagens como maior ganho, menor sensibilidade à variação de

parâmetros tecnológicos e maior margem de sinal-ruído (*Signal Noise Margin – SNM*) para a mesma tensão de alimentação.

Assim, este trabalho busca analisar detalhadamente o comportamento do inversor ST, incluindo a tensão mínima de operação, o ganho, a tensão mínima para ocorrência de histerese e a largura do laço de histerese em função dos parâmetros do circuito. Possibilitando assim o dimensionamento do circuito de acordo com as características requeridas por cada aplicação.

2 Análise do inversor CMOSconvencional

A análise do inversor CMOS convencional pode ser estendida, com os devidos ajustes, ao Schmitt Trigger sem perda de sentido. Entretanto alguns pontos dessa análise passam a ser significativamente mais complicados no segundo caso. Assim a análise que se segue busca contextualizar as características importantes a um inversor. Muitas dessas características poderão ser identificadas durante a análise do ST.

2.1 Ganho em tensão e margem de ruído

Quando a tensão de alimentação dos circuitos é reduzida para valores inferiores a tensão de limiar V_T dos transistores, NMOS e PMOS, estes operam em inversão fraca ou regime *subthreshold*. Segundo a equação (1)[7] o regime de inversão fraca é definido quando o nível de inversão direto (reverso), $i_{f(r)}$, é menor do que 1. Em (1) V_{GB} é a tensão de porta, V_{SB} a tensão de fonte, V_{DB} a tensão de dreno, todas referenciadas ao corpo do transistor, “n” é o fator de rampa e ϕ_t a tensão térmica.

$$\frac{V_{GB} - V_T - n \cdot V_{SB}}{n \cdot \phi_t} = \sqrt{i_{f(r)} + 1} - 2 + \ln \sqrt{i_{f(r)} + 1} \quad (1)$$

A corrente de dreno do transistor NMOS(PMOS), $I_{DN(P)}$, depende exponencialmente das tensões de porta, dreno e fonte. Para $i_f < 1$ a corrente de dreno obedece a equação (2), onde $I_{ON(P)}$ é o fator de escalamento da corrente, equação (3), e depende dos parâmetros geométricos e da tecnologia do transistor.

$$I_{DN(P)} = I_{ON(P)} \cdot e^{\frac{V_{GB(BG)} - |V_{TN(P)}| - n_{N(P)} V_{SB(BS)}}{n_{N(P)} \cdot \phi_t}} \cdot \left(1 - e^{-\frac{V_{DS(SD)}}{\phi_t}} \right) \quad (2)$$

$$I_{ON(P)} = \mu_{N(P)} n_{N(P)} C'_{ox} \phi_t^2 \frac{W}{L} e^{-\frac{V_{TN(P)}}{n_{N(P)} \phi_t}} \quad (3)$$

Muitas vezes a força ou capacidade de corrente do transistor é utilizada como parâmetro e está definida em na equação (4).

$$I_{N(P)} = I_{ON(P)} \cdot e^{\frac{-|V_{TN(P)}|}{n_{N(P)} \cdot \phi_t}} \quad (4)$$

O inversor CMOS convencional encontra-se na Figura 3. Nele a rede de *pull-up* é constituída de um transistor PMOS e a rede de *pull-down* por um transistor NMOS. As tensões de entrada e saída são, respectivamente, V_i e V_o e a característica de transferência de tensão (VTC) pode ser obtida aplicando-se a lei das correntes de Kirchoff (LCK) no nó de saída. Por simplicidade considera-se que $n_N=n_P=n$.

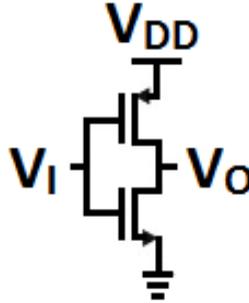


Figura 3: Inversor CMOS convencional.

Igualando as correntes dos dois transistores tem-se:

$$I_{DN} = I_{DP} \quad (5)$$

$$I_{ON} \cdot e^{\frac{V_i - V_{TN}}{n \cdot \phi_t}} \cdot \left(1 - e^{-\frac{V_o}{\phi_t}}\right) = I_{OP} \cdot e^{\frac{V_{DD} - V_i - |V_{TP}|}{n \cdot \phi_t}} \cdot \left(1 - e^{-\frac{V_{DD} - V_o}{\phi_t}}\right) \quad (6)$$

$$V_i = \frac{V_{DD} + V_{TN} - |V_{TP}|}{2} + \frac{n \cdot \phi_t}{2} \cdot \ln\left(\frac{I_{OP}}{I_{ON}}\right) + \frac{n \cdot \phi_t}{2} \cdot \ln\left(\frac{1 - e^{-\frac{V_{DD} - V_o}{\phi_t}}}{1 - e^{-\frac{V_o}{\phi_t}}}\right) \quad (7)$$

A relação entre V_i e V_o descrita pela equação (7) depende da tensão de alimentação, das tensões de limiar dos transistores e da relação entre os fatores de escalamento de corrente. No caso ideal onde os transistores NMOS e PMOS possuem a mesma força, ou seja $I_{ON}=I_{OP}$ e $V_{TN}=|V_{TP}|$, a equação (7) se reduz a equação (8).

$$V_I = \frac{V_{DD}}{2} + \frac{n \cdot \phi_t}{2} \cdot \ln \left(\frac{1 - e^{-\frac{V_{DD} - V_O}{\phi_t}}}{1 - e^{-\frac{V_O}{\phi_t}}} \right) \quad (8)$$

O ponto de comutação ou de *threshold* do inversor, V_M , é o ponto onde $V_I = V_O$. Para o caso ideal é fácil perceber, a partir da equação (8), que $V_M = V_{DD}/2$. Caso o transistor NMOS seja mais forte que o PMOS então $V_M < V_{DD}/2$, caso contrário $V_M > V_{DD}/2$. Vale notar que $I_{ON(P)}$ depende não só da tecnologia de fabricação como também das dimensões dos transistores, sendo possível compensar o descasamento entre as tensões de limiar e as forças dos transistores NMOS e PMOS através do dimensionamento correto dos transistores a fim de se obter $V_M = V_{DD}/2$.

Para garantir uma interpretação binária correta é necessário que o ganho do inversor seja, em módulo, maior do que a unidade.

$$\left| \frac{dV_O}{dV_I} \right|_{V_O = \frac{V_{DD}}{2}} > 1 \quad (9)$$

Aplicando a equação (9) como condição de contorno na equação (A4) é possível determinar a tensão mínima de alimentação para o circuito, equação (10).

$$V_{DDmin} = 2\phi_t \ln(1+n) \quad (10)$$

O limite teórico de operação é obtido considerando-se o caso com transistores ideais, onde $n=1$ [3]. Aplicando-se $n=1$ na equação (10) tem-se.

$$V_{DDmin} = 2\phi_t \ln(2) = 36mV @ 300K \quad (11)$$

A margem de ruído, ou imunidade ao ruído, do inversor é um parâmetro diretamente ligado a característica de entrada-saída do circuito. Com ela é possível determinar o nível de ruído aceitável na entrada da porta de forma que a saída não seja afetada. A margem de ruído é comumente especificada através da margem de ruído baixa, NM_L , e da margem de ruído alta, NM_H , indicadas na Figura 4.

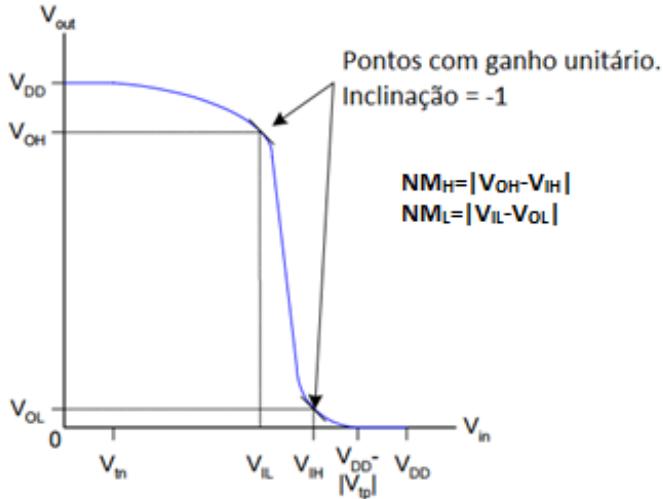


Figura 4: VTC do inversor convencional e margem de ruído.

2.2 Potência estática e dinâmica

A potência dissipada no circuito pode ser dividida entre ($P_{STN(P)}$) potência estática do transistor NMOS(PMOS), que independe da frequência de operação, e as potências (P_{DIN}) dinâmica e (P_{SC}) de curto-circuito, que dependem da frequência de operação[8].

A potência estática do transistor é dominada pela dissipação de energia nos transistores quando estes não estão no modo de condução. Isso ocorre pois, mesmo quando desligados, uma pequena ($I_{LKN(P)}$) corrente de fuga percorre o circuito como ilustrado na Figura 5. A equação (12) pode ser obtida a partir de (2) e representa a corrente $I_{LKN(P)}$.

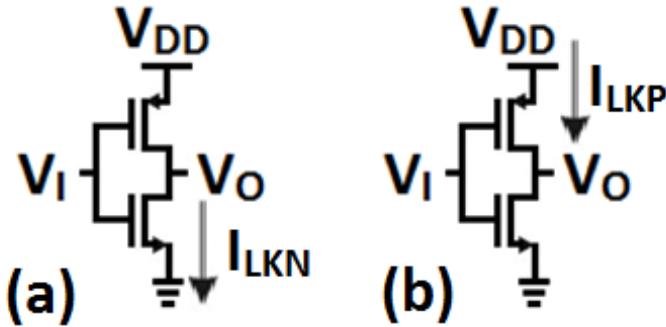


Figura 5: Corrente de fuga nos transistores (a) NMOS e (b) PMOS.

$$I_{LKN(P)} = I_{ON(P)} \cdot e^{\frac{-|V_{TN(P)}|}{n_{N(P)} \cdot \phi_t}} \quad (12)$$

$$P_{STN(P)} = I_{LKN(P)} \cdot V_{DD} \quad (13)$$

A potência dinâmica está diretamente ligada com a energia dissipada nos transistores durante os processos de carga e descarga da capacitância de entrada associada ao próximo estágio do circuito e representa a energia média trocada entre o capacitor de carga e a fonte de alimentação durante um ciclo completo de relógio, T . No primeiro semi-ciclo do relógio uma carga Q , equação (14), é transferida, através do transistor PMOS, de V_{DD} para a capacitância C_L , enquanto que no segundo semi-ciclo essa carga é transferida de C_L para GND através do transistor NMOS, como ilustrado na Figura 6. O produto da (I_{MED}) corrente média, equação (15), que flui no circuito durante as etapas de carga e descarga de C_L com a tensão de alimentação resulta em P_{DIN} , equação (16).

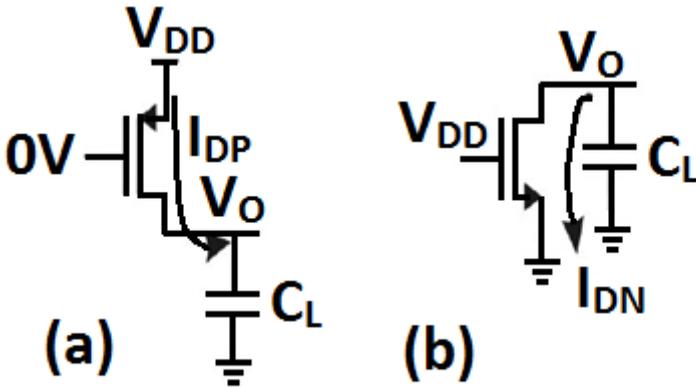


Figura 6: Circuitos equivalentes para (a) carga e (b) descarga da capacitância de carga.

$$Q = C_L \cdot V_{DD} \quad (14)$$

$$\frac{Q}{T} = I_{MED} = C_L \cdot V_{DD} \cdot f \quad (15)$$

$$P_{DIN} = I_{MED} \cdot V_{DD} = C_L \cdot V_{DD}^2 \cdot f \quad (16)$$

A potência dinâmica descrita por (16) é válida quando a capacitância de carga é completamente carregada para V_{DD} e descarregada para GND, porém em aplicações de ultrabaixa tensão o nó de saída de uma porta lógica nem sempre alcança o nível de tensão de alimentação, fazendo com que (16) deixe de ser uma boa aproximação.

A frequência máxima de operação do inversor está ligada com os tempos de subida, t_{LH} , e descida do circuito, t_{HL} , sendo que o período T deve ser, no mínimo, maior do que $t_{LH} + t_{HL}$. O tempo de transição da saída é caracterizado pelo tempo necessário para se carregar, tempo de subida, ou descarregar, tempo de descida, o nó de saída conectado à capacitância de entrada, C_L , do próximo estágio entre 10% e 90% de V_{DD} . A Figura 6 ilustra os circuitos de carga e descarga do inversor convencional.

Os tempos de subida e descida, respectivamente, t_{LH} e t_{HL} podem ser obtidos aplicando-se o degrau unitário na entrada[8].

$$I_{DN(P)} = \mp C_L \cdot \frac{dV_O}{dt} \quad (17)$$

$$I_{ON(P)} \cdot e^{\frac{V_{DD} - |V_{TN(P)}|}{n_{N(P)} \cdot \phi_t}} \cdot \left(1 - e^{-\frac{V_O}{\phi_t}}\right) = \mp C_L \cdot \frac{dV_O}{dt} \quad (18)$$

$$t_{LH(HL)} = \frac{0.8 \cdot V_{DD} + \phi_t \ln\left(\frac{1 - e^{-\frac{0.9V_O}{\phi_t}}}{1 - e^{-\frac{0.1V_O}{\phi_t}}}\right)}{I_{ON(P)} \cdot e^{\frac{V_{DD} - |V_{TN(P)}|}{n_{N(P)} \cdot \phi_t}}} \cdot C_L \quad (19)$$

De acordo com a equação (19), para $V_{DD} > 4\phi_t$, o termo logarítmico pode ser ignorado e então t_{LH} e t_{HL} apresentam uma dependência exponencial com V_{DD} e V_T . Assim a redução na tensão de alimentação possibilita o aumento na frequência de operação da porta.

A potência de curto-circuito, P_{SC} , equação (21), ocorre devido à condução simultânea dos transistores NMOS e PMOS durante a transição do nó de saída de V_{DD} para GND. A (I_{SC}) corrente de curto-circuito, equação (20), é obtida através de (2) e (6) e atinge seu valor máximo quando $V_I = V_M$. A Figura 7 ilustra a corrente I_{SC} .

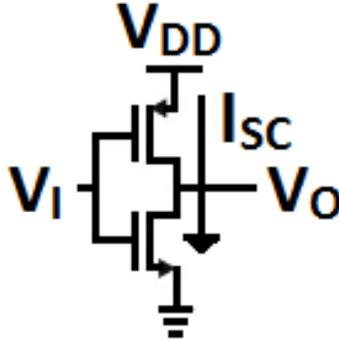


Figura 7: Corrente de curto-circuito no inversor convencional.

$$I_{SC} = \sqrt{I_{ON} I_{OP}} \cdot e^{\frac{V_{DD} + V_{TN} - |V_{TP}|}{2n \cdot \phi_t}} \cdot \sqrt{\left(1 - e^{-\frac{V_O}{\phi_t}}\right) \cdot \left(1 - e^{-\frac{V_{DD} - V_O}{\phi_t}}\right)} \quad (20)$$

$$P_{SC} = V_{DD} \frac{1}{T} \int I_{SC} dt \quad (21)$$

Nos três casos é possível diminuir o consumo de potência do circuito através da redução na tensão de alimentação. A potência dinâmica é a mais afetada pois apresenta uma relação quadrática com V_{DD} . Em aplicações com baixa atividade de processamento, onde o circuito permanece inativo na maior parte do tempo, a redução na potência estática também é de grande importância.

3 Análise do Schmitt Trigger

O circuito clássico do Schmitt Trigger, Figura 8, contém seis transistores e é comumente utilizado em filtros de entrada para *debounce* ou como parte de osciladores analógicos, aproveitando o efeito de histerese. O circuito é construído a partir do inversor convencional, adicionando-se dois nós intermediários, V_X e V_Y , aos quais são conectados dois transistores de realimentação positiva. O transistor NMOS é adicionado a rede de *pull-down* e o PMOS a rede de *pull-up*.

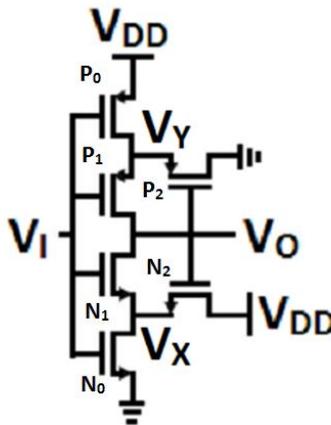


Figura 8: CMOS Schmitt Trigger (ST).

Na Figura 9 o ST é utilizado na composição de uma célula SRAM de 10 transistores. Essa topologia, quando comparada ao inversor convencional, apresenta melhor margem de ruído estático e maior tolerância a desvios de fabricação. O efeito de histerese atua aumentando ou diminuindo o ponto de chaveamento da célula dependendo da direção de transição da entrada, melhorando assim a razão sinal ruído (SNM) do circuito. Desta forma o efeito de histerese é explorado a fim de evitar mudanças inesperadas nos dados armazenados.

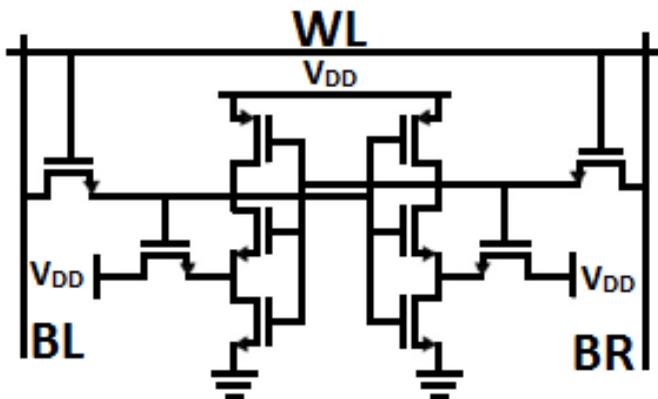


Figura 9: Célula SRAM baseada no Schmitt-Trigger.

A análise do Schmitt Trigger já foi extensamente explorada em inversão forte [9],[10], porém o seu funcionamento em inversão fraca ainda não está claro[5],[6] e [11]. O estudo foi realizado primeiramente em um *software* matemático e posteriormente os resultados foram verificados em um simulador elétrico.

É possível aplicar o mesmo princípio de construção do ST a partir do inversor convencional para se construir uma porta NAND-ST a partir do ST. Neste caso cada transistor NMOS do ST é convertido em um arranjo de dois transistores NMOS em série, cada um conectado a uma entrada da porta NAND-ST. De forma similar cada transistor PMOS é convertido em um arranjo de dois transistores PMOS em paralelo, cada um deles conectado a uma entrada da porta NAND-ST. Os transistores de realimentação continuam conectados ao mesmo nó intermediário. A Figura 10 indica o processo de transição do ST para a porta NAND-ST.

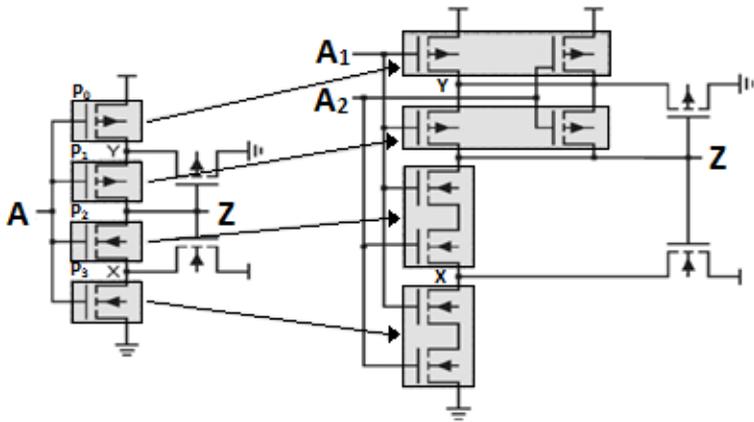


Figura 10: Transição do ST para a porta NAND-ST de duas entradas.

A porta NOR-ST é obtida de forma similar, porém agora os transistores NMOS são substituídos por arranjos de dois transistores NMOS em paralelo e os PMOS por arranjos de dois transistores PMOS em série. O circuito resultante está ilustrado na Figura 11.

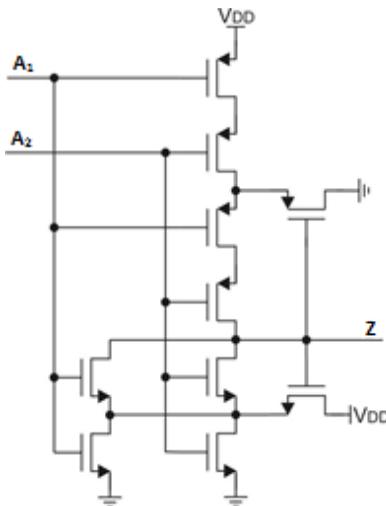


Figura 11: Porta NOR-ST com duas entradas.

Tanto para a porta NAND-ST quanto para a porta NOR-ST, caso as duas entradas sejam curto-circuitadas o circuito volta a se comportar como o ST original, da mesma forma como acontece com as portas NAND, NOR e o inversor convencional. Juntamente com o ST, as portas NAND-ST e NOR-ST formam a família lógica básica para circuitos e sistemas digitais mais complexos, como latches e flip-flops.

3.1 Equacionamento

No circuito da Figura 8os transistores P2, da rede de *pull-up*, e N2, da rede de *pull-down*, atuam como realimentação positiva e são os responsáveis pela ocorrência do efeito de histerese no circuito. Como veremos mais adiante o laço de histerese depende não só da tensão de alimentação como também das razões entre os tamanhos dos transistores que compõe as duas redes. A corrente de fuga no ST não apresenta redução em relação ao inversor convencional, porém os transistores de realimentação desviam esta corrente de forma que o nó de saída não fique carregado. Assim, quando a entrada está em zero, o transistor N2 puxa V_X para um potencial alto, fazendo com que a tensão entre porta e fonte de N1 seja negativa e a tensão entre dreno e fonte se aproxime de zero. Com isso a corrente em N1 se torna muito pequena e sua influência no potencial de saída também diminui.

O circuito tem seu funcionamento otimizado quando os transistores das duas redes estão equilibrados[11], de forma que os pares N_0 e P_0 , N_1 e P_1 , N_2 e P_2 tenham a mesma força de corrente. Assim, durante a análise, N_0 e P_0 possuem força I_0 , N_1 e P_1 possuem força I_1 e N_2 e P_2 possuem força I_2 . As expressões para as tensões nos nós V_x , V_y e V_o são determinadas aplicando-se a lei das correntes de Kirchoff em cada um deles. Aplicando-se (2) juntamente com a LCK em cada nó do circuito chega-se as equações (22), (23) e (24).

$$e^{\frac{V_X}{\phi_t}} = \frac{I_0 + I_1 + I_2 \cdot e^{\frac{V_O - V_I}{\phi_t}}}{I_0 + I_1 \cdot e^{\frac{V_O}{\phi_t}} + I_2 \cdot e^{\frac{V_O - V_I}{\phi_t}} \cdot e^{\frac{V_{DD}}{\phi_t}}} \quad (22)$$

$$e^{\frac{V_Y}{\phi_t}} = \frac{I_0 \cdot e^{\frac{V_{DD}}{\phi_t}} + I_1 \cdot e^{\frac{V_O}{\phi_t}} + I_2 \cdot e^{\frac{V_I - V_O}{\phi_t}}}{I_0 + I_1 + I_2 \cdot e^{\frac{V_I - V_O}{\phi_t}}} \quad (23)$$

$$e^{\frac{V_I - V_X}{\phi_t}} - e^{\frac{V_I - V_O}{\phi_t}} = e^{\frac{-V_I + V_Y}{\phi_t}} - e^{\frac{-V_I + V_O}{\phi_t}} \quad (24)$$

Nas equações (22), (23) e (24) considera-se que $n_N=n_P=1$, $V_{TN}=V_{TP}$, $I_{N0}=I_{P0}=I_0$, $I_{N1}=I_{P1}=I_1$ e $I_{N2}=I_{P2}=I_2$. O desenvolvimento completo destas equações encontra-se no Apêndice B.

3.2 Característica de transferência de tensão (VTC) – Método iterativo

O conjunto de equações (22), (23) e (24) é capaz de descrever completamente o comportamento do circuito, onde as duas condições iniciais são $V_O=0$ e $V_O=V_{DD}$, sendo necessário resolver o sistema para os dois casos. Para cada condição inicial as tensões V_X e V_Y são calculadas e então, a partir delas, um novo valor de V_O é encontrado. O processo se repete para cada valor de V_I até que V_O venha a convergir.

A Figura 12 apresenta a VTC para $V_{DD}=60mV$ e a Figura 13 para $V_{DD}=120mV$, ambas com $I_1=I_2=I_0$.

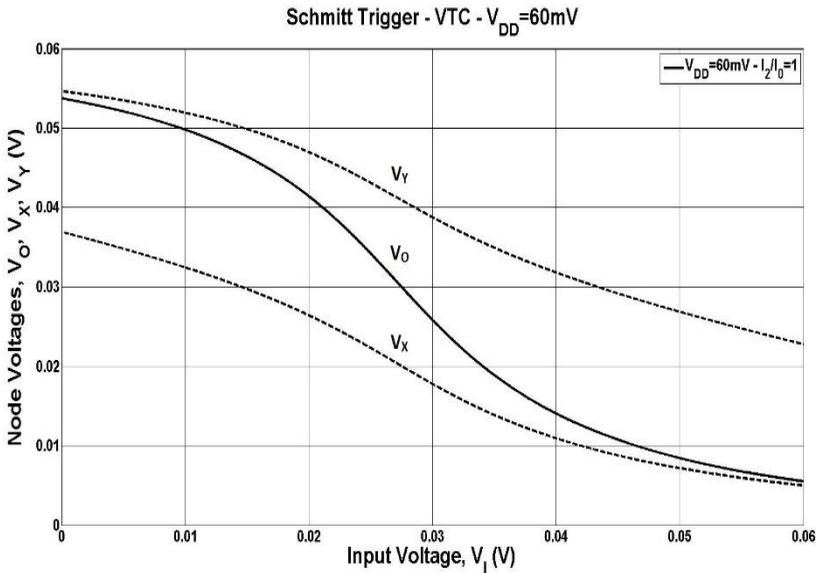


Figura 12: VTC do ST para $V_{DD}=60mV$.

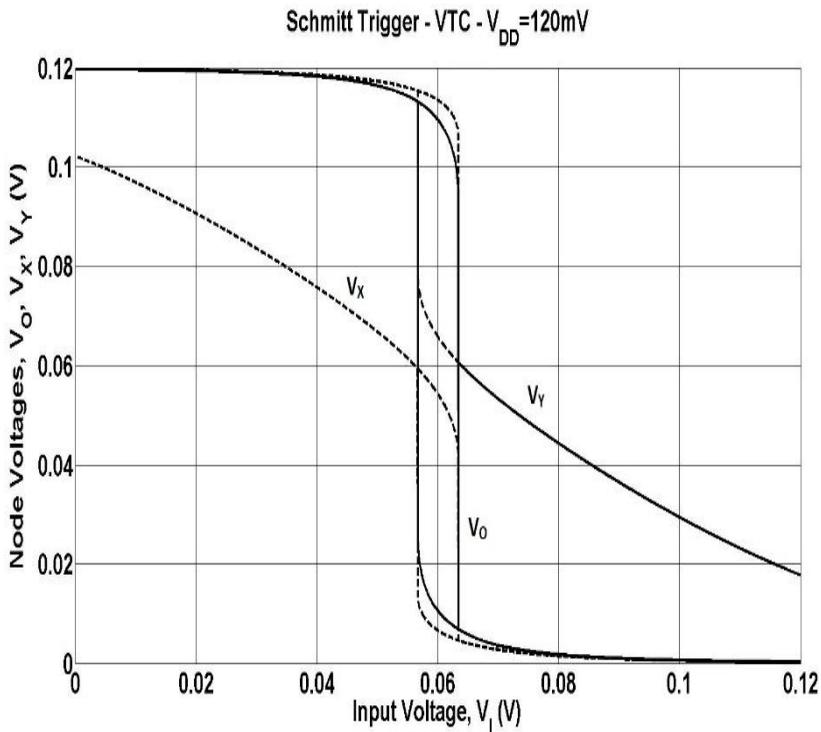


Figura 13: VTC do ST para $V_{DD}=120mV$.

Na Figura 13 é possível observar a existência do efeito de histerese quando a tensão de entrada varia de 0 para V_{DD} e de V_{DD} para 0, ao passo que na Figura 12 isso não ocorre. A Figura 13 também mostra que o efeito de histerese está presente não só em V_O , como também em V_X e V_Y . A Figura 14 apresenta a VTC do circuito para diferentes valores de V_{DD} com $I_1=I_2=I_0$.

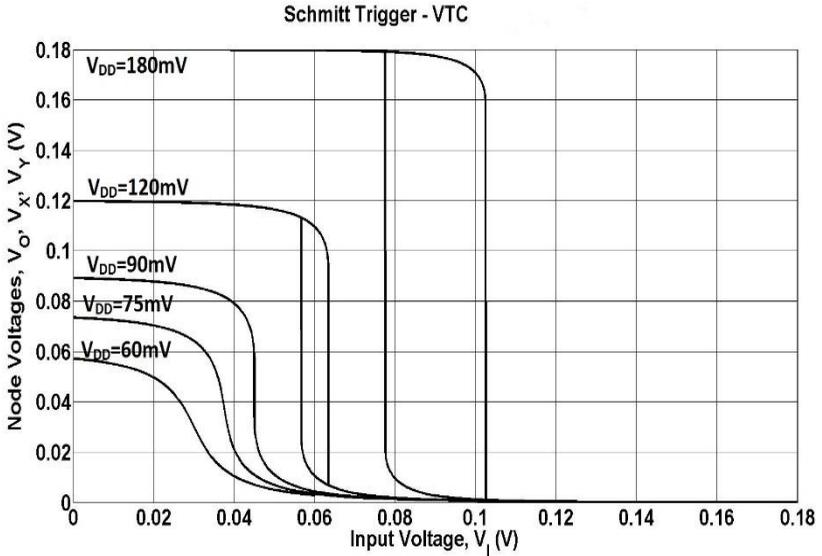


Figura 14: V_O vs V_I @ V_{DD} .

Na Figura 14 é possível observar a existência do efeito de histerese para $V_{DD} > 90mV$ quando a tensão de entrada varia de 0 para V_{DD} e de V_{DD} para 0, ao passo que para $V_{DD} < 90mV$ isso não ocorre. Pode-se verificar também que a largura do laço de histerese depende do valor da tensão de alimentação e que, mantendo-se a dimensão dos transistores constante, o ganho do circuito varia com o aumento do potencial de alimentação.

3.3 Característica de transferência de tensão (VTC) – Método das correntes

A obtenção da VTC do inversor convencional é, tipicamente, feita dividindo-se o circuito em rede de *pull-up*, constituída pelo transistor PMOS, e *pull-down*, constituída pelo transistor NMOS. Então, para cada valor de tensão de entrada V_I , uma varredura em V_O é executada, de forma a se obter diversas curvas de corrente correspondentes aos dois transistores do circuito. De forma similar as redes de *pull-up* e *pull-down* do ST podem ser separadas, como ilustrados na Figura 15, compondo dois circuitos do tipo “caixa-preta”, onde o superior é um dispositivo do tipo P e o inferior do tipo N.

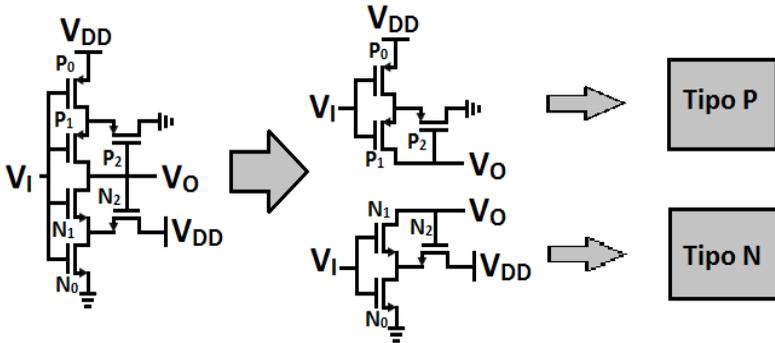


Figura 15: Separação do Schmitt Trigger em dispositivos do tipo P e N.

A equação (22) apresenta que V_X é uma função de V_O e V_I . Assim, a partir dela, é possível obter o valor da tensão V_X para cada par ordenado de V_I e V_O . Aplicando-se as tensões V_I , V_O e V_X na equação (2) obtém-se as correntes em cada transistor do dispositivo do tipo N ilustrado na Figura 15. Segundo a equação (B5) as correntes em N_1 e P_1 devem ser iguais, assim os pares ordenados (V_I, V_O) onde $I_{DN1} = I_{DP1}$ constituem pontos de operação do circuito. Na Figura 16 é possível observar a corrente em N_1 em função de V_O com V_I como parâmetro. Neste caso tem-se $V_{DD} = 60\text{mV}$, $I_2 = I_0 = 1\text{nA}$ e $I_1 = 0,1I_0$.

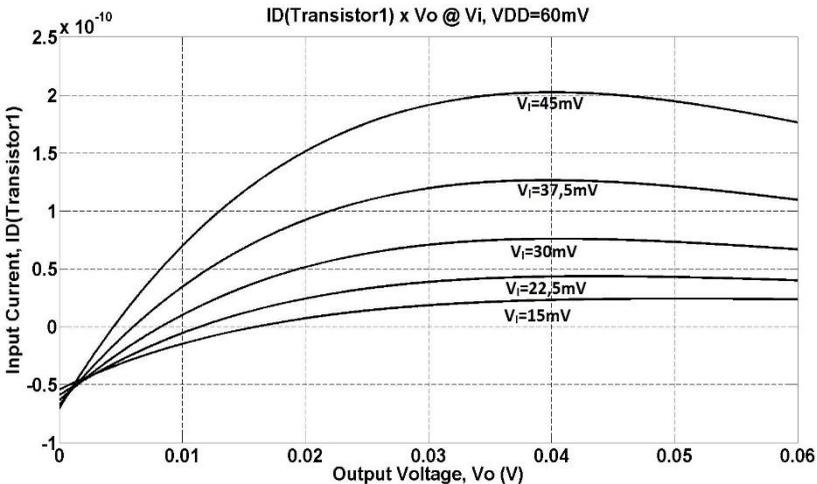


Figura 16: $I_{DN1} \times V_O @ V_I$.

Na Figura 16 é possível observar um efeito de resistência negativa em N_1 , uma vez que a partir de certo ponto a corrente no transistor diminui com o aumento de V_O . Este efeito é fruto da realimentação positiva presente no circuito e torna-se ainda mais perceptível com o aumento de V_{DD} . A Figura 17 traz a corrente em P_1 para os mesmos parâmetros do circuito.

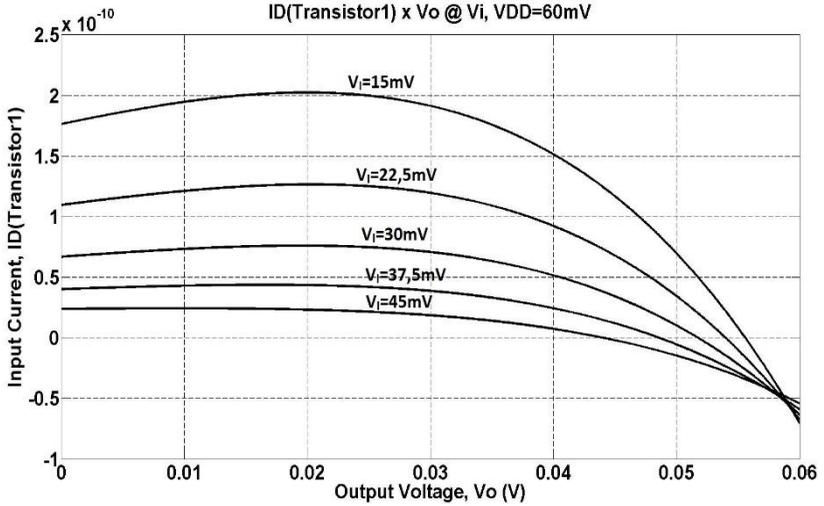


Figura 17: $I_{DP1} \times V_O @ V_I$.

Nas Figura 16 é possível observar que inicialmente a corrente é negativa para todos os valores de V_I . Este efeito pode ser explicado aplicando-se $V_I=V_O=0$ na equação (22) e então isolando V_X , equação (25).

$$V_X = \phi_t \cdot \ln \left(\frac{I_0 + I_1 + I_2}{I_0 + I_1 + I_2 \cdot e^{-\frac{V_{DD}}{\phi_t}}} \right) \quad (25)$$

O denominador do logaritmo da equação (25) é menor do que o seu numerador, implicando em um argumento maior do que 1. Com isso V_X é maior do que zero e N_1 fica sujeito a um V_{DS} negativo, fazendo com que I_{DN1} também seja negativa.

Os pontos de operação do circuito podem ser identificados quando as correntes I_{DN1} e I_{DP1} são plotadas no mesmo gráfico, conforme a Figura 18.

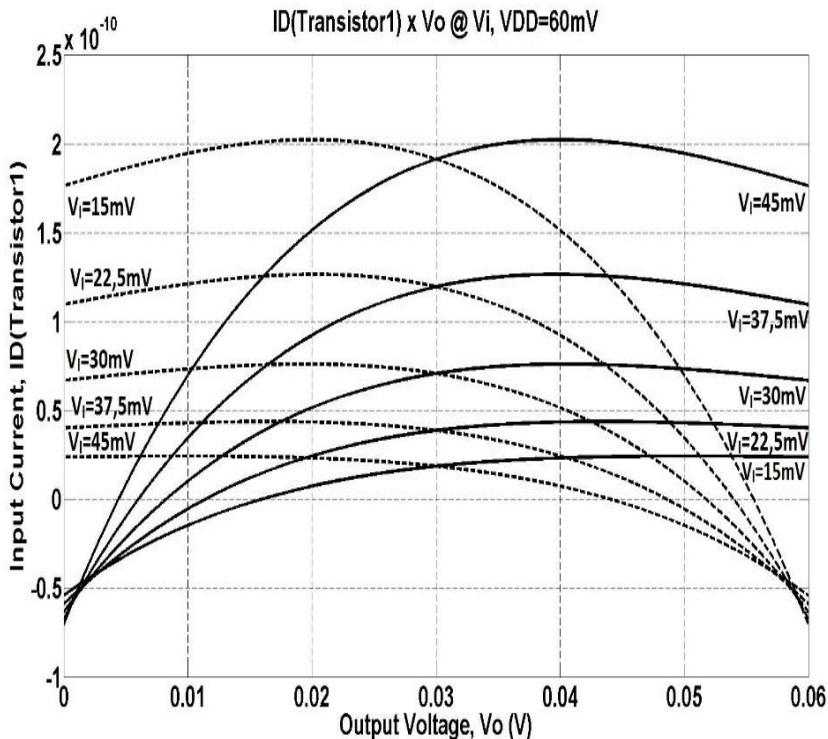


Figura 18: I_{DNI} e I_{DPI} vs V_O @ V_I .

Na Figura 18 os pontos de operação do circuito são aqueles onde duas curvas com a mesma tensão de entrada se interceptam. É importante notar que para $V_I=0V$ o ponto de operação não corresponde a $V_O=V_{DD}$. Isso mostra que o nó de saída não é capaz de rastrear a tensão de alimentação. A corrente correspondente a $V_I=0V$ representa a corrente defuga do circuito. A Figura 19 apresenta as correntes no circuito para $V_{DD}=120mV$, mantendo-se os outros parâmetros iguais.

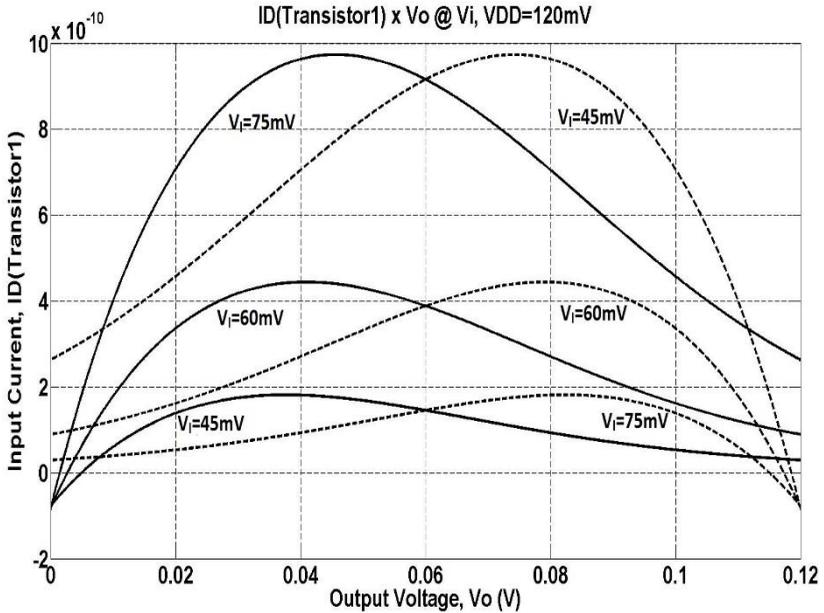


Figura 19: $IDN1$ e $IDP1$ vs VO @ VI para $VDD=120mV$.

É possível identificar três pontos de operação para valores de V_I dentro do laço de histerese. Para $V_I=V_{DD}/2=60mV$ o ponto central ocorre quando $V_O=V_{DD}/2$ e é um ponto metaestável, ou seja corresponde a uma solução numérica para o problema porém não ocorre na prática, uma vez que qualquer tipo de perturbação, como o ruído térmico, faz com que o circuito passe a operar em um dos outros dois pontos, que são estáveis. A metaestabilidade ocorre pois nesses pontos as derivadas das correntes de dreno possuem sinais opostos. A presença de mais de um ponto de operação é uma consequência da resistência negativa apresentada pelos transistores N_1 e P_1 , uma vez que para V_O acima de determinado valor as suas correntes de dreno diminuem com o aumento da tensão de saída. A Figura 20 enfatiza o comportamento do circuito para V_I entre 50mV e 60mV.

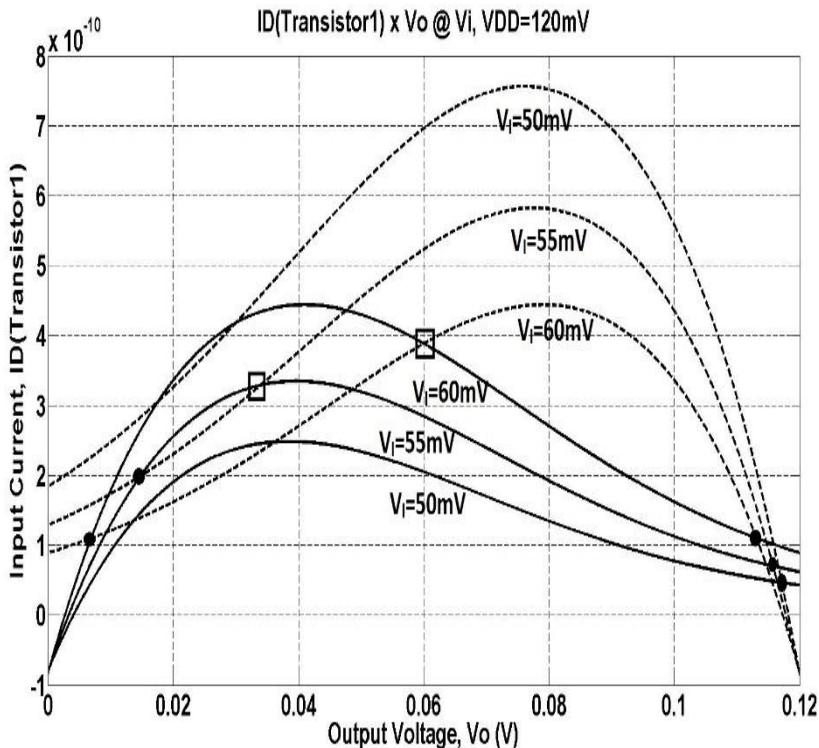


Figura 20: ID_{N1} e ID_{P1} vs VO @ VI para $VDD=120mV$.

Na Figura 20 os pontos de operação estáveis estão marcados com “•”, enquanto que os pontos metaestáveis estão marcados com “□”. A curva onde $V_I=50mV$ apresenta apenas 1 ponto de operação pois corresponde a um valor de V_I que está fora do laço de histerese. Por outro lado as curvas onde $V_I=55mV$ e $60mV$ apresentam 3 pontos de operação, dos quais dois são estáveis e um é metaestável. Olhando mais atentamente ao caso onde $V_I=V_{DD}/2$ é possível identificar os pontos de operação do circuito na VTC obtida anteriormente pelo método iterativo. A Figura 21 indica os valores de V_I e V_O onde o circuito opera e seus pontos correspondentes na VTC da Figura 13. Os comportamentos dos nós V_X e V_Y foram suprimidos para enfatizar V_O .

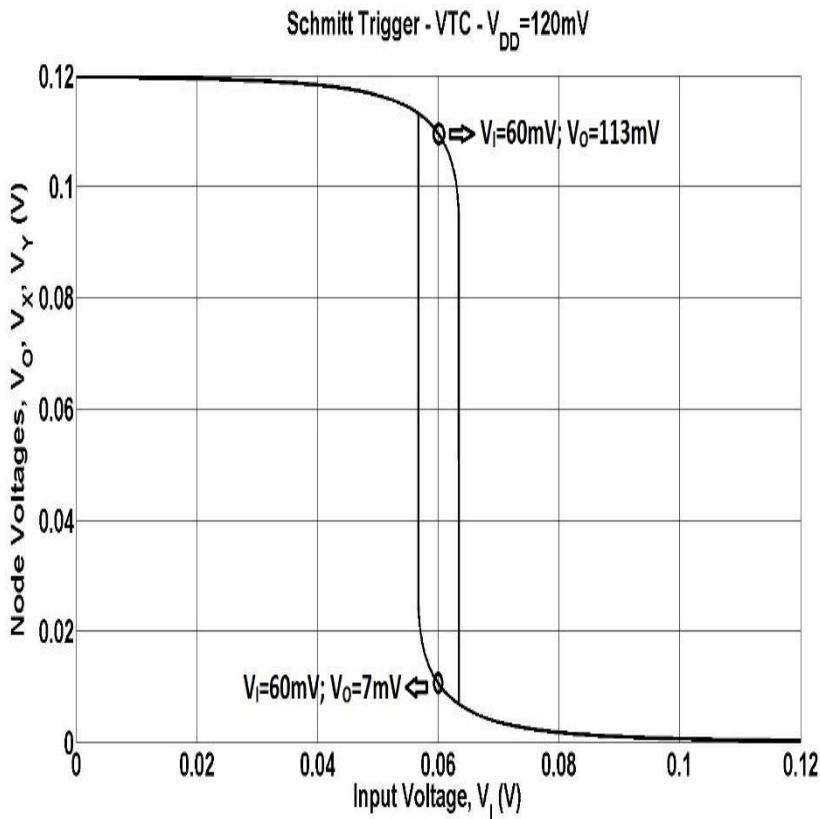


Figura 21: Pontos de operação obtidos com o método das correntes indicados na VTC do método iterativo.

A característica de transferência de tensão do circuito é construída aumentando-se o número de pontos em V_I e então identificando os pontos estáveis e metaestáveis. Com isso obtém-se o gráfico da Figura 22.

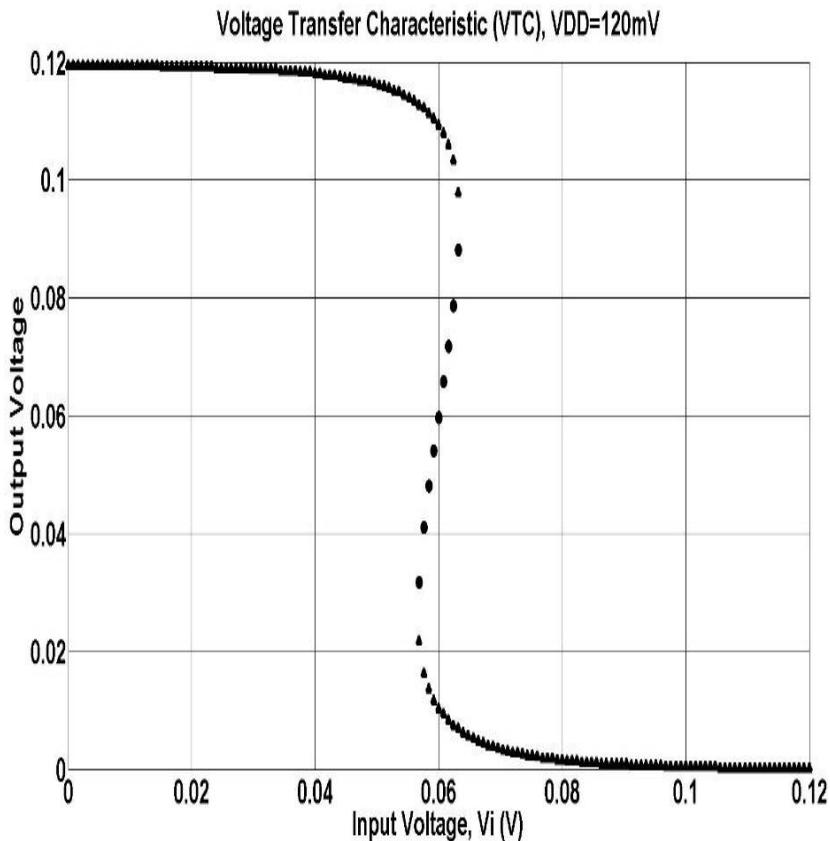


Figura 22: VTC do ST obtida através do método das correntes.

Na Figura 22 os pontos representados por “ Δ ” são estáveis e os pontos representados por “O” são metaestáveis. A partir dela pode-se perceber que apesar de o ST ser um circuito não linear, os pontos metaestáveis de operação apresentam um comportamento quase linear com V_I . A Figura 23 apresenta o comportamento dos nós V_Y e V_X do circuito.

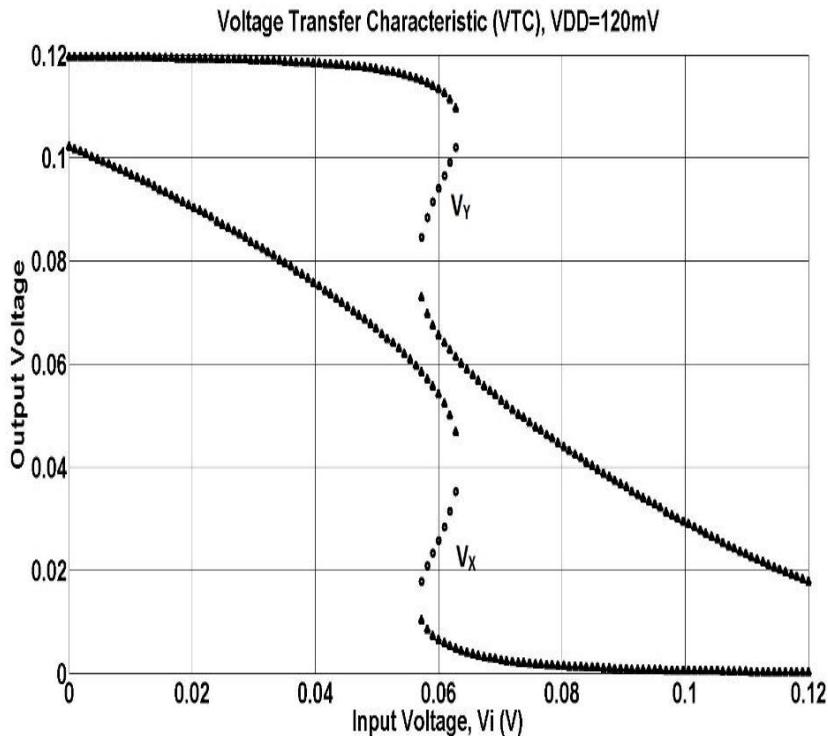


Figura 23: V_X e V_Y em função de V_i , obtido através do método das correntes.

Observando a Figura 23 tem-se um melhor entendimento do comportamento do circuito. Novamente os pontos representados por “O” são metaestáveis e apresentam um comportamento linear com V_i .

Até agora todas as curvas foram feitas considerando-se que $V_{TN}=V_{TP}=0V$. A Figura 24 apresenta o comportamento de V_Y e V_X para o caso onde $V_{TN}=50mV$ e $V_{TP}=0V$.

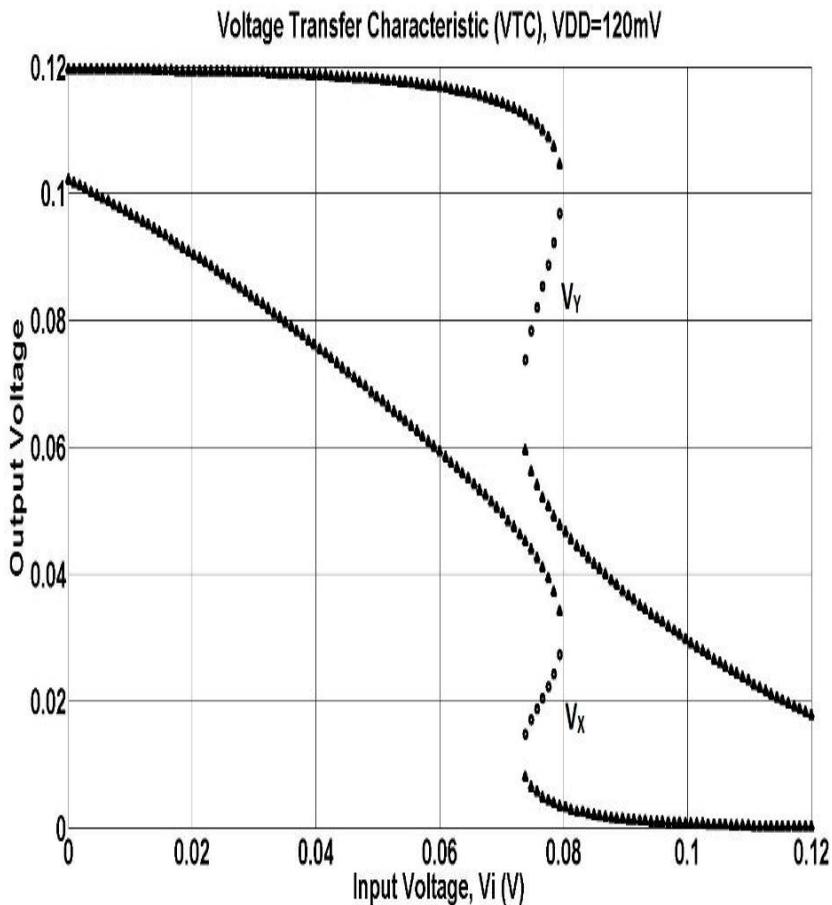


Figura 24: V_X e V_Y em função de V_I com $V_{TN}=50mV$ e $V_{TP}=0V$.

Na Figura 24 percebe-se que o aumento de V_{TN} fez com que as curvas de V_Y e V_X fossem deslocadas para a direita. Além disso V_X foi comprimido por V_Y . A Figura 25 ilustra a influência da tensão de limiar dos transistores nas curvas de corrente e consequentemente na VTC.

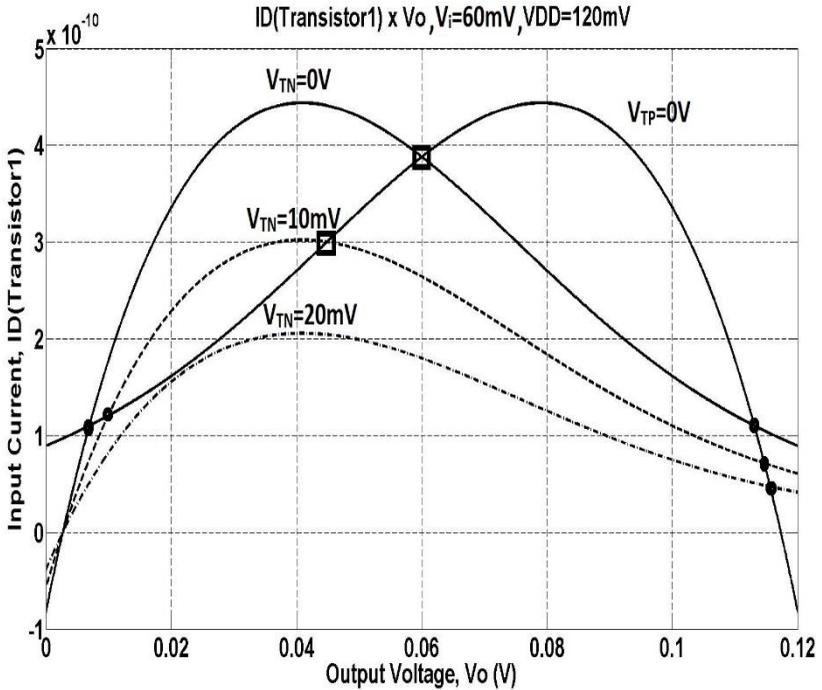


Figura 25: Influência da tensão de limiar nas curvas de corrente.

A partir da Figura 25 conclui-se que com o aumento de V_{TN} a corrente em N_1 para $V_i=60\text{mV}$ diminui. Com isso a tensão de entrada que equilibra as correntes nos transistores N_1 e P_1 torna-se maior e o centro do laço é deslocado para a direita. Caso V_{TP} seja aumentado também para 50mV então o circuito volta a ficar equilibrado e os potenciais em V_Y e V_X voltam a se comportar como na Figura 23, porém agora a corrente de dreno dos transistores torna-se menor. A Figura 26 apresenta a VTC do circuito para o caso anterior.

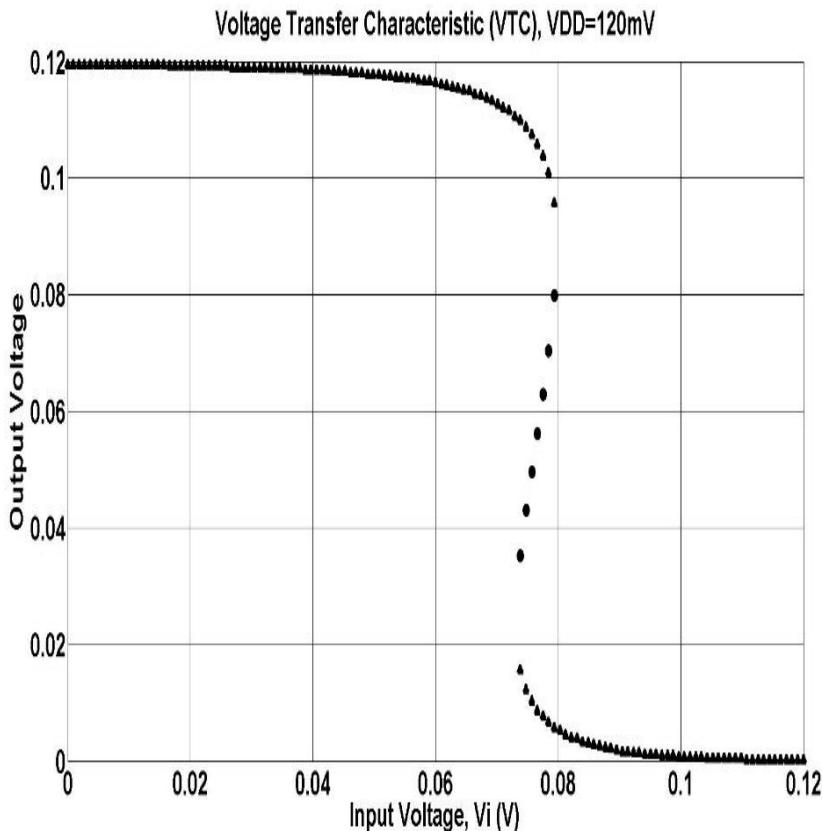


Figura 26: VTC do ST com $V_{TN}=50mV$ e $V_{TP}=0V$.

Comparando a Figura 26 com a Figura 22 é possível verificar com clareza que, além de deslocar o laço de histerese para a direita, o desbalanceamento das tensões de limiar dos transistores faz com que a largura do laço diminua.

A Figura 27 demonstra a influência do desbalanceamento nos fatores de rampa dos transistores. Nesse caso $V_{TN}=V_{TP}=0V$, $n_N=1$ e $n_P=1,3$.

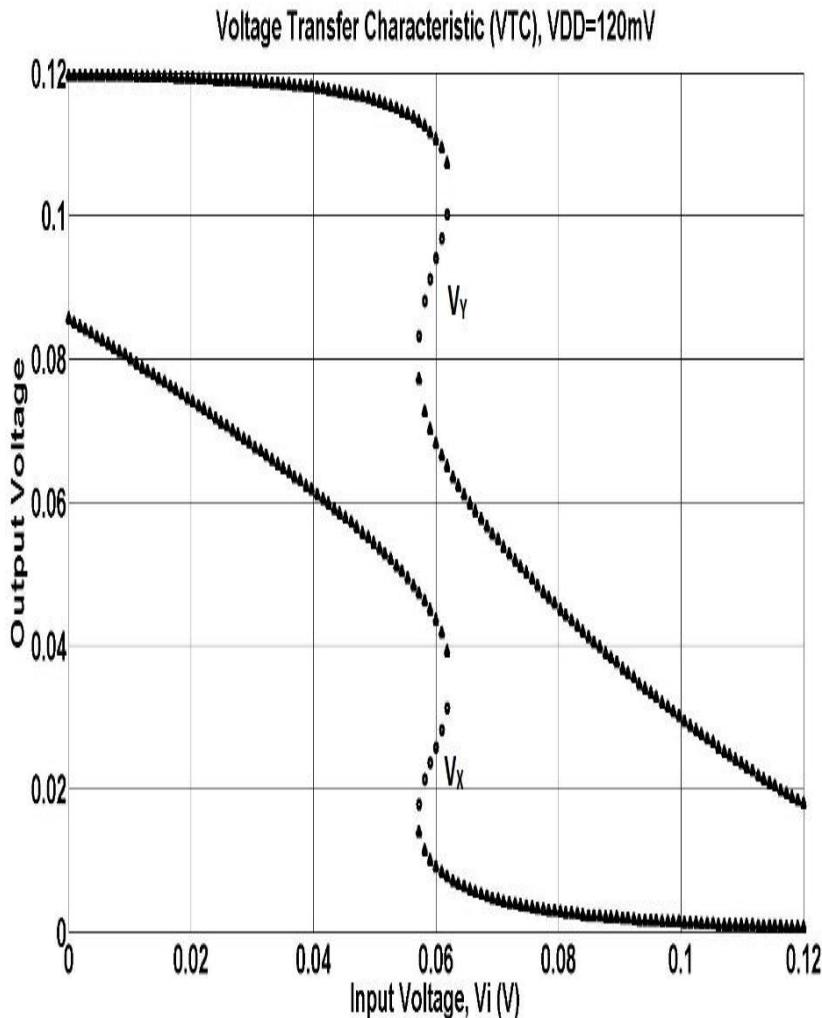


Figura 27: V_X e V_Y em função de V_I com $V_{TN}=V_{TP}=0\text{V}$, $n_N=1,3$ e $n_P=1$.

Observando a Figura 27 e a comparando com a Figura 22 é possível perceber que nesse caso a curva de V_Y não foi afetada. V_X , por outro lado, foi novamente deslocado para baixo. Porém desta vez o valor inicial de V_X foi alterado enquanto sua inclinação continuou inalterada. Já na Figura 24a inclinação de V_X mudou enquanto seu valor inicial permaneceu constante. A Figura 28 apresenta o caso onde $n_N=n_P=1,3$.

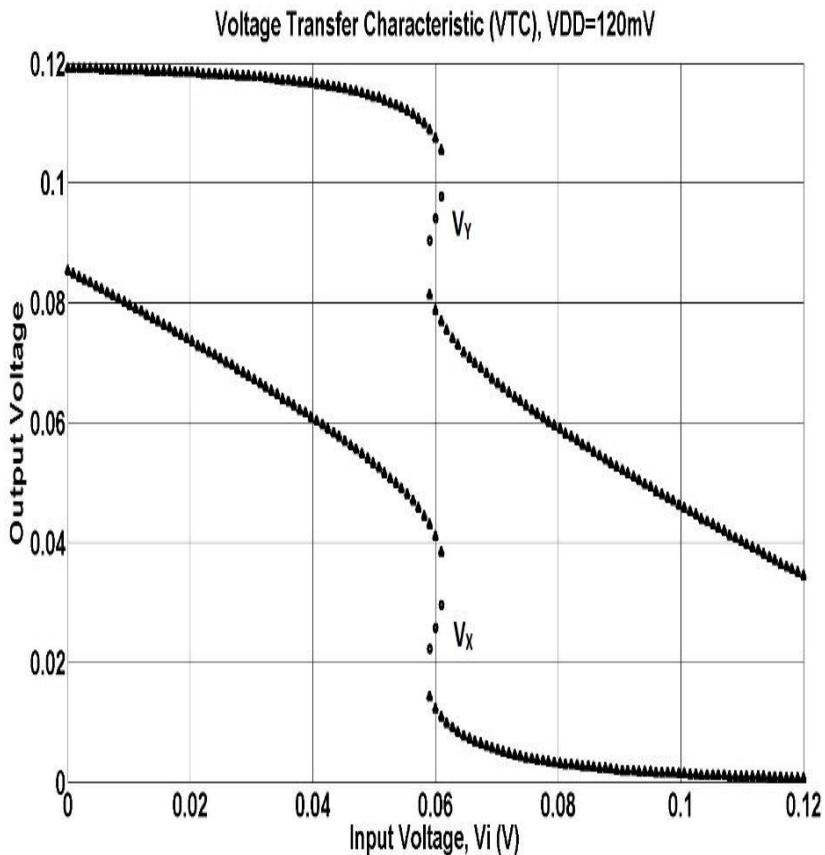


Figura 28: V_X e V_Y em função de V_i com $V_{TN}=V_{TP}=0$ V, $n_N=1,3$ e $n_P=1,3$.

A Figura 28 possui um laço ainda menor que o da Figura 27. Com isso percebe-se que conforme o valor de “ n ” dos transistores aumenta, a largura do laço diminui. A Figura 29 apresenta a VTC do ST para $n_N=n_P=1,3$.

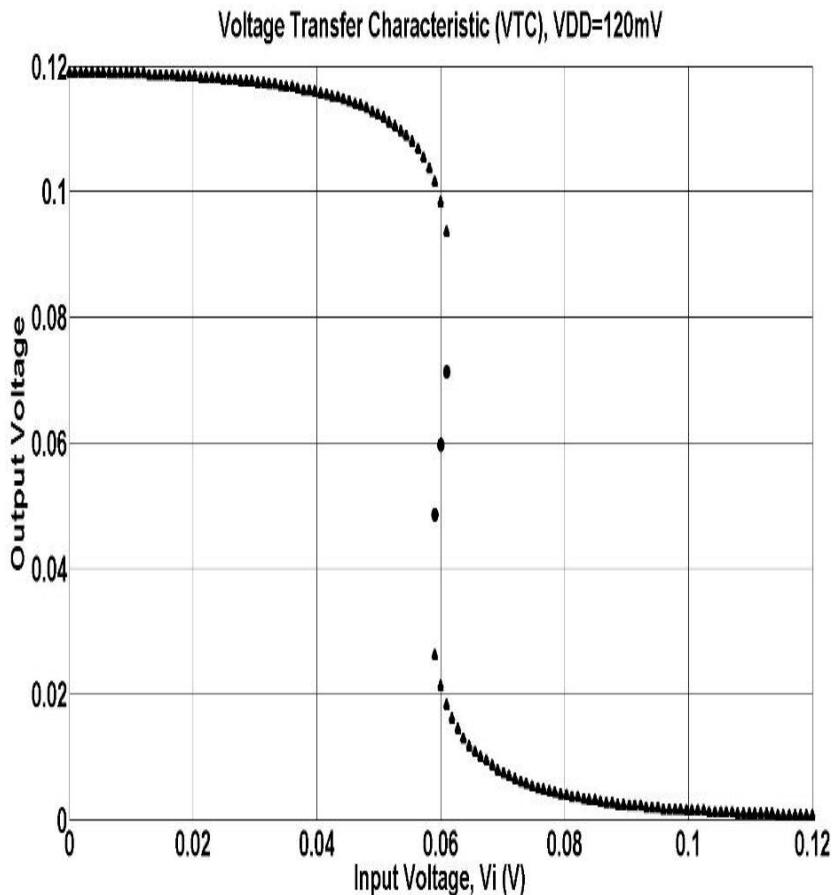


Figura 29: VTC do ST com $V_{TN}=V_{TP}=0\text{V}$ e $n_N=n_P=1,3$.

Na Figura 29, embora o laço continue centrado em $V_I=V_{DD}/2$, há uma redução significativa na sua largura.

A largura do laço, assim como sua posição, depende dos parâmetros do circuito. Redes de *pull-down* e *pull-up* equilibradas tendem a apresentar um melhor resultado tanto quanto à largura do laço, quanto à sua posição na VTC.

3.4 Ganho de pequenos sinais

O ganho de pequenos sinais do ST[7] é obtido pela substituição de cada transistor pelo seu modelo de pequenos sinais, Figura 30.

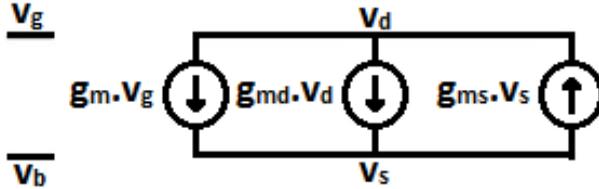


Figura 30: Modelo de pequenos sinais para o transistor MOS.[7]

O modelo da Figura 30 é composto por três fontes de corrente controladas por tensão. V_G , V_S e V_D são, respectivamente, as tensões de porta, fonte e dreno referenciadas a tensão de corpo, V_B . g_m , g_{ms} e g_{md} são, respectivamente, as transcondutâncias de porta, fonte e dreno. A Figura 31 mostra a obtenção do modelo de pequenos sinais a partir do circuito original do ST.

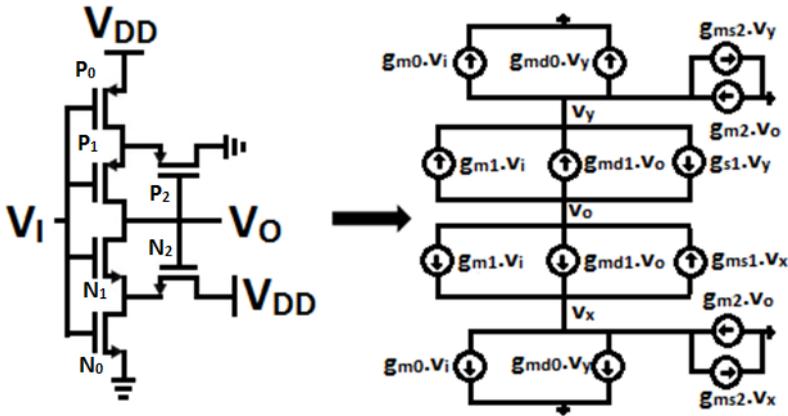


Figura 31: Relação entre o modelo de grandes sinais e o modelo de pequenos sinais do ST.

Pode-se observar que o circuito da Figura 31 é simétrico em relação ao nó v_o . Novamente, por simplicidade, adota-se $id_{n(0,1,2)} = id_{p(0,1,2)} = id_{(0,1,2)}$. Aplicando o modelo de pequenos sinais e a LCK para $V_I = V_O = V_{DD}/2$ chega-se a equação (26)[12], que representa o

ganho de pequenos sinais do ST. O desenvolvimento completo para chegar a equação (26) encontra-se no apêndice C.

$$\left(\frac{V_o}{V_i}\right)_{V_o=V_i=\frac{V_{DD}}{2}} = \frac{\left(1+\frac{I_1}{I_0}+\frac{I_2}{I_0}\right)\left(1-\frac{I_2}{I_0}e^{-\frac{V_{DD}}{2\phi_t}}\right)\left(1-e^{-\frac{V_{DD}}{2\phi_t}}\right)+\frac{I_2}{I_0}\left(1-e^{-\frac{V_{DD}}{2\phi_t}}+\frac{I_1}{I_0}e^{-\frac{V_{DD}}{2\phi_t}}\left(1-e^{-\frac{V_{DD}}{2\phi_t}}\right)\right)}{\left(1+\frac{I_2}{I_0}\right)\left(1+\frac{I_1}{I_0}+\frac{I_2}{I_0}\right)e^{-\frac{V_{DD}}{2\phi_t}}-\frac{I_2}{I_0}\left(1-e^{-\frac{V_{DD}}{2\phi_t}}+\frac{I_1}{I_0}\left(1-e^{-\frac{V_{DD}}{2\phi_t}}\right)e^{-\frac{V_{DD}}{2\phi_t}}\right)} \quad (26)$$

O ganho de pequenos sinais de (26) é válido apenas quando não há histerese no ST, porém ele pode auxiliar a determinar quando esse efeito ocorre. O efeito de histerese é sustentado pelo ganho infinito do circuito. Desta forma igualando-se o denominador da equação (26) a zero e resolvendo a equação para V_{DD} obtém-se a tensão mínima para ocorrência de histerese, equação (27), em função das razões I_1/I_0 e I_2/I_0 . A tensão mínima para histerese é de 75mV e ocorre para $I_1/I_0=0$ e $I_2/I_0=1$, equação (28).

$$V_{DDhist} = 2 \cdot \phi_t \cdot \ln \left(\frac{\frac{I_2+I_1+I_0}{I_0}+2}{2} \cdot \left[1 + \sqrt{1 + \frac{4 \cdot \left(1+\frac{I_1}{I_0}\right)}{\left(\frac{I_2+I_1+I_0}{I_0}+2\right)^2}} \right] \right) \approx 2 \cdot \phi_t \cdot \ln \left(\frac{I_2}{I_0} + \frac{I_1}{I_0} + \frac{I_0}{I_2} + 2 \right) \text{ for } V_{DD} < 4\phi_t \quad (27)$$

$$V_{DDhist} = 2 \cdot \phi_t \cdot \ln \left(\frac{1}{\sqrt{5}-2} \right) = 75mV@300K * \frac{I_1}{I_0} = 0 \text{ e } \frac{I_2}{I_0} = 1 \quad (28)$$

A expressão (26) foi deduzida considerando-se que não há histerese, assim para valores V_{DD} acima de 75mV ela deixa de ser válida. A Figura 32 ilustra a tensão de alimentação mínima para ocorrência de histerese em função de I_2/I_0 com I_1/I_0 como parâmetro.

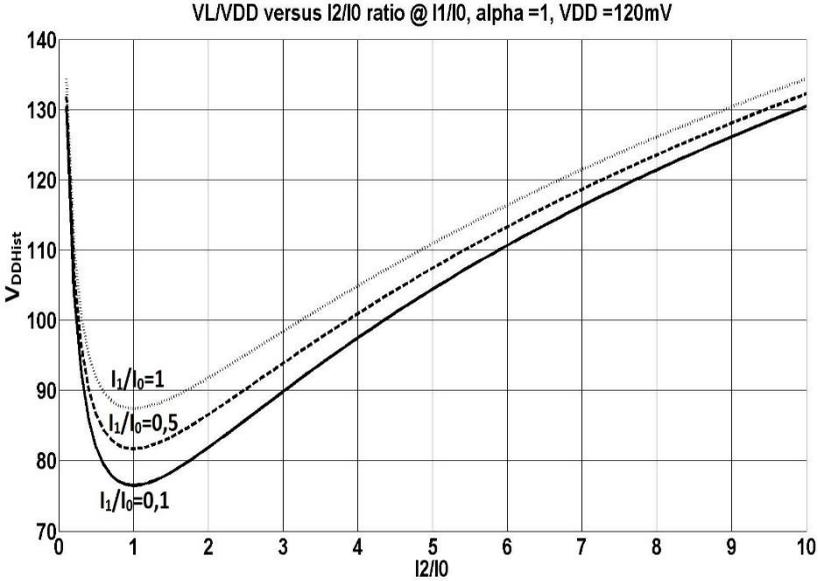


Figura 32: V_{DD} mínima para ocorrência de histerese em função de I_2/I_0 com I_1/I_0 como parâmetro.

Na Figura 32 é possível observar que o efeito de histerese aparece para V_{DD} acima de 75mV. Além disso percebe-se que a tensão mínima para ocorrência de histerese aumenta para valores de I_1/I_0 maiores.

4 Otimização do Schmitt Trigger para ultrabaixa tensão

A equação (26) apresenta que o ganho do circuito varia em função da razão dos tamanhos dos transistores e da tensão de alimentação. Assim, para um determinado valor de V_{DD} , espera-se ser possível otimizar o tamanho dos transistores de forma a se obter o maior ganho possível.

4.1 Maximização do ganho[13]

Observando o denominador de (26) percebe-se uma dependência linear com I_1/I_0 . Colocando este termo em evidência e rearranjando os termos chega-se a (29).

$$\left(\frac{V_o}{V_i}\right)_{V_o=V_i=\frac{V_{DD}}{2}} = -\frac{\frac{I_1}{I_0}A_1+B_1}{\frac{I_1}{I_0}C_1+D_1} \quad (29)$$

$$\begin{aligned}
A_1 &= \left(1 - \frac{I_2}{I_0} e^{-\frac{V_{DD}}{2\phi_t}}\right) \left(1 - e^{-\frac{V_{DD}}{2\phi_t}}\right) + \frac{I_2}{I_0} \left(1 - e^{-\frac{V_{DD}}{2\phi_t}}\right) e^{-\frac{V_{DD}}{2\phi_t}} \\
B_1 &= \left(1 + \frac{I_2}{I_0}\right) \left(1 - \frac{I_2}{I_0} e^{-\frac{V_{DD}}{2\phi_t}}\right) \left(1 - e^{-\frac{V_{DD}}{2\phi_t}}\right) + \frac{I_2}{I_0} \left(1 - e^{-\frac{V_{DD}}{2\phi_t}}\right) \\
C_1 &= \left(1 + \frac{I_2}{I_0}\right) e^{-\frac{V_{DD}}{2\phi_t}} - \frac{I_2}{I_0} e^{-\frac{V_{DD}}{2\phi_t}} \left(1 - e^{-\frac{V_{DD}}{2\phi_t}}\right) \\
D_1 &= \left(1 + \frac{I_2}{I_0}\right)^2 e^{-\frac{V_{DD}}{2\phi_t}} - \frac{I_2}{I_0} \left(1 - e^{-\frac{V_{DD}}{2\phi_t}}\right)
\end{aligned} \tag{30}$$

Verifica-se um pólo negativo em (29), implicando em um ganho máximo para $I_1/I_0=0$, equação (31).

$$\left(\frac{I_1}{I_0}\right)_{\text{ÓTIMO}} = 0 \tag{31}$$

O ganho do circuito aumenta com V_{DD} e o valor ótimo de $I_1/I_0=0$ não é praticável, porém valores de I_1/I_0 da ordem de 0,1 podem ser utilizados com uma perda no ganho abaixo de 10% do seu valor máximo. De forma similar é possível verificar uma dependência quadrática de (26) em relação a I_2/I_0 . (26) pode ser reescrita de acordo com (32) e (33).

$$\left(\frac{V_o}{V_i}\right)_{V_o=V_i=\frac{V_{DD}}{2}} = -\frac{\left(\frac{I_2}{I_0}\right)^2 A_2 + \frac{I_2}{I_0} B_2 + C_2}{\left(\frac{I_2}{I_0}\right)^2 D_2 + \frac{I_2}{I_0} E_2 + F_2} \tag{32}$$

$$\left. \begin{aligned}
A_2 &= e^{-\frac{V_{DD}}{2\phi_t}} - 1 \\
B_2 &= C_2 = e^{-\frac{V_{DD}}{2\phi_t}} - 1 \\
D_2 &= F_2 = -n \\
E_2 &= e^{-\frac{V_{DD}}{\phi_t}} - e^{-\frac{V_{DD}}{2\phi_t}} - 2n
\end{aligned} \right\} \tag{33}$$

Tomando a derivada parcial de (32) em relação a I_2/I_0 e então aplicando $I_1/I_0=0$ chega-se a equação (34), que fornece o valor de I_2/I_0 que maximiza o ganho.

$$\frac{I_2}{I_0} = \frac{\sqrt{(n^2+n+1)e^{\frac{V_{DD}}{2\phi_t}} \cdot (2n-1) - e^{\frac{-V_{DD}}{2\phi_t}} - n}}{2n-1+e^{\frac{-V_{DD}}{2\phi_t}}} \quad (34)$$

A equação (34) permite concluir que o valor de I_2/I_0 que maximiza o ganho do inversor varia com a tensão de alimentação, sendo necessário dimensionar os transistores do ST de acordo com a tensão de alimentação a ser utilizada. A Tabela 1 traz os valores otimizados de I_2/I_0 para diversos valores de V_{DD} .

Tabela 1: Valores otimizados de I_2/I_0 para diferentes valores de alimentação.

V_{DD} (mV)	I_2/I_0 otimizado
100	1,54
90	1,31
80	1,09
75	0,99
70	0,90
60	0,73
50	0,57
40	0,43
36	0,38
31	0,33

Circuitos digitais requerem que as portas lógicas possuam a capacidade de fazer lógica regenerativa, ou seja tenham ganho em módulo maior do que um. Com isso blocos em cascata irão rastrear o potencial das linhas de alimentação mesmo que o sinal de entrada esteja degradado. Aplicando a condição de contorno $V_O/V_I = -1$ e substituindo os valores ótimos de I_1/I_0 e I_2/I_0 em (26) é possível obter tensão mínima de operação para o ST, equação (35). Este processo precisa ser feito iterativamente uma vez que o valor ótimo de I_2/I_0 depende de V_{DD} .

$$V_{DDmin} = 2 \cdot \phi_t \cdot \ln\left(\frac{1}{\sqrt{73}-8}\right) = 31,5mV@300K \quad (35)$$

Em (35) verifica-se que a tensão de alimentação mínima teórica para o ST é menor do que a do inversor convencional [3].

4.2 Aproximação para o laço de histerese

O Schmitt Trigger é muito utilizado devido ao efeito de histerese que, como constatado anteriormente, aparece a partir de certo valor de V_{DD} . Sendo assim, uma fórmula capaz de determinar a largura do laço a partir de V_{DD} , I_1/I_0 e I_2/I_0 é de grande valia no auxílio ao dimensionamento do circuito. A não linearidade do circuito dificulta muito seu equacionamento, porém, como mostra a Figura 33, os pontos metaestáveis de operação apresentam um comportamento quase linear com V_I . Nesse caso $I_1=I_2=I_0=1\text{nA}$.

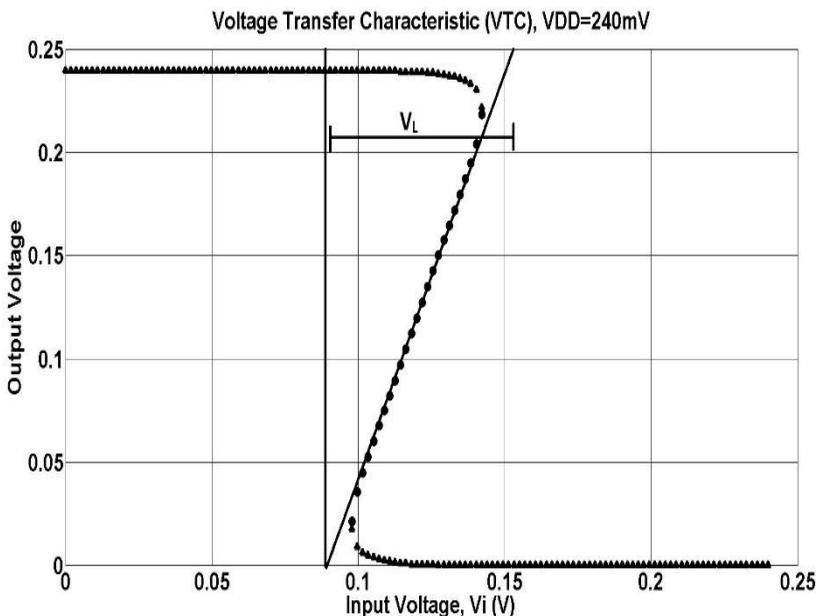


Figura 33:Linearização dos pontos metaestáveis da VTC do ST.

Da Figura 33 conclui-se que, conforme V_I se aproxima dos limites superior e inferior do laço, os pontos de operação metaestáveis se aproximam de um dos lados dos pontos estáveis de operação. Assim, para o limite onde V_I tende para $V_{L+(-)}$, sabe-se que o circuito possui ao menos duas soluções idênticas. Partindo do princípio de linearidade apresentado na Figura 33, considerando que $V_O=V_I=V_{DD}/2$ e tomando como base (26) e (22) chega-se a expressão semi-empírica (36).

$$V_L = \frac{(V_{DD} - 2V_X) \cdot 0,8}{\left(1 + \frac{1}{\left(1 + \frac{I_2}{I_0}\right) \left(e^{-u_{dmin}} - e^{-\frac{V_{DD}}{2 \cdot \theta_t}}\right)}\right)} \quad (36)$$

$$e^{u_{dmin}} = \left(2 + \frac{I_0}{I_2} + \frac{I_2}{I_0} + \frac{I_1}{I_2}\right) \quad (37)$$

Em (36) a tensão de alimentação é subtraída de um fator, determinado empiricamente, proporcional a V_X para corrigir o erro introduzido pela aproximação feita na Figura 33 de forma que (36) se aproxime o máximo possível dos valores obtidos numericamente e por simulações. A Figura 34 apresenta a largura do laço de histerese normalizada pela tensão de alimentação em função de I_2/I_0 , com $I_1/I_0=0,5$ e $V_{DD}=240mV$.

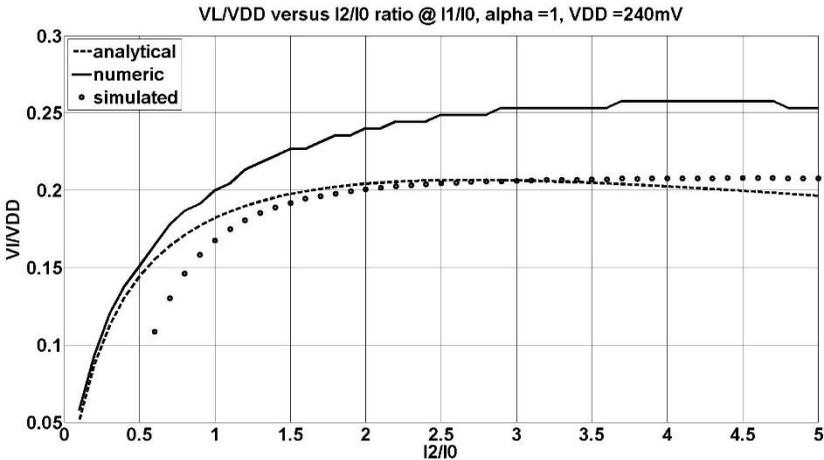


Figura 34: VL/VDD em função de I2/I0, com I1/I0=0,5 e VDD=240mV.

Na Figura 34a curva cheia representa a largura normalizada do laço de histerese obtida numericamente através da VTC do circuito e a curva pontilhada a expressão semi-empírica aproximada. As circunferências representam a largura do laço obtida através de simulações no CADENCE para transistores *low-vt* IBM-130nm. O circuito simulado foi dimensionado de forma que as redes de *pull-up* e

pull-down estivessem equilibradas. A Figura 35 traz a mesma análise para $V_{DD}=180\text{mV}$.

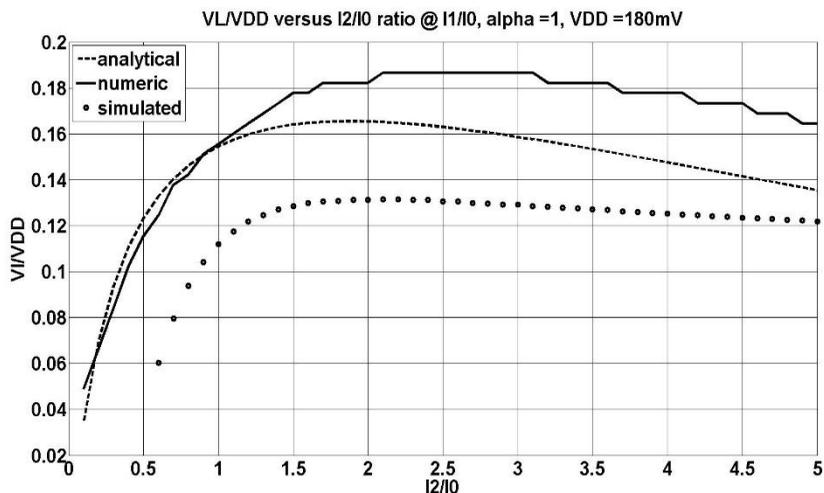


Figura 35: V_L/V_{DD} em função de I_2/I_0 , com $I_1/I_0=0,5$ e $V_{DD}=180\text{mV}$.

Na Figura 35 a expressão (36) apresenta um erro maior do que na Figura 34, porém ainda assim o erro máximo fica em torno de 5% de V_{DD} . A Figura 36 apresenta os resultados para $V_{DD}=120\text{mV}$.

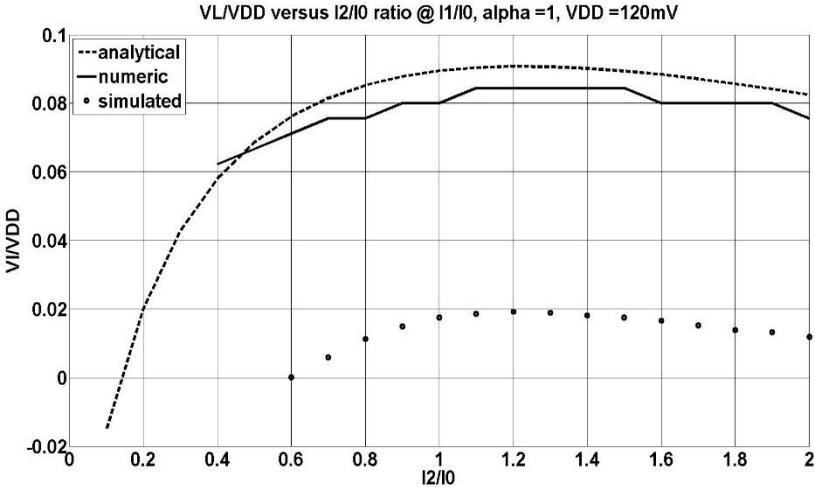


Figura 36: VL/VDD em função de I2/I0, com I1/I0=0,5 e VDD=120mV.

O erro na Figura 36 é relativamente grande, entretanto nesse caso o laço não chega a 10% de V_{DD} para a expressão analítica e 2% para as simulações.

Desta forma, a partir da equação (36), é possível dimensionar o tamanho dos transistores do ST para se obter determinada largura do laço com um erro máximo em torno de 7% da tensão de alimentação. Para valores de V_{DD} em torno de 100mV este erro pode fazer com que, nas simulações, o efeito de histerese não aconteça mesmo quando $V_L > 0$.

5 Simulações

As simulações para validação dos resultados foram feitas no *Spectre Circuit Simulator*TM da *CADENCE* em tecnologia IBM-130nm. Essa tecnologia oferece de 4 a 8 níveis de metais globais, de cobre ou alumínio, bem como vias de cobre de baixa resistência em todos os níveis de metal, o que possibilita alta densidade de vias e minimiza os atrasos de tempo. Esta tecnologia foi escolhida pois disponibiliza rodadas gratuitas de *chips* para a universidade e por não ser tão obsoleta quanto a tecnologia IBM-180nm. Além disso as correntes presentes no circuito apresentam uma ordem de grandeza muito abaixo da corrente suportada pela tecnologia, simplificando o roteamento das trilhas durante uma possível etapa de *layout*.

5.1 Extração de parâmetros

Primeiramente os transistores NMOS e PMOS foram caracterizados com método de " g_m/I_D " [14] a fim de verificar se os seus parâmetros estavam dentro do esperado. O circuito para extração de parâmetros está ilustrado na Figura 37.

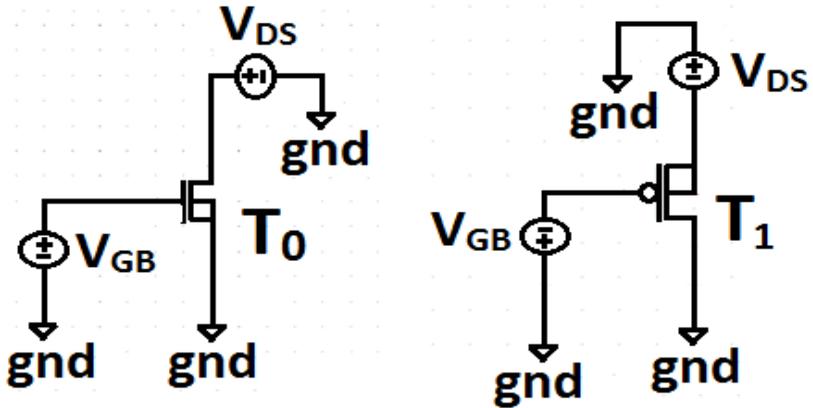


Figura 37: Circuito para extração dos parâmetros dos transistores MOS.

A partir da simulação do circuito da Figura 37 foi possível obter os gráficos da Figura 38.

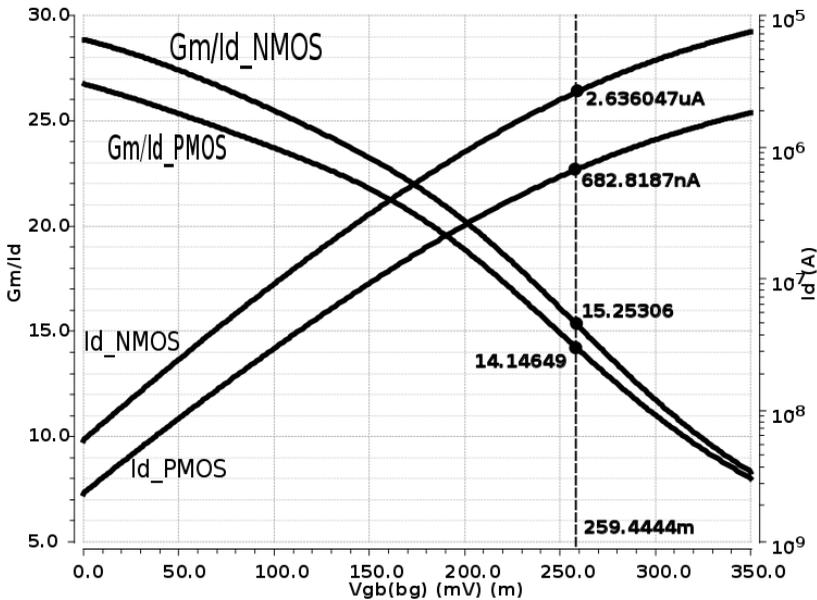


Figura 38: I_D e g_m/I_D em função de V_{GS} .

Segundo o método de “ g_m/I_D ” a tensão de threshold, V_T , do transistor corresponde ao valor de V_{GS} para o qual “ g_m/I_D ” vale 53,1% do seu valor máximo. A corrente específica do transistor corresponde a 1,13 vezes o valor de I_D para $V_{GS}=V_T$. A equação (38) pode ser utilizada para encontrar o valor do fator de inclinação, n_N .

$$n = \frac{1}{2,0,531 \cdot \left(\frac{g_m}{I_D}\right)_{m\acute{a}x} \cdot \phi_t} \quad (38)$$

Os parâmetros extraídos para os transistores encontram-se Tabela 2.

Tabela 2: Parâmetros extraídos dos transistores low-vt NMOS e PMOS.

Parâmetro	NMOS	PMOS
V_T	259 mV	259 mV
$I_0 \cdot L/W$	1,79 μ A	465,4 nA
n	1,266	1,364

De acordo com Tabela 2 a força do transistor NMOS é cerca de 3,84 vezes maior do que a do transistor PMOS. Com isso os transistores da rede de *pull-up* devem ser 3,84 vezes maiores do que os transistores da rede de *pull-down* para que o circuito se torne equilibrado.

5.2 Estudo da histerese

Novamente o circuito foi dividido em redes de *pull-up* e *pull-down*, Figura 15, a fim de se verificar o comportamento das correntes nos transistores N_1 e P_1 . O esquemático do circuito simulado encontra-se na Figura 39.

As curvas de corrente são obtidas através de uma varredura em V_{OUT} para cada valor de V_i . A Figura 40 mostra as correntes de dreno em N_1 e P_1 em função de V_{OUT} para $V_i=120mV$ e com K como parâmetro. Neste caso o comprimento dos transistores corresponde a 60% da sua largura e os transistores PMOS são K vezes maiores. $W_{N1}=W_{N2}=W_{N0}=500nm$.

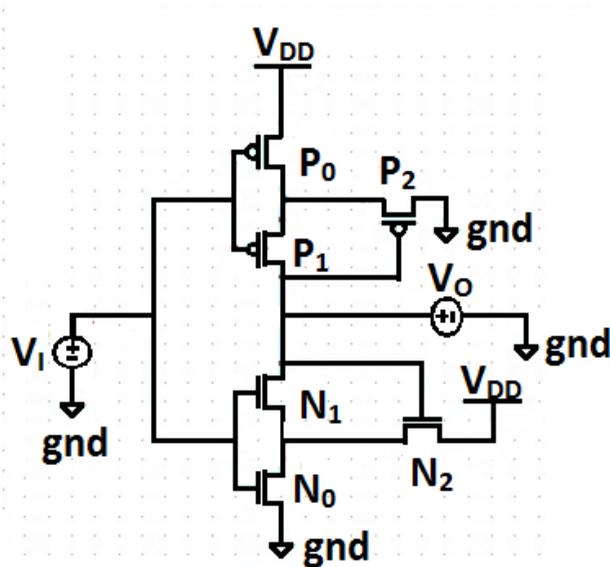


Figura 39: Circuito para simulação do método das correntes.

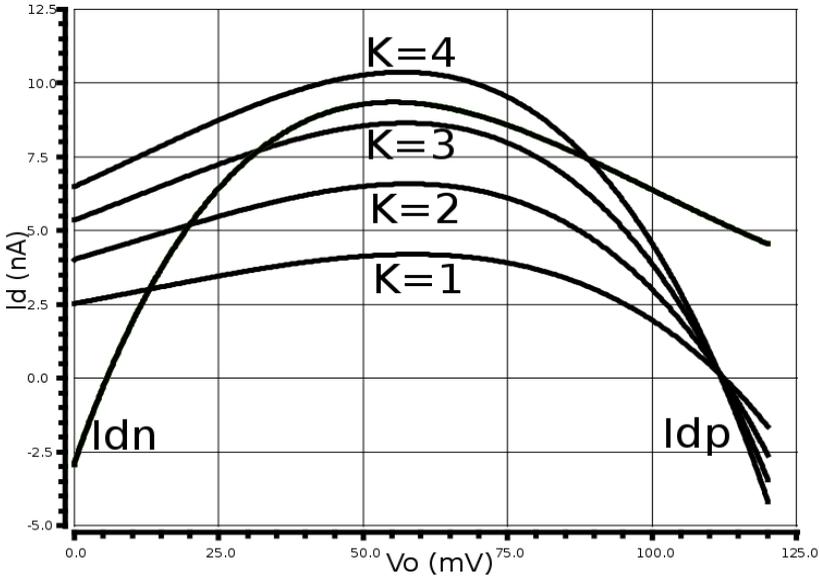


Figura 40: I_{DN1} e I_{DP1} vs V_{OUT} @ K , $V_{DD}=120mV$, $V_i=60mV$ e $I_1=I_2=I_0$.

Na Figura 40 o fator de proporcionalidade K varia de 1 à 4 com um passo de 1. É possível verificar que para $K=3,5$ as correntes de dreno em P_1 e N_1 estão quase equilibradas, confirmando a análise feita anteriormente.

Na Figura 41 encontra-se a VTC do circuito para $V_{DD}=120mV$. Neste caso $W_{N1}=0,5W_{N0}$, $W_{N2}=W_{N0}$, $L=0,6W$, $W_P=K*W_N$, com K variando de 0,6 à 1,8 com passo de 0,4. O dimensionamento é feito de forma que a razão W/L de cada transistor permaneça constante e igual a $1/0,6$.

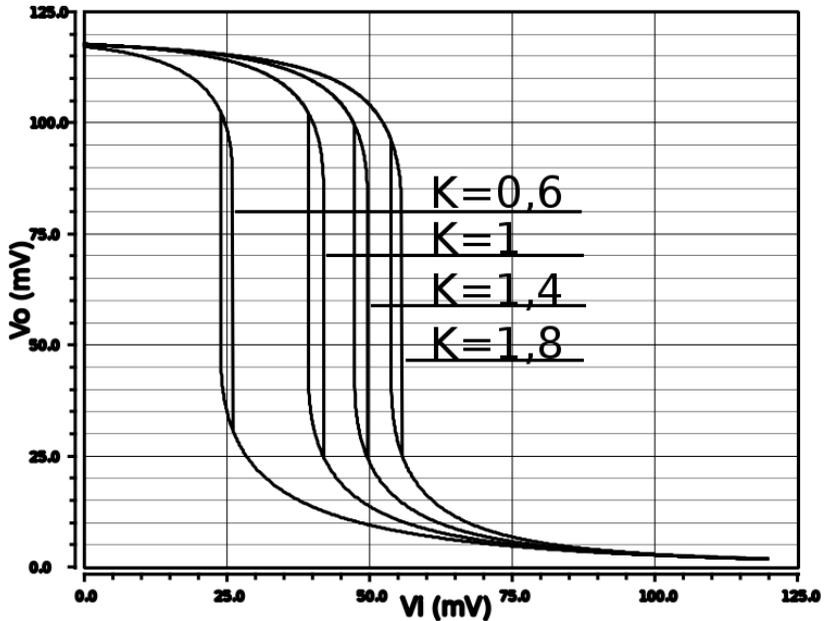


Figura 41: VTC do ST com K como parâmetro.

$$W_{N0}/L_{N0}=1\mu\text{m}/600\text{nm}; W_{N1}/L_{N1}=500\text{nm}/300\text{nm}; W_{N0}/L_{N0}=1\mu\text{m}/600\text{nm}; \\ W_p=K*W_N; L=0,6W;$$

A partir deste gráfico é possível observar que o descasamento nas redes de *pull-up* e *pull-down* afeta não só a largura do laço de histerese como também a sua posição. Conforme K aumenta o laço se desloca para à direita. A figura 37 traz a largura do laço de histerese em função de K para os mesmos parâmetros do circuito.

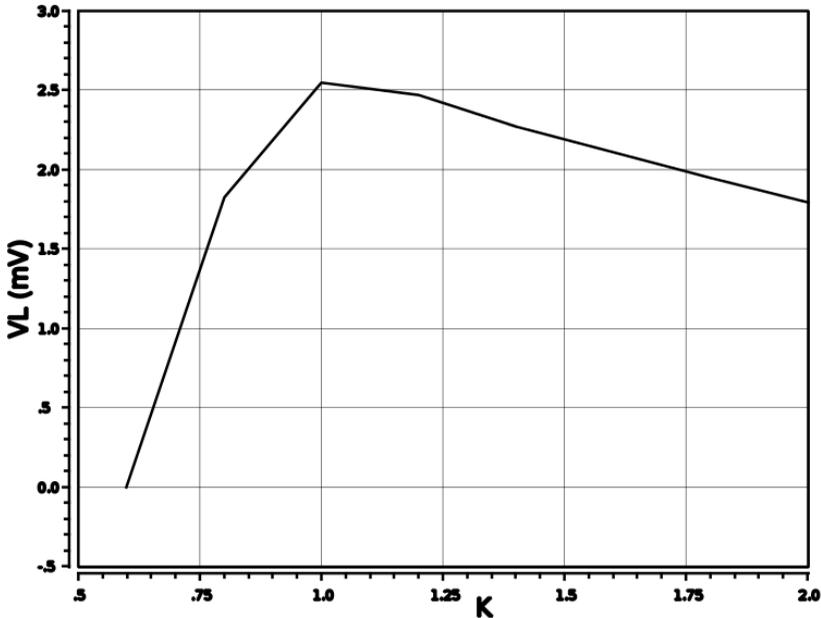


Figura 42: V_L (mV) vs K.

De acordo com a Figura 41 e a Figura 42 o laço de histerese apresenta largura máxima para $K=1$, porém neste caso o laço encontra-se centrado em $V_i=40\text{mV}$. Isso indica a existência de uma *trade-off* entre a largura do laço e a simetria da VTC, sendo necessário escolher entre maximizar a largura do laço e manter VTC equilibrada.

6 Conclusões

O Schmitt Trigger apresenta características que o tornam extremamente interessante para aplicações em ultrabaixa tensão como ganho elevado, boa margem de ruído e tensão mínima de operação reduzida. Ainda assim desvios no processo de fabricação podem fazer com que o circuito se comporte de forma inesperada, por exemplo o efeito de histerese pode deixar de existir para parâmetros do circuito onde ele deveria acontecer.

Esse trabalho possibilita aos projetistas desenvolver uma maior sensibilidade quanto ao comportamento do ST e a influência da razão entre os transistores a característica de transferência de tensão do circuito.

A aproximação para a largura do laço de histerese se mostrou eficaz para tensões acima de 150mV, porém seu desempenho em tensões abaixo disso não foi muito bom. A confecção de test-chip para validar os resultados é necessária.

A grande desvantagem do ST em relação ao inversor CMOS reside no maior número de transistores necessários. A área requerida para o circuito é ainda maior quando se deseja maximizar o ganho, uma vez que razões de $I_1/I_0=0,1$ fazem com que os transistores N_0 e P_0 sejam ao menos 10 vezes maiores do que a dimensão mínima da tecnologia.

Uma vez que se tenha um melhor entendimento do Schmitt Trigger em inversão fraca será possível dimensionar com mais facilidade uma família lógica básica, o que, por sua vez, pode proporcionar a habilidade de fazer lógica digital em ultrabaixa tensão.

7 Apêndice A – Ganho do inversor CMOS[13]

O ganho em tensão do inversor pode ser obtido tomando-se a primeira derivada da equação (6) em relação a V_O , aplicada em $V_O=V_{DD}/2$.

$$\frac{dV_I}{dV_O} = \frac{d}{dV_O} \cdot \left[\frac{V_{DD} + V_{TN} - |V_{TP}|}{2} + \frac{n \cdot \phi_t}{2} \cdot \ln \left(\frac{I_{OP}}{I_{ON}} \right) + \frac{n \cdot \phi_t}{2} \cdot \ln \left(\frac{1 - e^{-\frac{V_{DD} - V_O}{\phi_t}}}{1 - e^{-\frac{V_O}{\phi_t}}} \right) \right] \quad (A1)$$

$$\frac{dV_I}{dV_O} = \frac{n \cdot \phi_t}{2} \cdot \frac{d}{dV_O} \left[\ln \left(\frac{1 - e^{-\frac{V_{DD} - V_O}{\phi_t}}}{1 - e^{-\frac{V_O}{\phi_t}}} \right) \right] \quad (A2)$$

$$\frac{dV_O}{dV_I} = -\frac{2}{n} \cdot \frac{\left(1 - e^{-\frac{V_O}{\phi_t}}\right) \cdot \left(1 - e^{-\frac{V_{DD} - V_O}{\phi_t}}\right)}{e^{-\frac{V_{DD} - V_O}{\phi_t}} \cdot \left(1 - e^{-\frac{V_O}{\phi_t}}\right) + \left(1 - e^{-\frac{V_{DD} - V_O}{\phi_t}}\right) \cdot e^{-\frac{V_O}{\phi_t}}} \quad (A3)$$

$$\frac{dV_O}{dV_I} \Big|_{V_O = \frac{V_{DD}}{2}} = -\frac{e^{\frac{V_{DD}}{2\phi_t}} - 1}{n} \quad (A4)$$

8 Apêndice B – Tensões nos nós do Schmitt Trigger[13]

Aplicando-se (2) em V_X juntamente com a LCK tem-se:

$$I_{DN0} = I_{DN1} + I_{DN2} \quad (B1)$$

$$I_{N0} \cdot e^{\frac{V_I}{n_N \cdot \theta_t}} \cdot \left(1 - e^{-\frac{V_X}{\theta_t}}\right) =$$

$$I_{N1} \cdot e^{\frac{V_I}{n_N \cdot \theta_t}} \cdot \left(e^{-\frac{V_X}{\theta_t}} - e^{-\frac{V_O}{\theta_t}}\right) + I_{N2} \cdot e^{\frac{V_O}{n_N \cdot \theta_t}} \cdot \left(e^{-\frac{V_X}{\theta_t}} - e^{-\frac{V_{DD}}{\theta_t}}\right)$$

(B2)

$$e^{\frac{V_X}{\theta_t}} = \frac{I_{N0} + I_{N1} + I_{N2} \cdot e^{\frac{V_O - V_I}{n_N \cdot \theta_t}}}{I_{N0} + I_{N1} \cdot e^{-\frac{V_O}{\theta_t}} + I_{N2} \cdot e^{\frac{V_O - V_I}{n_N \cdot \theta_t}} \cdot e^{-\frac{V_{DD}}{\theta_t}}}$$

(B3)

O mesmo raciocínio leva a V_Y , equação (B4):

$$e^{\frac{V_Y}{\theta_t}} = \frac{I_{P0} \cdot e^{\frac{V_{DD}}{\theta_t}} + I_{P1} \cdot e^{\frac{V_O}{\theta_t}} + I_{P2} \cdot e^{\frac{V_I - V_O}{n_P \cdot \theta_t}}}{I_{P0} + I_{P1} + I_{P2} \cdot e^{\frac{V_I - V_O}{n_P \cdot \theta_t}}}$$

(B4)

Para V_O tem-se:

$$I_{DN1} = I_{DP1} \quad (B5)$$

$$I_{N1} \cdot e^{\frac{V_I}{n_N \cdot \theta_t}} \cdot \left(e^{-\frac{V_X}{\theta_t}} - e^{-\frac{V_O}{\theta_t}}\right) = I_{P1} \cdot e^{\frac{V_{DD} - V_I}{n_P \cdot \theta_t}} \cdot \left(e^{-\frac{V_{DD} - V_X}{\theta_t}} - e^{-\frac{V_{DD} - V_O}{\theta_t}}\right)$$

(B6)

As expressões (B3), (B4) e (B6) compõe um sistema que descreve completamente as tensões no ST e podem ser utilizadas para verificar a influência do desbalanceamento nas redes de *pull-up* e *pull-down*, de variações em V_T e do descasamento nos fatores de rampa dos transistores no comportamento do circuito. Considerando que $n_N = n_P = 1$ e que $I_{N0} = I_{P0} = I_0$, $I_{N1} = I_{P1} = I_1$ e $I_{N2} = I_{P2} = I_2$ as equações (B3), (B4) e (B6) se reduzem, respectivamente, as equações (B7), (B8) e (B9).

$$e^{\frac{V_X}{\theta_t}} = \frac{I_0 + I_1 + I_2 \cdot e^{\frac{V_O - V_I}{\theta_t}}}{I_0 + I_1 \cdot e^{-\frac{V_O}{\theta_t}} + I_2 \cdot e^{\frac{V_O - V_I}{\theta_t}} \cdot e^{-\frac{V_{DD}}{\theta_t}}}$$

(B7)

$$e^{\frac{V_Y}{\theta_t}} = \frac{I_0 \cdot e^{\frac{V_{DD}}{\theta_t}} + I_1 \cdot e^{\frac{V_O}{\theta_t}} + I_2 \cdot e^{\frac{V_I - V_O}{\theta_t}}}{I_0 + I_1 + I_2 \cdot e^{\frac{V_I - V_O}{\theta_t}}}$$

(B8)

$$e^{\frac{V_I - V_X}{\phi_t}} - e^{\frac{V_I - V_O}{\phi_t}} = e^{\frac{-V_I + V_Y}{\phi_t}} - e^{\frac{-V_I + V_O}{\phi_t}} \quad (B9)$$

9 Apêndice C – Ganho de pequenos sinais do Schmitt Trigger[13]

Pode-se observar que o circuito da Figura 31 é simétrico em relação ao nó v_o . Novamente, por simplicidade, adota-se $id_{N(0,1,2)} = id_{P(0,1,2)} = id_{(0,1,2)}$. Aplicando o modelo de pequenos sinais e a LCK para $V_I = V_O = V_{DD}/2$ tem-se:

$$id_{N0} = id_{N1} + id_{N2} \quad (C1)$$

$$g_{mN0} \cdot vi + g_{mdN0} \cdot vx = -g_{msN1} \cdot vx + g_{mN1} \cdot vi + g_{mdN1} \cdot vo - g_{msN2} \cdot vx + g_{mN2} \cdot vo \quad (C2)$$

$$vx = \frac{-g_{mN0} + g_{mN1}}{g_{mdN0} + g_{msN1} + g_{msN2}} vi + \frac{-g_{mdN1} + g_{mN2}}{g_{mdN0} + g_{msN1} + g_{msN2}} vo \quad (C3)$$

De forma similar, aplicando-se a LCK em vy , obtém-se a equação (C4).

$$vy = \frac{-g_{mP0} + g_{mP1}}{g_{mdP0} + g_{msP1} + g_{msP2}} vi + \frac{-g_{mdP1} + g_{mP2}}{g_{mdP0} + g_{msP1} + g_{msP2}} vo \quad (C4)$$

Aplicando agora a LCK em vo :

$$g_{msN1} \cdot vx - g_{msP1} \cdot vy = (g_{mN1} - g_{mP1}) \cdot vi + (g_{mdN1} - g_{mdP1}) \cdot vo \quad (C5)$$

Substituindo (C3) e (C4) em (C5) e considerando, por simplicidade, $id_{N(0,1,2)} = id_{P(0,1,2)} = id_{(0,1,2)}$ chega-se a equação (C6).

$$\frac{vo}{vi} = \frac{g_{m1} \cdot (g_{md0} + g_{ms1} + g_{ms2}) + g_{ms1} \cdot (g_{m0} - g_{m1})}{g_{ms1} \cdot (g_{md1} + g_{m2}) - g_{md1} \cdot (g_{m0} + g_{ms1} + g_{ms2})} \quad (C6)$$

As transcondutâncias g_m , g_{ms} e g_{md} podem ser escritas de acordo com as equações (C7) e (C8).

$$g_{ms(d)} = \frac{2 \cdot I_{F(R)}}{\phi_t \cdot \sqrt{1 + I_{F(R)} + 1}} \cong \frac{I_{SQ} \cdot S \cdot i_f}{\phi_t} = \frac{2e \cdot I_{SQ} \cdot S e^{\frac{V_P - V_{S(D)}}{\phi_t}}}{\phi_t} \quad (C7)$$

$$g_m = \frac{g_{ms} - g_{md}}{n} \cong g_{ms} - g_{md} = g_{ms} \cdot \left(1 - e^{\frac{-V_{DS}}{\phi_t}} \right) \quad (C8)$$

Em (C7) e (C8) $I_{F(R)}$ é a corrente direta (reversa) do transistor, $i_{F(R)}$ é o nível de inversão direta (reversa), S é a razão (W/L), I_{SQ} é a corrente específica e V_P é a tensão de *pinch-off*,

aproximada por $V_{GB}-V_T$. A Tabela 3 apresenta as transcondutâncias resultantes.

Tabela 3: Transcondutâncias dos transistores.

	N0	N1	N2
g_{ms}	$I_0 \cdot e^{\frac{V_{DD}}{2\phi_t}}$	$I_1 \cdot e^{\frac{V_{DD}-V_X}{2\phi_t}}$	$I_2 \cdot e^{\frac{V_{DD}-V_X}{2\phi_t}}$
g_{md}	$I_0 \cdot e^{\frac{V_{DD}}{2\phi_t}} \cdot \frac{V_X}{\phi_t}$	I_1	$I_1 \cdot e^{\frac{-V_{DD}}{2\phi_t}}$
g_m	$I_0 \cdot e^{\frac{V_{DD}}{2\phi_t}} \cdot \left(1 - e^{-\frac{V_X}{\phi_t}}\right)$	$I_1 \cdot \left(e^{\frac{V_{DD}-V_X}{2\phi_t}} - 1\right)$	$I_2 \cdot e^{\frac{-V_{DD}}{2\phi_t}} \cdot \left(e^{\frac{V_{DD}-V_X}{\phi_t}} - 1\right)$

Aplicando as transcondutâncias da Tabela 3 na equação (C6) tem-se:

$$\left(\frac{V_o}{V_i}\right)_{V_o=V_i=\frac{V_{DD}}{2}} = \frac{\left(1 + \frac{I_1}{I_0} + \frac{I_2}{I_0}\right) \cdot \left(1 - \frac{I_2}{I_0} \cdot e^{\frac{-V_{DD}}{2\phi_t}}\right) \cdot \left(1 - e^{\frac{-V_{DD}}{2\phi_t}}\right) + \frac{I_2}{I_0} \cdot \left(1 - e^{\frac{-V_{DD}}{2\phi_t}} + \frac{I_1}{I_0} \cdot e^{\frac{-V_{DD}}{2\phi_t}} \cdot \left(1 - e^{\frac{-V_{DD}}{2\phi_t}}\right)\right)}{\left(1 + \frac{I_2}{I_0}\right) \cdot \left(1 + \frac{I_1}{I_0} + \frac{I_2}{I_0}\right) \cdot e^{\frac{-V_{DD}}{2\phi_t}} - \frac{I_2}{I_0} \cdot \left(1 - e^{\frac{-V_{DD}}{2\phi_t}} + \frac{I_1}{I_0} \cdot \left(1 - e^{\frac{-V_{DD}}{2\phi_t}}\right)\right) \cdot e^{\frac{-V_{DD}}{2\phi_t}}} \quad (C9)$$

O ganho de pequenos sinais de (C9) é válido apenas quando não há histerese no ST, porém ele pode auxiliar a determinar quando esse efeito ocorre.

10Referências

- [1] M. Alioto, “Ultra-Low Power VLSI Circuit Design Demystified and Explained: A Tutorial”, IEEE Transactions on Circuits and Systems I – Regular Papers, vol. 59, no.1, January 2012.
- [2] J.Rabaey, “The swarm: what it means to Microsystems education”, San Diego: IEEE Microelectronic systems Education (MSE), Junho 2011.
- [3] J. D. M. Davis and J. A., “The fundamental limit on binary switching energy for terascale integration (TSI)”, IEEE Journal of Solid-State Circuits, vol. 35, no. 11, pp. 1515-1516, Outubro 2000.
- [4] L. A. P. Melek, M. C. Schneider and C. Galup-Montoro, “Body-Bias Compensation Technique for SubThreshold CMOS Static Logic Gates”, Pernambuco, Brazil: Proceedings of the 17th Symposium on Integrated Circuits and Systems Design, SBCCI’04, pp. 267-272, September, 2004.
- [5] J. Kulkarni and K. Roy, “Ultralow-Voltage Process-Variation-Tolerant Schmitt-Trigger-Based SRAM Design”, IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol.20, n. 20, February, 2012.
- [6] J. Kulkarni, K. Kim and K. Roy, “A 160mV, Fully Differential, Robust Schmitt Trigger Based Sub-threshold SRAM”, ISLPED’07, 2007.
- [7] M.C.Schneider and C.Galup-Montoro, “CMOS Analog Design Using All-Region MOSFET Modeling”, 1st Edition, Cambridge University Press, 2010.
- [8] L. A. P. Melek, M. C. Schneider and C. Galup-Montoro, "Ultra-low Voltage CMOS Logic Circuits", 9th Argentine School of Micro-Nanoelectronics, Mendoza - Argentina: Technology and Applications EAMTA, 2014.

- [9] B. Dokic, "CMOS Schmitt triggers", IEEE Proceedings, vol. 131, no.5, October 1984.
- [10] I. Filanovsky and H. Baltes, "CMOS Schmitt Trigger Design", IEEE Transactions on Circuits and Systems-I: Fundamental Theory and Applications, vol.41, no.1, January 1994.
- [11] N. Lotze and Y. Manoli, "A 62mV 0.13um CMOS Standard-Cell-Based Design Technique Using Schmitt-Trigger Logic", IEEE Journal of Solid-State Circuits, vol. 47, no. 1, pp 47-60, January 2012..
- [12] L. A. P. Melek, M. C. Schneider and C. Galup-Montoro, "Optimized Design of the CMOS Schmitt Trigger for Ultra-Low-Voltage Operation", Santiago - Chile: Iberchip, 2014..
- [13] L. A. P. Melek, "Ultra-Low Voltage CMOS Static Gates", Exame de Qualificação para Doutorado em Engenharia Elétrica, Florianópolis, Brasil: Universidade Federal de Santa Catarina , Agosto de 2014.
- [14] O. F. Siebel, M. C. Schneider and C. Galup-Montoro, "MOSFET Threshold Voltage: Definition, Extraction, and some Applications", Microelectronics Journal, Vol. 43, Issue 5, Pages 329-336, May - 2012.