

**William Prodanov**

**UM COMPARADOR DE CORRENTE  
SCHMITT-TRIGGER DIGITALMENTE  
PROGRAMÁVEL**

**Florianópolis**

**2002**

**UNIVERSIDADE FEDERAL DE SANTA CATARINA**  
**PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA**

**UM COMPARADOR DE CORRENTE  
SCHMITT-TRIGGER DIGITALMENTE  
PROGRAMÁVEL**

Dissertação submetida à  
Universidade Federal de Santa Catarina  
como parte dos requisitos para a obtenção do  
grau de Mestre em Engenharia Elétrica.

**WILLIAM PRODANOV**

**Florianópolis, Março de 2002**

# UM COMPARADOR DE CORRENTE SCHMITT-TRIGGER DIGITALMENTE PROGRAMÁVEL

William Prodanov

“Esta Dissertação foi julgada adequada para obtenção do Título de Mestre em Engenharia Elétrica, Área de Concentração em Circuitos e Sistemas Integrados, e aprovada em sua forma final pelo Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina”

Prof. Márcio Cherem Schneider, Dr.

Orientador

Prof. Edson Roberto De Pieri, Dr.

Coordenador do Programa de Pós-Graduação em Engenharia Elétrica

Banca Examinadora:

Prof. Márcio Cherem Schneider, Dr.

Presidente

Prof. Carlos Galup Montoro, Dr.

Prof. Leonardo Silva Resende, Dr.

Prof. Sidnei Noceti Filho, Dr.

“Viver e não ter a vergonha de ser feliz. Cantar e cantar a beleza de ser um eterno aprendiz”

Gonzaguinha

À Deus,  
aos meus pais João e Angela,  
ao meu irmão Marcelo  
e à minha companheira Juliane

## AGRADECIMENTOS

Os mais profundos agradecimentos à minha família e à minha companheira Juliane pelo imensurável apoio emocional, pelo incentivo moral e pela infinita paciência que tiveram nestes dois árduos anos consumidos para a conclusão deste trabalho.

Aos professores Márcio Cherem Schneider e Carlos Galup Montoro pelo suporte intelectual, pelas inúmeras contribuições técnicas e por toda experiência transmitida desde do início da minha carreira acadêmica.

Aos amigos Richard Demo Souza, Volney Vincence Coelho e Luis Henrique Spiller pelas doses diárias de companheirismo, que tornaram mais agradável cada dia de labuta, e por suportarem o meu mau humor nos momentos mais críticos desta etapa, agora, vencida.

Os sinceros agradecimento, também, a todos os amigos pesquisadores do LCI que fazem do nosso laboratório um ambiente salutar e culturalmente enriquecedor.

À todos estes e a todos os outros amigos que tive o prazer de conviver nestes dois últimos anos, seja no ambiente acadêmico ou doméstico, que trouxeram ao meu dia-a-dia momentos alegres. Momentos estes que serviram como gotas d'água que, pouco a pouco, encheram minha alma de felicidade.

# Sumário

Sumário	i
Lista de Figuras	iii
Lista de Tabelas	vi
Resumo	vii
Abstract	viii
<b>1 Introdução</b>	<b>1</b>
<b>2 Elementos Básicos</b>	<b>4</b>
2.1 O Transistor MOS . . . . .	5
2.1.1 Princípio de Funcionamento . . . . .	5
2.1.2 Modelagem Matemática . . . . .	6
2.2 Circuito de Polarização . . . . .	8
2.3 Rede Divisora de Corrente . . . . .	10
2.4 Amplificador Operacional . . . . .	13
2.4.1 Dimensionamento dos Transistores do AmpOp . . . . .	15
2.4.2 Medição dos Parâmetros do AmpOp . . . . .	17
2.5 Comparador de Tensão . . . . .	19

<b>3</b>	<b>Comparador de Corrente <i>Schmitt-trigger</i></b>	<b>23</b>
3.1	Comparador <i>Schmitt-trigger</i> Não-programável . . . . .	23
3.2	Comparador <i>Schmitt-trigger</i> Programável . . . . .	25
3.3	Análise de Erros . . . . .	27
3.3.1	Deslocamento do Laço de Histerese . . . . .	27
3.3.2	Abertura do Laço de Histerese . . . . .	28
<b>4</b>	<b>Implementação e Resultados</b>	<b>31</b>
4.1	O Leiaute do <i>Schmitt-trigger</i> . . . . .	32
4.2	Resultados Experimentais . . . . .	33
<b>5</b>	<b>Gerador de Sinais</b>	<b>37</b>
5.1	Gerador de Sinais . . . . .	38
5.1.1	Controles Independentes de Amplitude e Freqüência . . . . .	41
5.2	Simulações para o Gerador de Sinais . . . . .	42
<b>6</b>	<b>Conclusões</b>	<b>45</b>
<b>A</b>	<b>Determinação da defasagem <math>\theta_c</math> do conversor I-V</b>	<b>47</b>
	<b>Referências Bibliográficas</b>	<b>49</b>

# Lista de Figuras

2.1	Diagrama em blocos do <i>Schmitt-trigger</i> . . . . .	4
2.2	Transistor MOS (a) canal N e (b) um canal N e um canal P em corte transversal . . . . .	5
2.3	Curva $I_D \times V_D$ genérica de um N-MOS . . . . .	8
2.4	Circuito de polarização DC: (a) o divisor de tensão e (b) o <i>buffer</i> de tensão . . . . .	9
2.5	Característica de saída do transistor polarizado com (a) $V_S = V_{BIAS}$ e (b) $V_S = V_{SS}$ . . . . .	9
2.6	Rede MOCD genérica: (a) circuito elétrico e (b) simbologia adotada . . . . .	10
2.7	Curvas DC de $I_{SUM}$ (a) em função de $V_{IN}$ e (b) em função de $I_{IN}$ . . . . .	12
2.8	Característica estática de um MOCD de (a) 6 bits e (b) mostrando a transferência dos 4 MSB's . . . . .	12
2.9	Amplificador operacional Miller classe A: (a) esquema elétrico e (b) modelo AC . . . . .	13
2.10	Configurações para medições dos parâmetros do AmpOp: (a) conversor I-V e (b) amplificador em aberto com <i>offset</i> corrigido . . . . .	18
2.11	Tensões de entrada ( $V_{IN}$ ) e saída ( $V_{OUT}$ ) para medição do <i>slew-rate</i> . . . . .	19
2.12	Tensões de entrada ( $V_{IN}$ ) e saída ( $V_{OUT}$ ) para medição do <i>settling-time</i> com $R_L = 10k\Omega$ e $C_L = 16pF$ . . . . .	20
2.13	Magnitude e fase do ganho de malha aberta do AmpOp em função da frequência para $R_L = 10k\Omega$ e $C_L = 16pF$ . . . . .	21



2.14	Arranjo experimental para medição do ganho em função da frequência . . . . .	22
2.15	Curvas experimentais do ganho do AmpOp em função da frequência . . . . .	22
3.1	Comparador de corrente não-programável . . . . .	24
3.2	Curva de histerese para o comparador de corrente não-programável . . . . .	25
3.3	Comparador de corrente programável . . . . .	26
3.4	Curvas DC de histerese do comparador de corrente programável obtidas por simulação . . . . .	26
3.5	Representação gráfica dos principais erros da curva de histerese: (a) deslocamento e (b) abertura do laço de histerese. . . . .	27
3.6	Erro de chaveamento causado pelo atraso de fase do AmpOp . . . . .	29
4.1	Fotomicrografia do leiaute realizado para os MOCD's . . . . .	32
4.2	Fotomicrografia do leiaute do AmpOp . . . . .	33
4.3	Fotomicrografia do leiaute do comparador de tensão . . . . .	33
4.4	Fotomicrografia do <i>Schmitt-trigger</i> implementado . . . . .	34
4.5	Curvas de histerese DC experimentais . . . . .	34
4.6	Valores de comparação da corrente de entrada $I_{IN}$ para $\alpha = 1$ e $X_i \approx 1,4$ em função da frequência . . . . .	35
4.7	Curvas de histerese obtidas a 20kHz para (a) $\alpha = \beta = 1$ e (b) $1/2$ . . . . .	36
5.1	Esquema genérico de um oscilador de relaxação . . . . .	38
5.2	Estrutura base do gerador de sinais . . . . .	39
5.3	Circuito gerador da corrente de <i>offset</i> $I_{off}$ do gerador de sinais . . . . .	40
5.4	Gerador de sinais com controles independentes de amplitude e frequência . . . . .	42
5.5	Controle da frequência de $V_{TR}$ e $V_X$ : (a) $\alpha = 1$ , (b) $\alpha = 1/2$ , (c) $\alpha = 1/4$ e (d) $\alpha = 1/64$ . . . . .	43

5.6	Controle da amplitude de $V_{TR}$ : (a) $\beta = 1$ , (b) $\beta = 3/4$ , (c) $\beta = 1/2$ e (d) $\beta = 1/4$ . . . . .	44
A.1	Circuito AC equivalente do comparador de corrente . . . . .	47

# Lista de Tabelas

2.1	Dados de projeto do amplificador operacional Miller . . . . .	14
2.2	Resumo das características do amplificador operacional . . . . .	21
5.1	Valores de frequência teóricos ( $f_{teo}$ ) e simulados ( $f_{sim}$ ) . . . . .	43

Resumo da Dissertação apresentada à UFSC como parte dos requisitos necessários para a obtenção do grau de Mestre em Engenharia Elétrica.

UM COMPARADOR ANALÓGICO DE CORRENTE SCHMITT-TRIGGER  
DIGITALMENTE PROGRAMÁVEL

William Prodanov

Fevereiro/2002

Orientador: Márcio Cherem Schneider, D.Sc.

Área de Conhecimento: Circuitos e Sistemas Integrados

Palavras-chave: comparador de corrente, Schmitt-trigger, programação digital, divisor de corrente, gerador de sinais.

Número de Páginas: 51.

Este trabalho apresenta uma nova estrutura para um comparador de corrente *Schmitt-trigger* compatível com sistemas de baixa tensão de alimentação. Sua principal virtude é a fácil programabilidade digital do laço de histerese, laço este que é a principal figura de mérito de um comparador desta natureza. O comparador de corrente é composto por diversas células básicas tais como amplificador operacional, comparador de tensão, redes divisoras de corrente e portas lógicas XOR. Neste trabalho, cada uma destas células é apresentada individualmente com a finalidade de destacar influências no comportamento geral do comparador de corrente. Para a comprovação da funcionalidade da estrutura foram realizadas simulações computacionais, bem como testes de bancadas em *chips* protótipos que foram integrados em tecnologia CMOS de  $0.8\mu\text{m}$ , com alimentação de  $3,3V$ . O comparador de corrente implementado é inteiramente compatível com tecnologias VLSI (*Very Large Scale Integration*). Como exemplo de utilização do comparador de corrente, apresentamos um gerador de sinal digitalmente programável com simulações computacionais que demonstram o funcionamento do gerador

Abstract of Dissertation presented to UFSC as a partial fulfillment of the requirements for the degree of Master in Electrical Engineering.

A DIGITALLY PROGRAMMABLE ANALOG CURRENT SCHMITT-TRIGGER

William Prodanov

February/2002

Advisor: Márcio Cherem Schneider.

Area: Integrated Circuits and Systems.

Keywords: current comparator, Schmitt-trigger, digital programmability, current divider, signal generator.

Number of Pages: 51.

This work presents a novel current Schmitt-trigger structure compatible with low-voltage operation. Its main advantage is the easy digital programmability of the hysteresis curve. The current comparator uses some basic cells such as operational amplifier, voltage comparator, current divider and XOR gate. In this work, each of these basic cells are shown separately for highlighting their individual characteristics that have significant influence on the global structure. As a proof of concept, some computational simulations are shown, as well as some laboratory tests on a prototype integrated in a  $0.8\mu\text{m}$  CMOS technology. The implemented current Schmitt-trigger is fully compatible with VLSI (*Very Large Scale Integration*) processes and the circuit operates at  $\pm 1.65V$ . As an application of the Schmitt-trigger, the implementation of a digitally programmable signal generator is demonstrated.

# Capítulo 1

## Introdução

Em uma era reconhecida por avanços tecnológicos em diversas áreas, o campo da microeletrônica tem destaque por estar presente em todas elas. Os modernos ônibus espaciais, os equipamentos médicos antes inimagináveis, os robôs que beiram a perfeição humana ou os tão famosos PC's (*Personal Computer*), todos eles buscam suporte na microeletrônica. E neste ambiente micrométrico em que vivemos, a necessidade da formação de mão de obra qualificada que desenvolva *chips* cada vez mais rápidos, funcionais e eficientes é indiscutível.

Na contramão da história, permanecemos por muito tempo relutantes à idéia de mergulhar neste oceano de transistores. O recente prejuízo na balança comercial brasileira, causado principalmente pelas grandes quantidades de circuitos integrados importados, trouxe nosso país a uma realidade. Neste contexto, as pesquisas científicas em microeletrônica nunca foram tão importantes ao desenvolvimento industrial da nossa nação.

Caminhando em direção à tendência dos sistemas totalmente integrados (*embedded-systems*) com baixa tensão de alimentação, o desenvolvimento de células básicas que se enquadrem neste contexto é extremamente útil, acelerando o desenvolvimento de sistemas mais complexos. Os comparadores podem ser considerados uma dessas células. Em especial, os comparadores *Schmitt-trigger*, também conhecidos como comparadores com histerese, são preferencialmente utilizados por possuírem a virtude de eliminar o

problema conhecido como *comparator chatter*<sup>1</sup>, além de serem utilizados em controles de Liga/Desliga e em osciladores de relaxação [1, 2]. Eles também são especialmente úteis em foto-detectores, controles-remoto ópticos e instrumentos médicos [1, 2].

Este trabalho apresenta uma nova estrutura de um comparador de corrente, digitalmente programável, para operação em baixa tensão de alimentação e compatível com processos VLSI (*Very Large Scale Integration*). Totalmente implementável em tecnologia CMOS convencional, pode ser prototipado em processos considerados de baixo custo.

Diversos comparadores de corrente já foram propostos [1, 2, 3, 4, 5]. Alguns deles para aplicações em alta frequência [3, 4], outros para aplicações de alta precisão [3, 5] ou ainda os denominados *offset-free* [2], mas nenhum deles apresenta a propriedade que consideramos ser a maior contribuição deste trabalho: a programabilidade digital. Esta característica permite comparações de corrente de alta precisão quando aproveitada em estruturas adaptativas.

O comparador proposto é modularizado e cada módulo (ou célula básica) é analisado individualmente. No projeto de cada célula tentamos otimizar as propriedades individuais que proporcionariam um melhor comportamento global da estrutura. No Capítulo 2 apresentamos os elementos básicos que compõem o comparador de corrente. Iniciamos com a apresentação do mais básico de todos os elementos encontrados nos sistemas integrados: o transistor MOS, onde mostraremos seu princípio básico de funcionamento e as equações matemáticas que modelam seu funcionamento. A segunda estrutura apresentada é o circuito de polarização. Este circuito é composto por um divisor de tensão e um *buffer* de tensão. Em seguida é apresentada a peça-chave do comparador de corrente que é a rede divisora de corrente. Este elemento permite a programabilidade do *Schmitt-trigger*. Para esta função utilizamos a já conhecida rede MOCD (*Mosfet-Only Current Divider*) [6, 7, 8]. As duas últimas células apresentadas são o amplificador operacional e o comparador de tensão. Estas duas células merecem uma atenção especial. Suas características têm grande influência no comportamento do *Schmitt-trigger*. Concorrentemente com os conceitos teóricos envolvidos em cada uma

---

<sup>1</sup>Múltiplos chaveamentos que ocorrem quando o sinal de entrada está próximo ao limiar de comutação, devido a presença de ruído no sinal de entrada

destas células, mostramos simulações que ilustram seus princípios de funcionamento e/ou principais características.

No Capítulo 3 apresentamos o comparador de corrente proposto. Inicialmente mostramos uma estrutura não-programável, de simples entendimento, que introduz conceitos essenciais do comparador. Então, apresentamos a estrutura programável, programabilidade esta que é naturalmente estabelecida através das redes divisoras de corrente. Ainda neste capítulo apresentamos análises teóricas das principais fontes de erro existentes no circuito.

No Capítulo 4 apresentamos os dados referentes à implementação dos protótipos integrados. O comparador de corrente foi integrado em tecnologia CMOS no processo  $0.8\mu\text{m}$  da *Austria Mikro Systeme* [9] através do Projeto Multi-Usuário (PMU) mantido pelo Instituto Nacional de Informação (ITI - Campinas). Primeiro é apresentado o leiaute executado para envio à integração. Posteriormente, apresentamos os resultados obtidos em testes de bancada.

No Capítulo 5 apresentamos uma aplicação à estrutura proposta: um gerador de sinais digitalmente programável, onde podemos controlar diversas características dos sinais gerados, com destaque aos ajustes à frequência. Ao final do capítulo são mostradas simulações que comprovam o funcionamento deste gerador de sinais.

Finalmente, apresentamos no Capítulo 6 as conclusões deste trabalho.



# Capítulo 2

## Elementos Básicos

A estrutura do *Schmitt-trigger* que iremos apresentar neste trabalho é composta por diversos módulos que podemos chamar de células ou elementos básicos, como pode ser visto na Figura 2.1. Neste capítulo apresentaremos as células utilizadas para implementar cada um dos blocos do diagrama da Figura 2.1, sempre destacando as características individuais que influem diretamente no comportamento do comparador de corrente. As fontes de correntes são implementadas por redes divisoras de corrente, o conversor I-V é composto por um transistor e um amplificador operacional. O comparador de tensão é um amplificador operacional e o circuito básico de polarização é uma associação em série de dois transistores de mesmas dimensões.

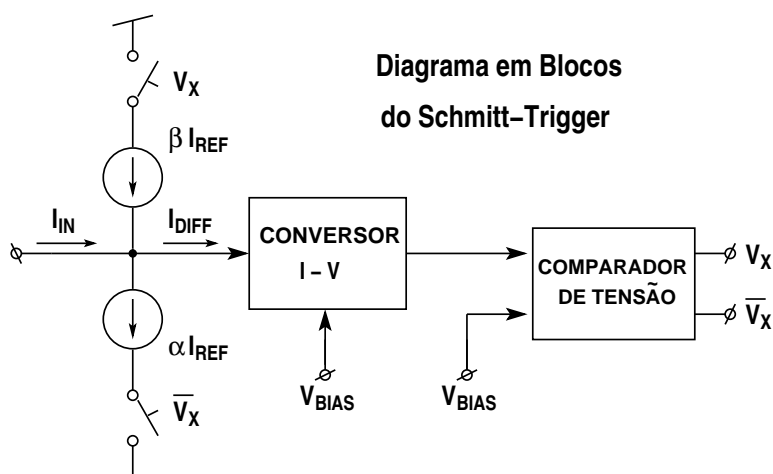


Figura 2.1: Diagrama em blocos do *Schmitt-trigger*

## 2.1 O Transistor MOS

O transistor MOS, ou simplesmente MOSFET (*Metal-Oxide-Semiconductor Field Effect Transistor*), é a principal célula dos circuitos integrados CMOS. Neste item apresentaremos seu princípio de funcionamento bem como um conjunto de equações matemáticas que modelam o comportamento físico deste dispositivo. Este conjunto de equações é suficiente para o entendimento de todos os cálculos apresentados neste trabalho que envolvam a operação do transistor MOS.

O modelo utilizado é baseado no dispositivo a quatro terminais, esquematizado na Figura 2.2. O terminal de substrato (*bulk*) será tomado como referência para todas as tensões. Denominamos canal a região abaixo do isolante de porta (*gate*), entre as difusões de dreno (*drain*) e fonte (*source*).

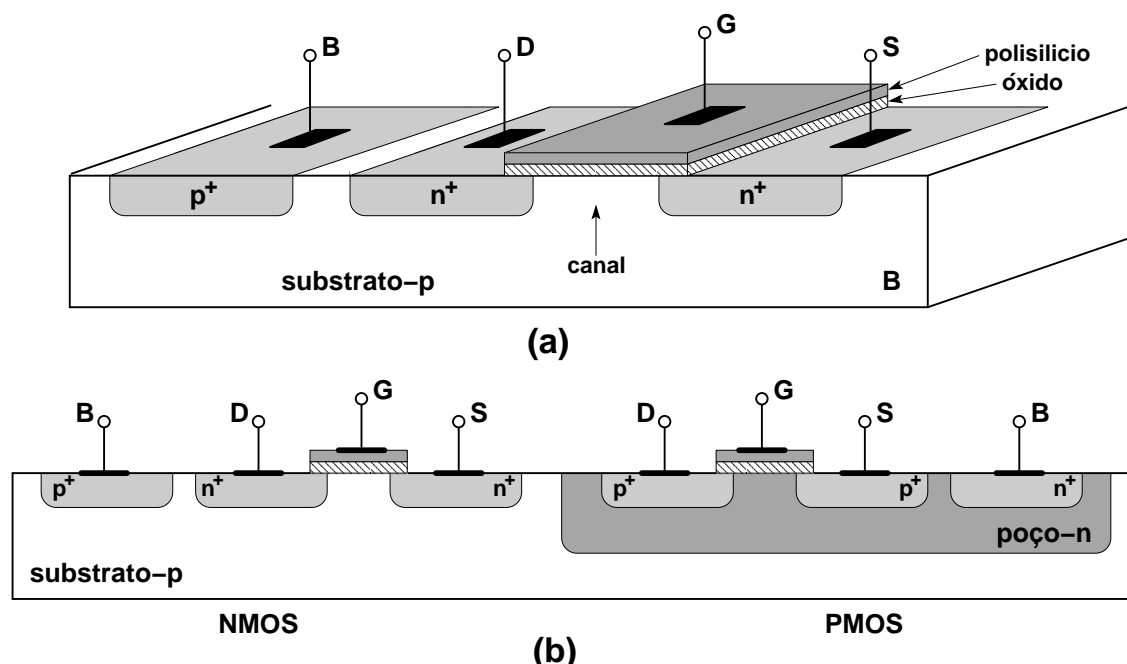


Figura 2.2: Transistor MOS (a) canal N e (b) um canal N e um canal P em corte transversal

### 2.1.1 Princípio de Funcionamento

Para análise do funcionamento do transistor MOS, consideramos o dispositivo canal N. As diferenças de potencial aplicadas entre os terminais de porta, fonte e dreno e o substrato ( $V_{GB}$ ,  $V_{SB}$  e  $V_{DB}$ ) atuam sobre a distribuição de cargas no canal. O regime

de condução do MOSFET é denominado de inversão, regime este desencadeado quando  $V_{GB}$  é suficiente para que a concentração de portadores minoritários, elétrons, sobrepuje a de lacunas na interface óxido-semicondutor. Os elétrons, atraídos pelo campo elétrico sob o óxido, constituem uma finíssima camada dita de inversão. Se então for aplicada uma diferença de potencial entre os terminais de dreno e fonte haverá circulação de corrente elétrica através desta fina camada condutora [10].

No modo de funcionamento direto, a tensão  $V_{DB}$  é sempre superior a tensão  $V_{SB}$ . Aumentando-se  $V_{DB}$ , as vizinhanças do dreno vão sendo pouco a pouco depletadas de elétrons, caracterizando o estrangulamento do canal condutor, fenômeno conhecido pelo termo inglês *pinch-off*. O *pinch-off* não impede a continuação do fluxo eletrônico, porém este permanece praticamente insensível a posteriores aumentos de  $V_{DB}$ . Neste caso, dizemos que o dispositivo está em saturação direta ou simplesmente em saturação. Enquanto não se verifica o estrangulamento do canal, dizemos que o transistor está operando na região triodo [10].

### 2.1.2 Modelagem Matemática

As equações que apresentaremos são fundamentadas e muito bem apresentadas em [10]. É um conjunto resumido de equações, porém todas as equações de interesse para os projetos descritos neste trabalho são apresentadas.

Para o funcionamento estático do transistor, definimos a corrente de dreno como

$$I_D = I_F - I_R \quad (2.1)$$

onde  $I_{F(R)}$  são as correntes de saturação direta e reversa respectivamente e definidas como

$$I_{F(R)} = I_S \cdot i_{f(r)} \quad (2.2)$$

onde  $i_{f(r)}$  é a corrente de saturação direta (reversa) normalizada [10, 11] e  $I_S$  é a corrente de normalização, dada por

$$I_S = \left(\frac{W}{L}\right) \cdot I_{S\Box} = \left(\frac{W}{L}\right) \cdot \frac{\phi_t^2}{2} \cdot n \cdot \mu C'_{OX} \quad (2.3)$$

onde:

$W$  e  $L$  são as dimensões do canal do transistor;

$\mu$  é a mobilidade dos elétrons (ou lacunas para um PMOS);

$C'_{OX}$  é a capacitância por unidade de área do óxido sobre o canal;

$\phi_t$  é o potencial térmico e

$n$  é o fator de rampa [10].

O parâmetro  $n$  é ligeiramente dependente de  $V_{GB}$  e tem seu valor entre 1 e 2. Para a tecnologia utilizada, pode ser adotado  $n$  constante igual a 1,3.

A corrente de saturação direta normalizada  $i_f$  também é denominada coeficiente ou nível de inversão [10, 11].

A relação entre as correntes normalizadas e as tensões terminais do transistor são dadas por [10]

$$\frac{V_P - V_{SB(DB)}}{\phi_t} = \sqrt{1 + i_{f(r)}} - 2 + \ln \left( \sqrt{1 + i_{f(r)}} - 1 \right) \quad (2.4)$$

onde  $V_P$  é denominada tensão de *pinch-off* e definida por

$$V_P = \frac{V_{GB} - V_{T0}}{n} \quad (2.5)$$

sendo  $V_{T0}$  é um parâmetro tecnológico denominado tensão de limiar.

A Figura 2.3 ilustra graficamente as correntes de saturação direta e reversa. A curva apresentada é a tradicional característica  $I_D \times V_D$  de um transistor MOS polarizado como indicado na mesma figura.

A partir do conceito abstrato que define a tensão  $V_{DS}$  para a qual o transistor está saturado, temos a relação entre a tensão  $V_{DS}$  de saturação e o nível de inversão na fonte,  $i_f$ . Tal relação pode ser satisfatoriamente admitida como [12]

$$V_{DSSAT} \approx \phi_t \left( 3,5 + \sqrt{1 + i_f} \right) \quad (2.6)$$

Uma característica dinâmica essencial do transistor é a transcondutância, que diz respeito à variação da corrente de dreno mediante pequenas variações das tensões terminais do transistor. Em 2.7 definimos a transcondutância de fonte (dreno) que

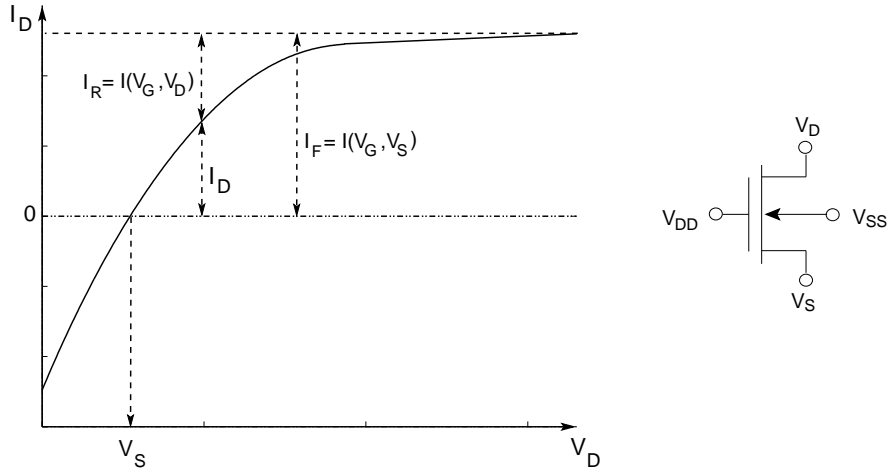


Figura 2.3: Curva  $I_D \times V_D$  genérica de um N-MOS

mede a variação de  $I_D$  quando variamos  $V_{S(D)}$  e mantemos as outras tensões terminais constantes:

$$g_{ms(d)} = \frac{2I_S}{\phi_t} \left( \sqrt{1 + i_{f(r)}} - 1 \right) \quad (2.7)$$

Para um transistor em saturação podemos definir  $g_{ms}$  de outra forma:

$$g_{ms} = \frac{2I_D}{\phi_t} \frac{1}{\left( \sqrt{1 + i_f} + 1 \right)} \quad (2.8)$$

A transcondutância de porta  $g_{mg}$ , ou simplesmente  $g_m$ , é, para um transistor saturado, aproximadamente igual a  $g_{ms}/n$  [11, 13].

## 2.2 Circuito de Polarização

O circuito de polarização do comparador de corrente é apresentado na Figura 2.4.a que é uma simples associação série de dois transistores de **mesmas dimensões W e L**.

A variável de interesse deste arranjo é a tensão  $V_{BIAS}$  verificada no nó intermediário aos dois transistores  $M_A$  e  $M_B$ . Para possibilitar a polarização de eventuais nós onde haja consumo de corrente é utilizado um *buffer* de tensão, que fornece a tensão denominada  $V'_{BIAS}$ , como indicado na Figura 2.4.b. A menos dos erros provocados pelo *offset* e pelo ganho DC finito do AmpOp a tensão  $V'_{BIAS}$  é igual a  $V_{BIAS}$ .

Definindo a corrente  $I_{MAX}$  como a corrente de um transistor idêntico aos utili-

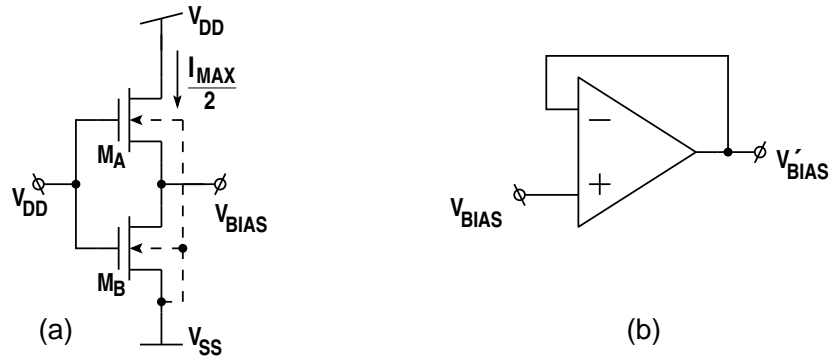


Figura 2.4: Circuito de polarização DC: (a) o divisor de tensão e (b) o *buffer* de tensão

zados no divisor de tensão, quando este estiver polarizado com o conjunto de tensões  $V_{GB} = V_{DB} = V_{DD} - V_{SS}$  e  $V_{SB} = 0$ , e ainda, recorrendo ao conceito de transistor composto [14], podemos interpretar o arranjo como sendo um único transistor composto de comprimento de canal  $L$  igual a duas vezes o comprimento do canal de  $M_A$  (ou  $M_B$ , pois são idênticos). Assim, as correntes de dreno dos transistores  $M_A$  e  $M_B$  do divisor de tensão serão dadas por:

$$I_{DA} = I_{DB} = \frac{1}{2} I_{MAX} \quad (2.9)$$

As curvas apresentadas na Figura 2.5 ilustram as características de saída de dois transistores polarizados com  $V_S = V_{BIAS}$  e com  $V_S = V_{SS}$ . Uma propriedade essencial da tensão  $V_{BIAS}$  gerada para o *Schmitt-trigger* pode ser visualida na Figura 2.5.a, onde, se fizermos  $V_D = V_{DD}$  temos uma corrente de dreno  $I_D = I_{MAX}/2$ . Ou, se fizermos  $V_D = V_{SS}$  temos  $I_D = -I_{MAX}/2$ . Ainda, a um transistor polarizado com  $V_S = V_{BIAS}$  é possível a máxima excursão de corrente  $\left(\frac{-I_{MAX}}{2} : \frac{I_{MAX}}{2}\right)$ .

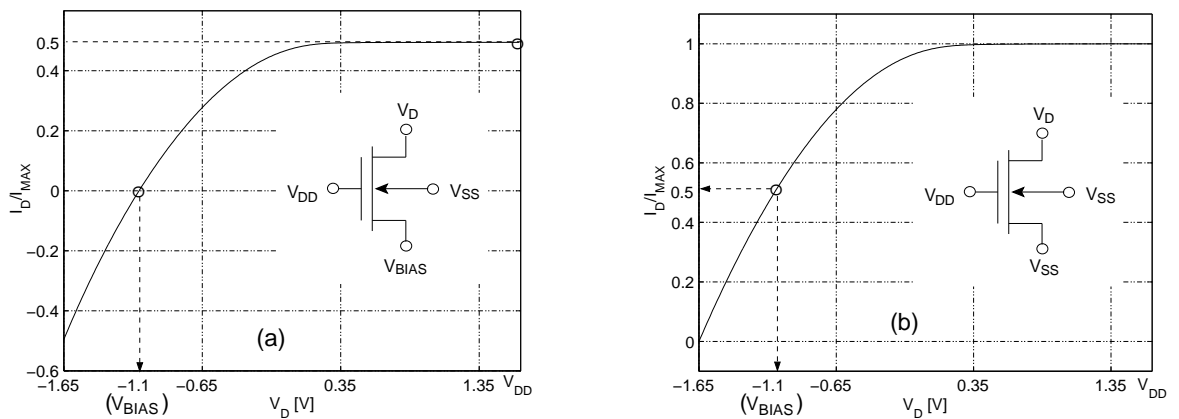


Figura 2.5: Característica de saída do transistor polarizado com (a)  $V_S = V_{BIAS}$  e (b)  $V_S = V_{SS}$

A utilização de transistores NMOS para implementar o divisor de tensão faz com que o valor da tensão  $V_{BIAS}$  seja próximo a  $V_{SS}$ . Como veremos posteriormente, os amplificadores operacionais utilizados no *Schmitt-trigger* estarão operando com tensão de modo comum igual a  $V_{BIAS}$  e, desta forma, deverão possuir entrada diferencial com transistores PMOS.

## 2.3 Rede Divisora de Corrente

O elemento que nos permite estabelecer a programabilidade digital do *Schmitt-trigger* é o divisor de corrente. O divisor utilizado é a conhecida rede MOCD (*MOST-Only Current Divider*) que tem a propriedade de programar a repartição da corrente de entrada para suas duas saídas segundo uma palavra digital de controle.

A rede em questão foi introduzida em [6] e é muito bem descrita em [7, 8]. O MOCD é baseado na topologia da clássica rede *ladder* R-2R. Um divisor de “n” bits é apresentado na Figura 2.6. As chaves analógicas MOS indicadas têm a função de direcionar a corrente de cada ramo para o ponto de soma (*sum-line*) ou para o ponto de “descarga” de corrente (*dump-line*). O direcionamento das parcelas de corrente é obtido pela aplicação de uma palavra digital aplicada às chaves, que funcionam de forma complementar, estando sempre uma “fechada” e a outra “aberta”. Desta forma temos sempre dois transistores ligados em série [14] em cada ramo paralelo.

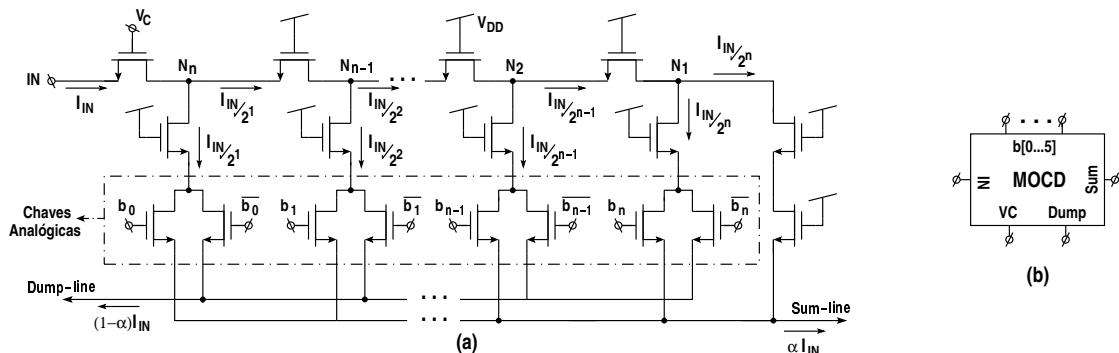


Figura 2.6: Rede MOCD genérica: (a) circuito elétrico e (b) simbologia adotada

A divisão da corrente de entrada é feita com ponderação binária a cada ramo paralelo conforme indicado. O funcionamento da rede pode ser facilmente entendido se recorrermos aos conceitos de associação série/paralelo de transistores [14]. Analisando

a Figura 2.6 vemos que há dois ramos iguais conectados ao nó  $N_1$ . Portanto, a corrente injetada neste nó é dividida por dois [7]. Estes dois ramos, quando associados, equivalem a um transistor unitário. Assim, temos dois ramos semelhantes conectados ao nó  $N_2$ , havendo uma divisão por dois da corrente injetada em  $N_2$  e assim sucessivamente. Os nós de saída *sum-line* e *dump-line* devem estar submetidos ao mesmo potencial, pois só desta forma teremos cada ramo paralelo polarizados sempre da mesma forma, independente da chave que esteja conduzindo.

Os valores das correntes  $I_{SUM}$  e  $I_{DUMP}$  são determinados por

$$I_{SUM} = \alpha \cdot I_{IN} \quad (2.10)$$

e

$$I_{DUMP} = (1 - \alpha) \cdot I_{IN} \quad (2.11)$$

sendo:

$$\alpha = \frac{b + 1}{2^n} \quad (2.12)$$

onde:

$b$  é o valor da palavra digital de controle, em base decimal;

$n$  é o número de bits.

As curvas da Figura 2.7 foram obtidas experimentalmente em um MOCD de 6 bits integrado e demonstram o funcionamento do mesmo. A Figura 2.7.a assemelha-se à tradicional característica  $I_D \times V_D$  de um transistor, porém obtida para um MOCD. Neste caso, temos a característica  $I_{SUM} \times V_{IN}$  para diversos valores de  $\alpha$ . A Figura 2.7.b de  $I_{SUM} \times I_{IN}$  demonstra a linearidade da divisão de corrente efetuada. A Figura 2.8 ilustra o funcionamento de um MOCD como conversor D/A. Na Figura 2.8.a vemos os 64 níveis possíveis e na Figura 2.8.b os 16 níveis possíveis relativos ao 4 bits mais significativos.

Algumas outras considerações importantes devem ser feitas a respeito do MOCD. Do ponto de vista do nó de entrada, o MOCD é visto como um transistor composto



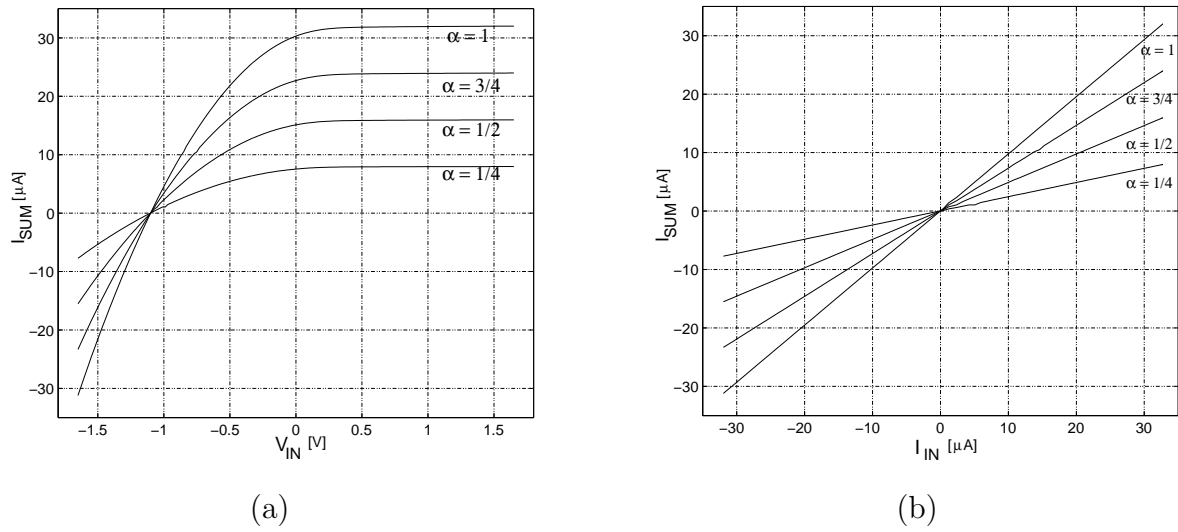


Figura 2.7: Curvas DC de  $I_{SUM}$  (a) em função de  $V_{IN}$  e (b) em função de  $I_{IN}$

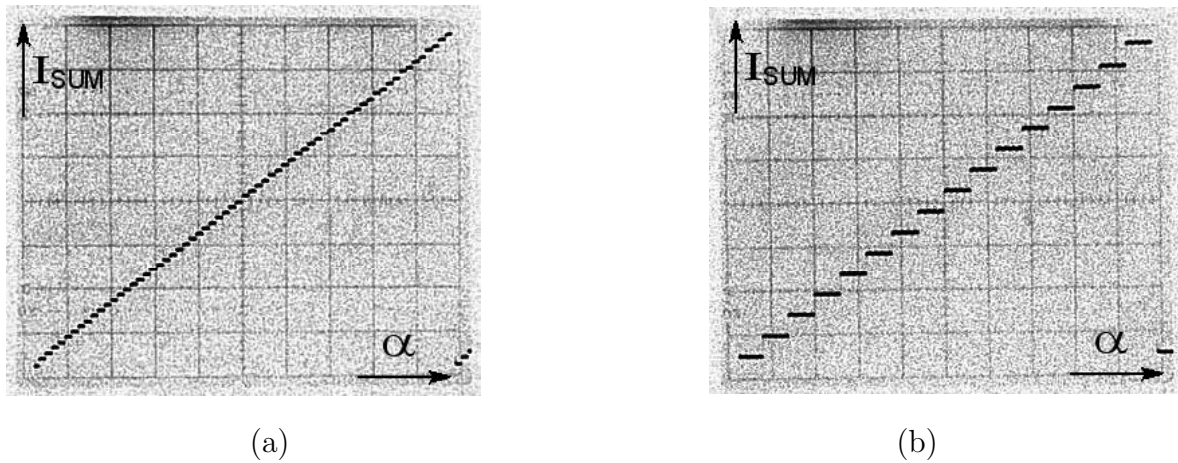


Figura 2.8: Característica estática de um MOCD de (a) 6 bits e (b) mostrando a transferência dos 4 MSB's

de dimensões  $\frac{W_U}{2L_U}$ , onde  $W_U$  e  $L_U$  são as dimensões de cada um dos transistores que compõem a rede. A condutância vista pelo nó *sum-line* é dependente do valor de  $\alpha$  e atinge seu maior valor quando  $\alpha = 1$ . Neste caso o MOCD também pode ser visto como um transistor composto de razão de aspecto  $\frac{W_U}{2L_U}$ . O transistor posicionado à entrada do MOCD pode ser utilizado como um *enable* do divisor de corrente. Através de sua tensão de porta, denominada  $V_C$ , podemos anular a corrente de entrada.

## 2.4 Amplificador Operacional

O esquema elétrico do amplificador operacional utilizado é representado na Figura 2.9.a. As dimensões de cada transistor estão indicadas na Tabela 2.1. Os transistores foram dimensionados de acordo com a metodologia apresentada adiante, na Seção 2.4.1. Na Figura 2.9.a estão indicadas as correntes de polarização normalizadas do circuito. Trata-se de um amplificador operacional de dois estágios com compensação Miller. O primeiro estágio é um amplificador diferencial com saída simples [15, 16]. O segundo é um amplificador fonte comum operando em classe A. Esta estrutura foi escolhida pela sua simplicidade de projeto.

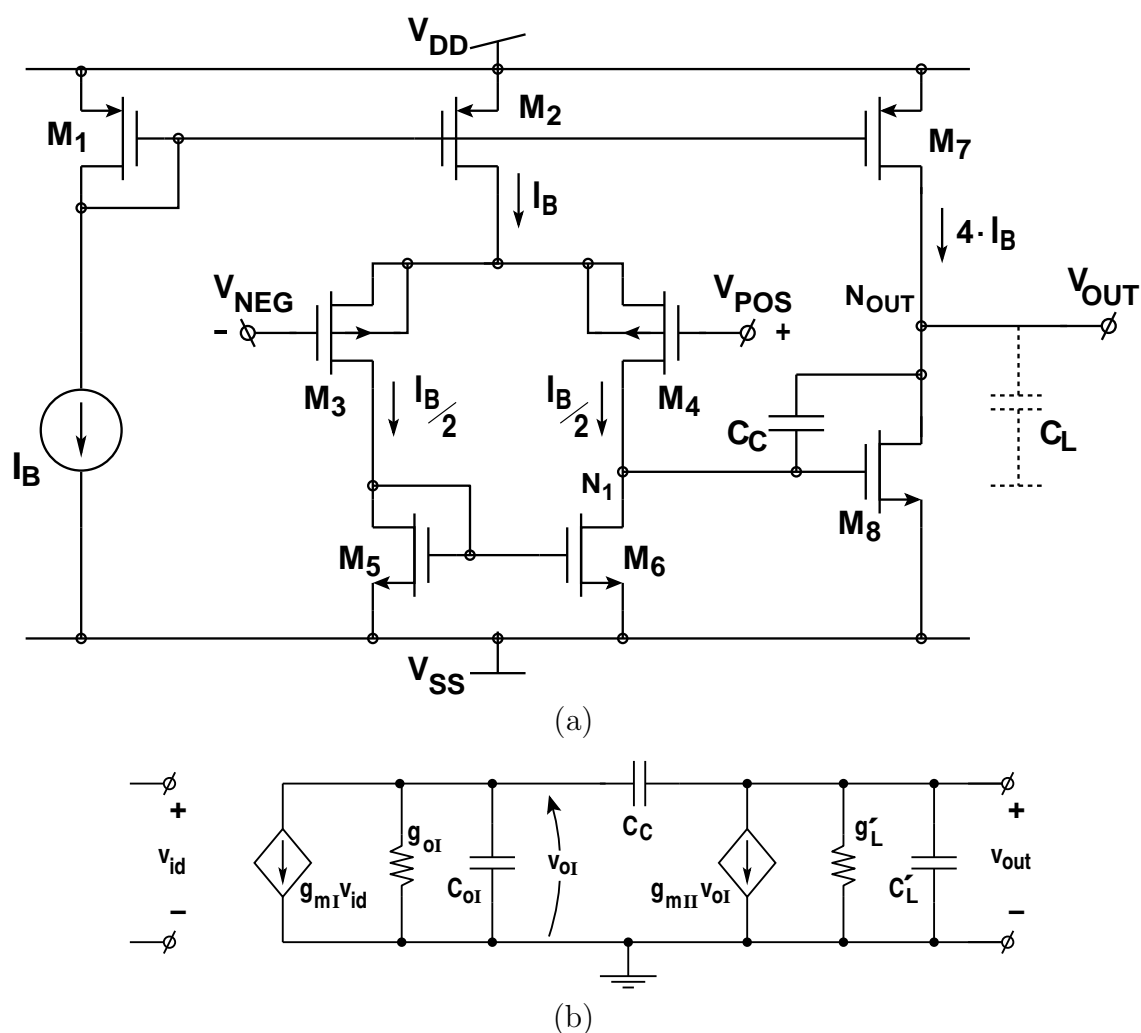


Figura 2.9: Amplificador operacional Miller classe A: (a) esquema elétrico e (b) modelo AC

O modelo AC para a topologia escolhida está representado na Figura 2.9.b, onde:

M	W [ $\mu\text{m}$ ]	L [ $\mu\text{m}$ ]	M	W [ $\mu\text{m}$ ]	L [ $\mu\text{m}$ ]
1	80	2	5	30	4
2	80	2	6	30	4
3	80	4	7	320	2
4	80	4	8	240	4

---


$$V_{DD} = 1,65V \quad V_{SS} = -1,65V \quad I_B = 24\mu A$$


---


$$C_C = 8pF \quad C_L = 16pF \quad R_L = 10k\Omega$$


---

Tabela 2.1: Dados de projeto do amplificador operacional Miller

$g_{mI}$  é o  $g_m$  dos transistores M3 e M4;

$g_{oI}$  e  $C_{oI}$  são respectivamente a condutância e a capacitância vistas pelo nó  $N_1$ ;

$C_C$  é o capacitor de compensação;

$g_{mII}$  é o  $g_m$  do transistor  $M_8$ ;

$C'_L$  é a capacitância de carga  $C_L$  somada às capacitâncias parasitas do nó  $N_{OUT}$  e

$g'_L$  é a condutância de carga  $g_L$  somada às condutâncias vistas pelo nó  $N_{OUT}$  ( $g_{ds16}$  e  $g_{ds15}$ )

Segundo o modelo AC apresentado, o ganho DC do primeiro estágio é dado por (2.13) e o ganho DC do segundo por (2.14) [17]. O produto ganho-banda do amplificador operacional é dado por (2.15) [17]. Os valores de  $g_{oI}$  e  $g_{oII}$  são de difícil previsão e, conseqüentemente, a determinação do ganho teórico da estrutura também o é. Porém, o valor de  $g_m$  de um transistor saturado é comumente muito maior que o valor de  $g_{ds}$ . Para um dado nível de polarização, a relação  $g_m/g_{ds}$  torna-se maior a medida que o comprimento L do canal do transistor aumenta [18]. Contudo, o aumento excessivo do comprimento do canal leva a degradação da resposta em freqüência do AmpOp devido ao conseqüente aumento das capacitâncias parasitas. Assim, optamos pela utilização de transistores com comprimento de canal que conduzissem a um ganho DC aceitável e não comprometessem a resposta em freqüência do AmpOp.

$$A_{vI} = \frac{g_{mI}}{g_{oI}} \quad [V/V] \quad (2.13)$$

$$A_{vII} = \frac{g_{mII}}{g'_L} \quad [V/V] \quad (2.14)$$

$$GBW = \frac{g_{mI}}{2\pi C_C} \quad [Hz] \quad (2.15)$$

A principal informação que precisamos do modelo AC é a determinação do pro-

duto ganho-banda GBW (*Gain-Bandwidth*). Como mostraremos no Seção 3.3.2, quanto maior o GBW do amplificador operacional menor será o erro verificado no comparador de corrente a uma dada frequência de operação.

### 2.4.1 Dimensionamento dos Transistores do AmpOp

Como ponto de partida para o projeto do amplificador operacional, estipulamos um  $GBW = 2MHz$ , cerca de duas décadas acima da máxima frequência de interesse (áudio-freqüências), e um capacitor de compensação  $C_C = 8pF$  que, apesar de ser um valor de capacitância elevado, permite que o AmpOp opere, sem degradação da resposta em frequência, com uma carga capacitiva de  $16pF$ , valor da capacitância de pontas de prova de osciloscópios. Assim, os testes de bancada podem ser realizados sem circuitaria extra. O valor de  $g_{mI}$  pode ser assim obtido por:

$$\begin{aligned} g_{mI} = g_{m3,4} &= 2\pi \cdot C_C \cdot GBW \\ &\approx 100 \frac{\mu A}{V} \end{aligned} \quad (2.16)$$

Os transistores do par diferencial de entrada são do tipo PMOS, em função do valor da tensão de modo comum, a que estará sujeito o AmpOp no *Schmitt-trigger*, ser próxima a  $V_{SS}$  (Seção 3.1). Amplificadores operacionais com entrada NMOS não conseguem operar com valores de tensão de modo comum próximos a  $V_{SS}$ .

O nível de inversão de cada transistor é uma variável importante para o projeto do AmpOp. O parâmetro  $i_f$  relaciona o valor das tensões de saturação dos transistores (Equação (2.6)), a área ocupada e os valores absolutos das correntes de polarização. Para todos os transistores foi utilizado um  $i_f = 40$ , polarizando os transistores em regime de inversão moderada/forte.

De (2.8), definimos a corrente de polarização dos transistores  $M_3$  e  $M_4$ . E de (2.3) suas razões de aspecto  $W/L$  em função de  $g_m$  e  $i_f$ .

$$\begin{aligned} I_{F_{3,4}} &= \frac{I_B}{2} = g_{mI} \cdot n \cdot \phi_t \cdot \frac{1 + \sqrt{1 + i_{f3,4}}}{2} \\ &\approx 12 \mu A \end{aligned} \quad (2.17)$$

e

$$\left(\frac{W}{L}\right)_{3,4} = \frac{I_B}{2} \cdot \frac{1}{i_{f3,4} \cdot I_{S\Box p}} \approx 20 \quad (2.18)$$

Nos transistores  $M_5$  e  $M_6$ , a corrente de polarização é igual a  $I_B/2$ . Assim:

$$\left(\frac{W}{L}\right)_{5,6} = \frac{I_B}{2} \cdot \frac{1}{i_{f5,6} \cdot I_{S\Box n}} \approx 7,5 \quad (2.19)$$

Os transistores  $M_{1,2}$  compõem um espelho que disponibiliza ao par diferencial a corrente de polarização  $I_B$ , fornecida, por exemplo, por uma fonte de corrente externa. Temos então:

$$\left(\frac{W}{L}\right)_{1,2} = \frac{I_B}{i_{f1,2} \cdot I_{S\Box p}} \approx 40 \quad (2.20)$$

A última etapa do projeto é o dimensionamento dos transistores do estágio de saída. O ponto de partida escolhido foi a corrente máxima de saída que o AmpOp deveria fornecer. Para uma corrente  $I_{IN}$  máxima igual a  $1,5 \cdot I_{REF}$ , a corrente máxima requerida do AmpOp é de  $2,5 \cdot I_{REF}$  ou aproximadamente  $75\mu A$ . Para permitir que o AmpOp forneça efetivamente tal corrente sem entrar em saturação, projetamos uma corrente de saída de  $96\mu A$  que inclui uma margem de segurança de aproximadamente 25%. A partir deste valor e da relação do espelho de corrente  $M_1 - M_7$ , temos

$$\frac{I_O}{I_B} = \frac{\left(\frac{W}{L}\right)_7}{\left(\frac{W}{L}\right)_1} = 4 \quad \Rightarrow \quad \left(\frac{W}{L}\right)_7 = 160 \quad (2.21)$$

O transistor  $M_8$  deve ser dimensionado de forma a minimizar o *offset* sistemático da estrutura. Esta minimização é obtida se garantimos a relação:

$$\left(\frac{W}{L}\right)_8 = 2 \cdot \frac{\left(\frac{W}{L}\right)_7}{\left(\frac{W}{L}\right)_2} \cdot \left(\frac{W}{L}\right)_6 \approx 60 \quad (2.22)$$

Por fim, é importante estimar a margem de fase do AmpOp na condição crítica de operação. As posições aproximadas das principais singularidades secundárias,  $p_{sec}$  e  $z$ , são dadas por [17]:

$$\begin{aligned} p_{sec} &= \frac{-g_{mII}}{2\pi \cdot C_L} \\ z &= \frac{g_{mII}}{2\pi \cdot C_C} \end{aligned} \quad (2.23)$$

onde:

$g_{mII}$  é igual a  $g_{m8}$  para o AmpOp apresentado na Figura 2.9;

$p_{sec}$  é a posição do pólo secundário;  $z$  é a posição do zero.

A margem de fase estimada é dada por:

$$MF = 90 - \text{tg}^{-1} \left( \frac{GBW}{p_{sec}} \right) - \text{tg}^{-1} \left( \frac{GBW}{z} \right) \quad (2.24)$$

Segundo o projeto descrito, a margem de fase estimada é de  $68^\circ$ .

A Tabela 2.1 foi preenchida de acordo com as razões de aspecto acima determinadas. Os valores de comprimento de canal  $L = 4\mu m$  para os transistores menores ( $M_{3-6}$  e  $M_8$ ) foi arbitrado de forma a garantir um casamento aceitável e, ao menos em simulação, um ganho bem superior ao obtido caso fosse usado  $L = 2\mu m$ . Nos transistores maiores ( $M_{1-2}$  e  $M_7$ ), um  $L = 2\mu m$  evitou a implementação de transistores muito grandes (com grandes capacitâncias parasitas). Os resultados obtidos em simulação e experimentalmente foram satisfatórios como podemos ver a seguir.

## 2.4.2 Medição dos Parâmetros do AmpOp

Para demonstrar o comportamento do AmpOp projetado efetuamos algumas simulações computacionais além de testes experimentais de bancada. Duas configurações básicas foram utilizadas para efetuar as medições dos principais parâmetros, através de simulações. A Figura 2.10 mostra estes arranjos. Os valores das cargas resistivas ( $R_1 = 10k\Omega$ ,  $R_2 = 40k\Omega$  e  $R_L = 10k\Omega$ ) foram baseados nos valores estimados das cargas às quais o AmpOp estará sujeito no *Schmitt-trigger*. A carga capacitiva  $C_L$  é de  $16pF$ , simulando a capacitância de entrada de uma ponteira de prova de osciloscópio. A tensão de referência dos circuitos é a tensão de polarização  $V_{BIAS}$ .

Através do conversor I-V (Figura 2.10.a) medimos o *slew-rate* e o *settling-time*. Este arranjo é utilizado ao invés da tradicional configuração seguidor de tensão, pois representa de forma mais próxima as condições de operação do AmpOp. O *slew-rate* foi medido aplicando-se um degrau de corrente de  $80\mu A$ . A Figura 2.11 mostra o resultado desta simulação. O menor *slew-rate* medido foi de  $2,7V/\mu s$ .

Para obtenção do *settling-time* também aplicamos um degrau à entrada do con-

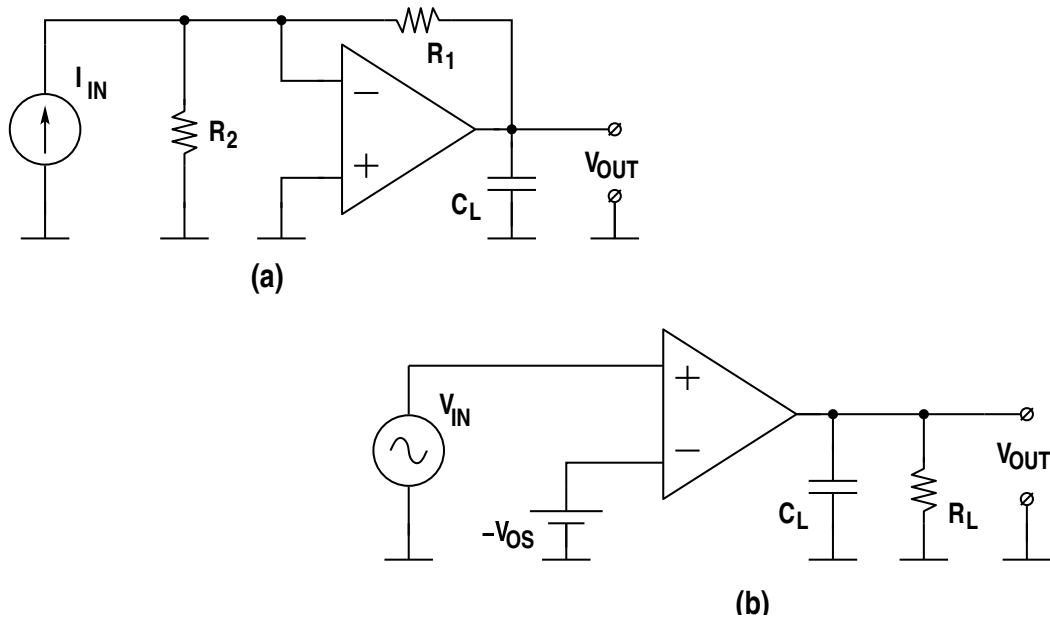


Figura 2.10: Configurações para medições dos parâmetros do AmpOp: (a) conversor I-V e (b) amplificador em aberto com *offset* corrigido

versor I-V, porém de amplitude igual a  $4\mu A$ . A Figura 2.12 mostra o resultado da simulação realizada. O valor do *settling-time* medido é de cerca de  $370ns$ .

O *offset* sistemático foi obtido através da simulação do ponto de operação DC, do arranjo indicado na Figura 2.10.a, com a corrente de entrada  $I_{IN} = 0$ . Neste caso a tensão de saída do amplificador operacional é dada por (2.25) [19, 20]

$$V_{OUT} = V_{OS} \cdot \left(1 + \frac{R_1}{R_2}\right) \quad (2.25)$$

O circuito indicado na Figura 2.10.b foi utilizado para levantar as curvas de magnitude e fase do ganho em malha aberta do amplificador operacional. O *offset* do AmpOp foi compensado através da fonte de tensão colocada à entrada inversora do mesmo. Os resultados obtidos são mostrados na Figura 2.13.

A Tabela 2.2 traz um resumo dos principais parâmetros do amplificador operacional verificados em simulação e experimentalmente.

As medidas experimentais apresentadas na Tabela 2.2 foram obtidas com arranjos semelhantes aos da Figura 2.10, a exceção do ganho AC. O arranjo utilizado neste caso é mostrado na Figura 2.14, que tem a virtude de compensar o *offset* do AmpOp, garantindo a medição no ponto de máximo ganho da curva DC do componente. Nova-

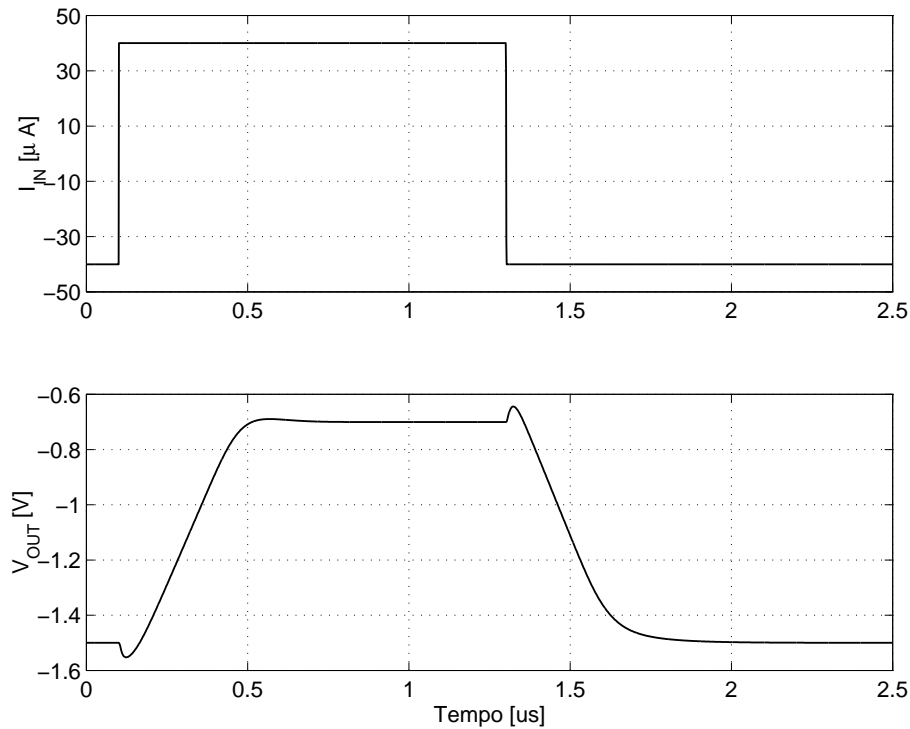


Figura 2.11: Tensões de entrada ( $V_{IN}$ ) e saída ( $V_{OUT}$ ) para medição do *slew-rate*

mente a tensão de referência para este circuito é  $V_{BIAS}$ . Para o circuito da Figura 2.14 e com  $R_i = R_f$ , o ganho em aberto do AmpOp é igual a  $A = -\frac{v_o}{v_x} \cdot \frac{R_2 + R_3}{R_3}$ . Os valores medidos através deste arranjo são mostrados nas curvas da Figura 2.15. O valor de  $R_2$  é igual a  $100k\Omega$ ,  $R_3 = 10k\Omega$  e  $C = 1000\mu F + 47\mu F$  (eletrolítico + poliéster).

A medição experimental do *Settling-Time* é dificultada pela precisão dos equipamentos disponíveis. Desta forma, o valor medido apenas representa uma estimativa.

## 2.5 Comparador de Tensão

Para implementar o comparador de tensão utilizamos a mesma estrutura do AmpOp. Desta forma, aproveitamos o projeto executado e o leiaute realizado para implementação integrada. Como única diferença entre os componentes, no comparador de tensão a compensação Miller é retirada. Uma vez que o comparador de tensão não opera com qualquer tipo de realimentação, tal compensação não é necessária. Assim, podemos aumentar a velocidade de operação do comparador. Para acelerar a resposta do comparador, outras estruturas podem ser utilizadas, como por exemplo, às do tipo



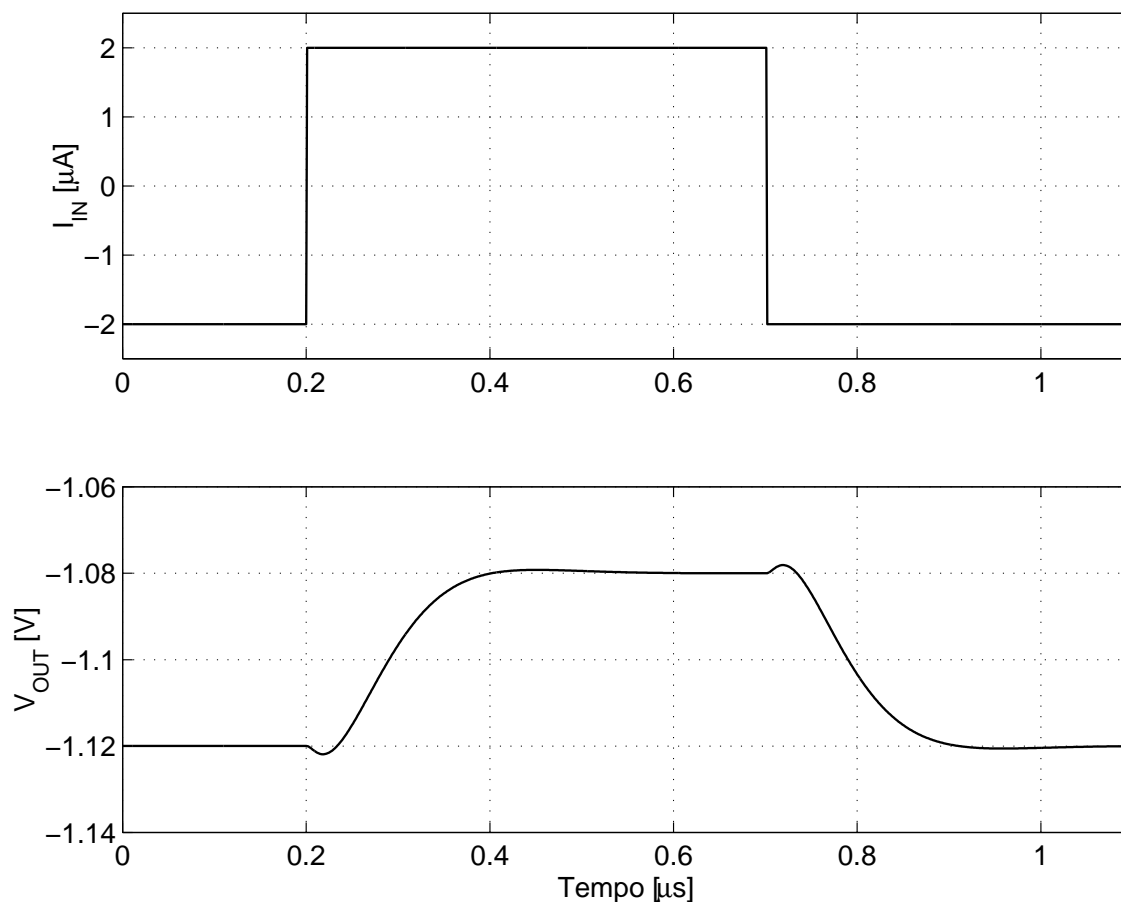


Figura 2.12: Tensões de entrada ( $V_{IN}$ ) e saída ( $V_{OUT}$ ) para medição do *settling-time* com  $R_L = 10k\Omega$  e  $C_L = 16pF$

*latch*.

O ganho DC da estrutura é o mesmo que o verificado para o AmpOp (69, 1dB). O capacitor de compensação não tem qualquer influência sobre esta medida. Em relação ao atraso da resposta do comparador, denominado  $\Delta_t$ , é necessário observar que este é dependente tanto da frequência do sinal aplicado como da amplitude do mesmo. A determinação teórica deste atraso é ainda mais dificultada se considerarmos a imprecisão na avaliação dos valores das capacitâncias parasitas desta célula. No entanto, como veremos na Seção 3.3.2, a determinação deste atraso pode ser importante na previsão dos limites de operação do *Schmitt-trigger*, caso  $2\pi\Delta_t$  seja da mesma ordem de grandeza ou maior que  $1/GBW_{AmpOp}$  (vide Equação (3.11), Seção 3.3.2). Neste caso, podemos simular o comparador de tensão em condições (amplitude e frequência) próximas às da aplicação pretendida e utilizar os valores obtidos nas simulações como valores teóricos de  $\Delta_t$ .

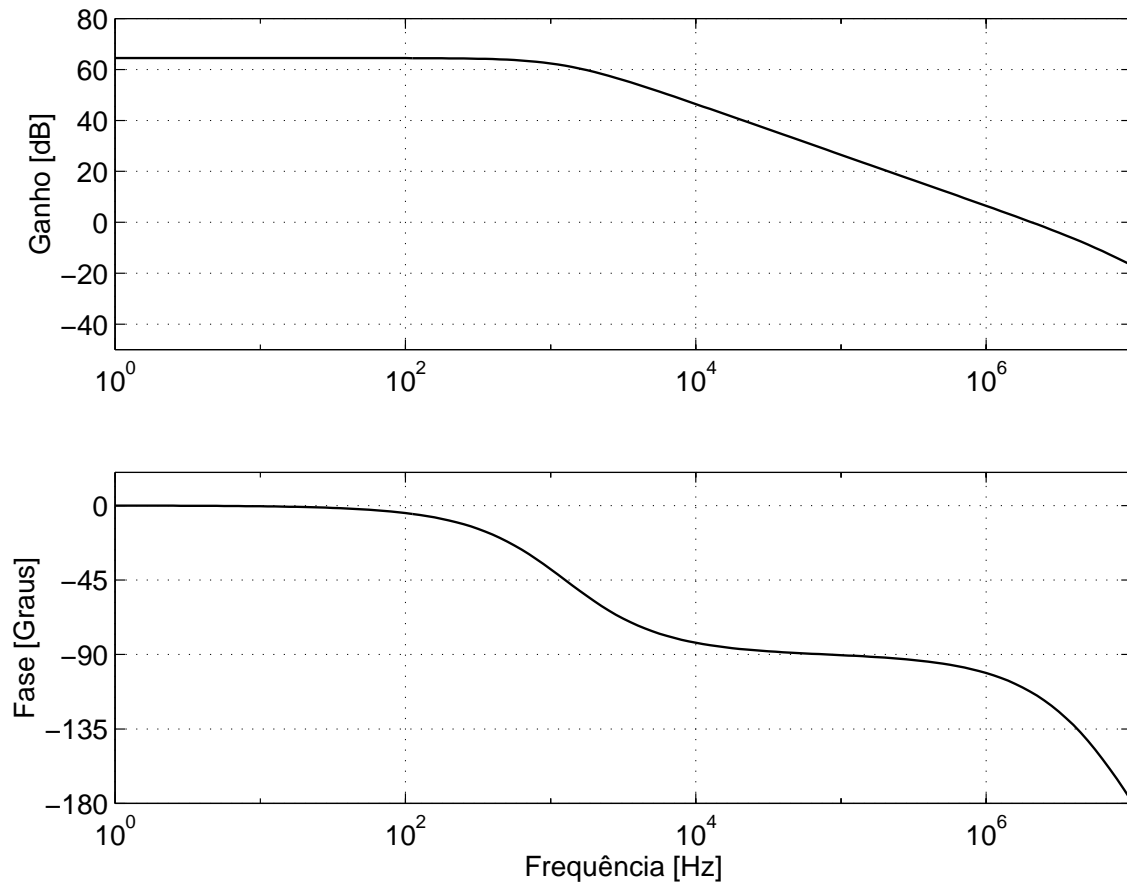


Figura 2.13: Magnitude e fase do ganho de malha aberta do AmpOp em função da frequência para  $R_L = 10k\Omega$  e  $C_L = 16pF$

Parâmetro	Simul.	Experim.	Unidade
<i>Slew-Rate</i> ( $SR^+)/(SR^-)$ )	2,7/-2,9	2,4/-2,8	V/ $\mu$ s
<i>Settling-Time</i> ( $ST$ )	370	$\approx$ 400	ns
Ganho DC ( $DC_{GAIN}$ )	69,1	61,9	dB
Produto Ganho-Banda ( $GBW$ )	2,04	2,0	MHz
<i>Offset</i> ( $V_{offset}$ )	7,4 <sup>a</sup>	1000 <sup>b</sup>	$\mu$ V
Corrente de Polarização	144	- <sup>c</sup>	$\mu$ A

<sup>a</sup> *offset* sistemático médio entre 4 amostras

<sup>b</sup> *offset* aleatório

<sup>c</sup> Não havia uma amostra isolada para medição da corrente de polarização total

Tabela 2.2: Resumo das características do amplificador operacional

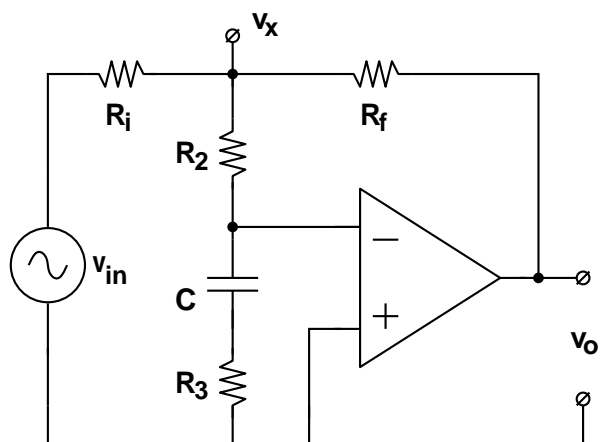


Figura 2.14: Arranjo experimental para medição do ganho em função da frequência

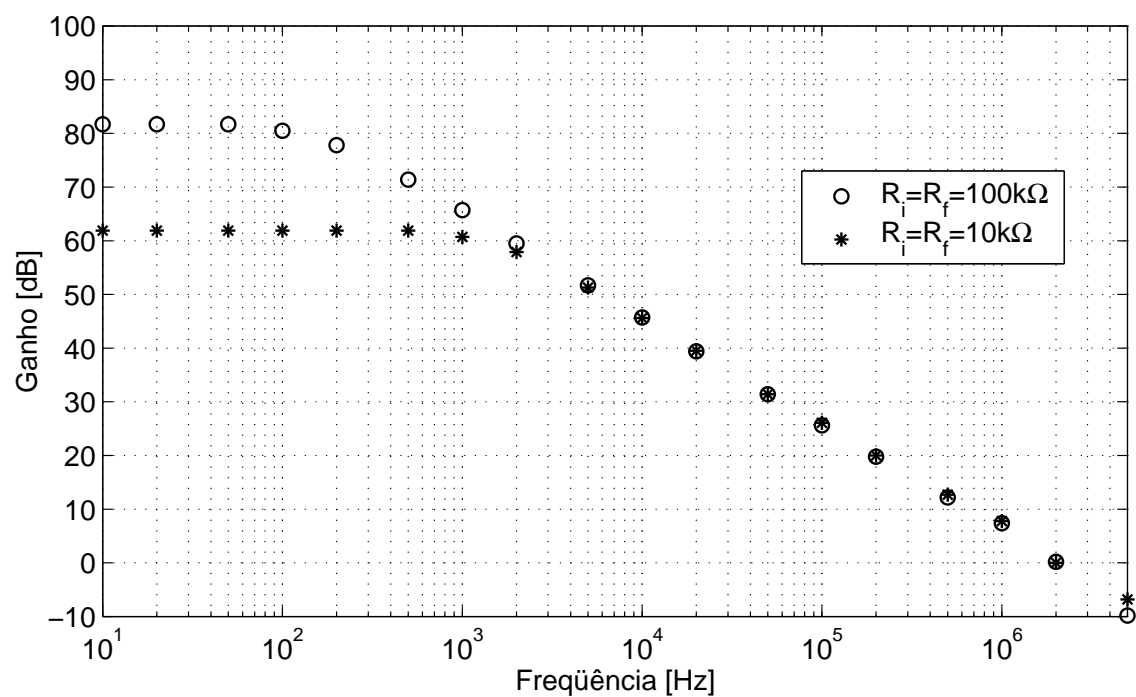


Figura 2.15: Curvas experimentais do ganho do AmpOp em função da frequência

# Capítulo 3

## Comparador de Corrente

### *Schmitt-trigger*

Neste capítulo apresentaremos o comparador de corrente *Schmitt-trigger* proposto, sendo este a essência do trabalho. Inicialmente apresentaremos uma estrutura não-programável. Esta abordagem inicial, por sua simplicidade, torna mais transparente o funcionamento do comparador. Depois introduziremos o elemento que permite a programabilidade do comparador, o MOCD. Uma atenção especial é dedicada no fim deste capítulo à análise das fontes de erros básicos que podemos verificar no *Schmitt-trigger* [21, 22].

### 3.1 Comparador *Schmitt-trigger* Não-programável

A estrutura do comparador não-programável é mostrada na Figura 3.1. A variável de entrada é a corrente  $I_{IN}$ . A tensão do nó de entrada  $N_1$  é fixada através do curto-circuito virtual do AmpOp  $A_1$ . Ao transistor  $M_1$  deve ser garantida a operação na região triodo. Assim, o valor máximo da corrente de entrada  $I_{IN\_MAX}$  é limitada pela relação

$$I_{IN\_MAX} < I_{D1\_SAT} - I_{REF} \quad (3.1)$$

onde  $I_{D1\_SAT}$  é a corrente de saturação para o transistor  $M_1$ . Caso  $M_1$  venha a entrar em saturação, o mesmo acontecerá com o AmpOp  $A_1$  e o comportamento do *Schmitt-trigger*

ficará descaracterizado. De fato,  $M_1$  e  $A_1$  atuam em conjunto como um conversor I-V. As tensões de saída  $V_X$  e  $\overline{V_X}$  são complementares. Elas controlam os transistores  $M_X$  e  $M_Y$ , respectivamente, que são responsáveis pela formação do *loop* de histerese. Os transistores  $M_X$  e  $M_Y$  estão polarizados exatamente com os mesmos conjuntos de tensões ( $V_{GB}$ ,  $V_{SB}$  e  $V_{DB}$ ) que os transistores  $M_A$  e  $M_B$  (Figura 2.4.a) do circuito de polarização. É bem verdade que  $M_X$  e  $M_Y$  não conduzem simultaneamente como  $M_A$  e  $M_B$ . Porém, como  $M_X$  é idêntico a  $M_Y$ , a imposição de  $V_{BIAS}$  ao nó  $N_1$  garante  $I_{DMX} = I_{DMY} = \frac{I_{MAX}}{2}$  (Seção (2.2)).

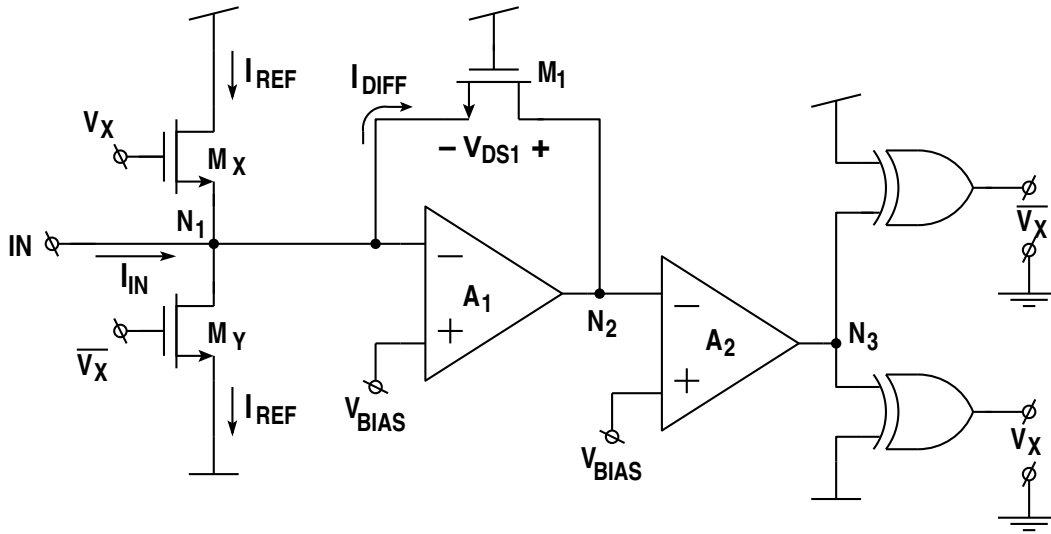


Figura 3.1: Comparador de corrente não-programável

Agora vamos determinar os pontos de comutação do laço de histerese. Tomamos a corrente que percorre  $M_X$  (e  $M_Y$ ) como uma corrente de referência  $I_{REF}$ , conforme indicado na Figura 3.1. A saída do comparador  $A_2$  comutará (conseqüentemente  $V_X$  e  $\overline{V_X}$ ) sempre que a corrente  $I_{DIFF}$  for zerada, pois, neste caso, a tensão  $V_{DS1}$  será zero e as tensões das entradas inversora e não-inversora do comparador  $A_2$  serão as mesmas e iguais a  $V_{BIAS}$ . O comparador  $A_2$  estará no limiar de comutação.

A corrente  $I_{DIFF}$  é dada por (3.2) ou (3.3), dependendo do estado de  $V_X$

$$I_{DIFF} = I_{IN} + I_{REF}, \quad \text{se } V_X = \text{HIGH} \quad (3.2)$$

$$I_{DIFF} = I_{IN} - I_{REF}, \quad \text{se } V_X = \text{LOW} \quad (3.3)$$

Caso  $V_X$  esteja no estado **HIGH**, o transistor  $M_X$  estará conduzindo e  $M_Y$  estará “desligado”. De acordo com (3.2), para que a corrente  $I_{DIFF}$  seja zero, a corrente  $I_{IN}$

deve ser  $-I_{REF}$ . Neste caso, haverá uma comutação do estado **HIGH** para o estado **LOW**. De forma dual, caso  $V_X$  esteja no estado **LOW**,  $M_Y$  estará conduzindo e  $M_X$  “desligado”. De acordo com (3.3),  $I_{IN}$  deverá ser igual a  $+I_{REF}$  para que  $I_{DIFF}$  seja zero. Neste caso, haverá uma comutação do estado **LOW** para o estado **HIGH**. A Figura 3.2 mostra o laço de histerese obtido

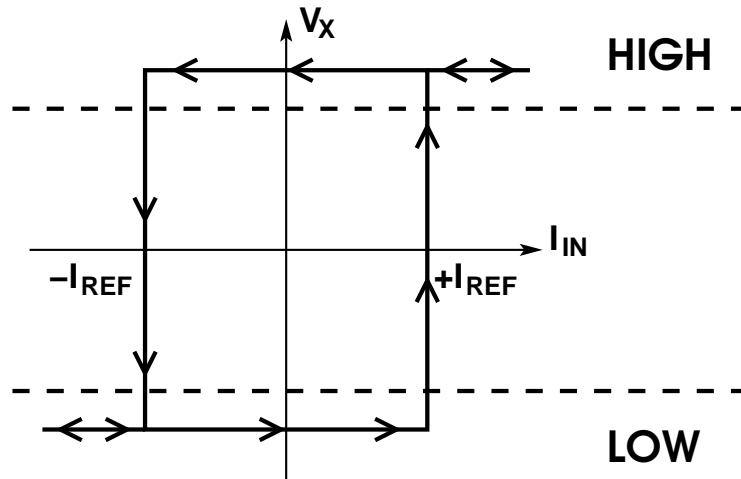


Figura 3.2: Curva de histerese para o comparador de corrente não-programável

A utilização de portas lógicas XOR como inversoras faz com que os atrasos das tensões  $V_X$  e  $\overline{V_X}$  em relação a  $V_{N3}$  sejam parecidos. O uso de dois inversores em cascata produziria sinais complementares com atrasos diferentes em relação ao sinal original  $V_{N3}$ .

### 3.2 Comparador *Schmitt-trigger* Programável

Vimos no item anterior que o laço de histerese do *Schmitt-trigger* é definido pelos valores das correntes que circulam nos ramos onde estão situados os transistores  $M_X$  e  $M_Y$ , e que são injetadas no nó  $N_1$ . Quando substituimos estes dois transistores por redes divisoras de corrente MOCD, conforme indicado na Figura 3.3, as correntes injetadas no nó  $N_1$  não serão mais  $\pm I_{REF}$  e sim uma parcela destas correntes de referência. Os novos valores de corrente injetados são  $+\alpha I_{REF}$  e  $-\beta I_{REF}$ . Como decorrência, os limites para a corrente de entrada  $I_{IN}$  para os quais teremos mudança de estado em  $V_X$  e  $\overline{V_X}$  serão igualmente ponderados.

A substituição proposta é perfeitamente aplicável, tendo em vista que o MOCD

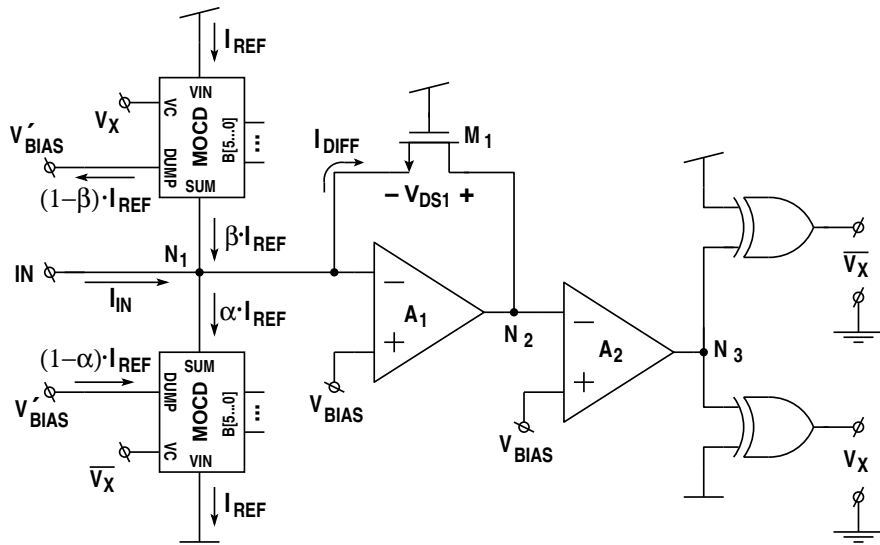


Figura 3.3: Comparador de corrente programável

tem o comportamento de um transistor composto. A tensão  $V_{BIAS}$  polariza os dois MOCD's de forma a terem correntes de entrada ( $I_{REF}$ ) iguais, semelhantemente aos transistores  $M_X$  e  $M_Y$ . As curvas da Figura 3.4 foram obtidas por simulação, no simulador de circuitos SMASH [23], e demonstram o controle sobre o laço de histerese. Os fatores  $\alpha$  e  $\beta$  podem ser programados independentemente.

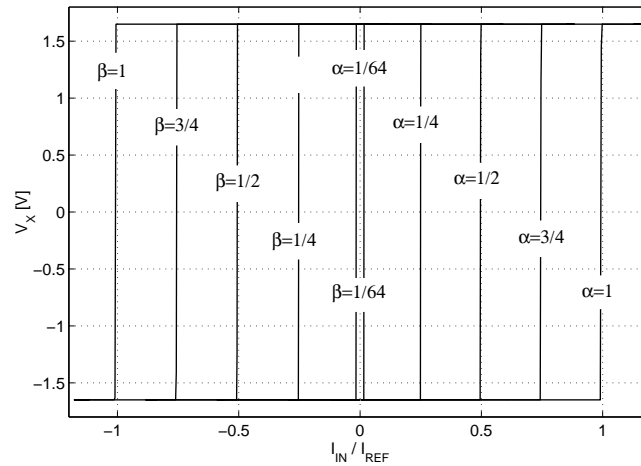


Figura 3.4: Curvas DC de histerese do comparador de corrente programável obtidas por simulação

A programabilidade obtida permite total controle sobre a curva de histerese e pode ser explorada de diversas formas. Por exemplo, pode-se compensar os erros introduzidos pelo descasamento entre dispositivos, imprecisão dos parâmetros tecnológicos, etc. Desta forma, este *Schmitt-trigger* pode ser utilizado em aplicações que requeiram

alta precisão.

### 3.3 Análise de Erros

Há dois erros básicos que podemos verificar na curva de histerese: um deslocamento para a esquerda ou direita em relação à origem e uma abertura do laço, como exemplificados na Figura 3.5. O primeiro é causado por uma corrente de *offset* que adiciona um erro sistemático à curva de histerese independente dos valores de  $\alpha$  e  $\beta$  selecionados. Sua origem principal são as tensões de *offset* dos amplificadores  $A_1$  e  $A_2$ . O segundo erro é causado por um atraso de chaveamento entre o instante em que a corrente de entrada  $I_{IN}$  alcança o nível desejado de comparação e o instante em que efetivamente há a troca de estado nas tensões de saída. O giro de fase do AmpOp  $A_1$  e o atraso da resposta do comparador  $A_2$  são as principais causas desta abertura do laço de histerese.

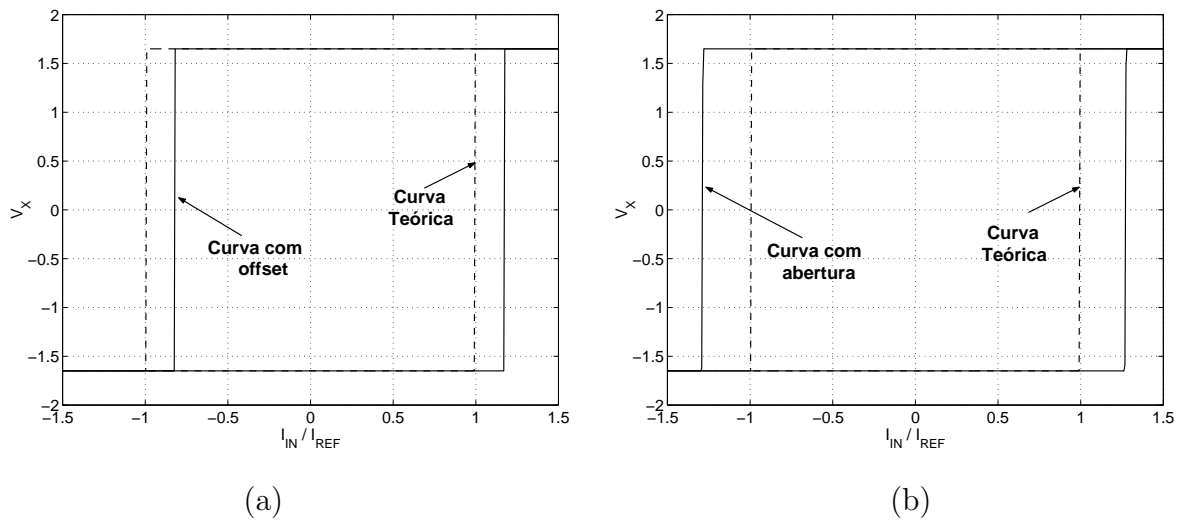


Figura 3.5: Representação gráfica dos principais erros da curva de histerese: (a) deslocamento e (b) abertura do laço de histerese.

#### 3.3.1 Deslocamento do Laço de Histerese

Primeiro vamos considerar somente o efeito da tensão de *offset* de  $A_1$ , a qual denominamos  $V_{OS_1}$ . Com este *offset*, a tensão do nó  $N_1$  será igual a  $V_{BIAS} + V_{OS_1}$ .



Para a comutação do comparador  $A_2$ , que ocorre quando a tensão de sua entrada inversora atinge  $V_{BIAS}$ , precisaremos de uma corrente  $I_{DIFF}$  igual a  $V_{OS-1} \cdot g_{ms1}$ . De acordo com (2.4) e (2.7),  $g_{ms1}$  é definida por

$$g_{ms1} = \mu n C'_{OX} \frac{W}{L} \left( \frac{V_{DD} - V_{SS} - V_{TH}}{n} - V_{BIAS} - V_{SS} \right) \quad (3.4)$$

Por outro lado, assumindo que a tensão de *offset* do comparador  $A_2$  seja  $V_{OS-2}$ , a nova tensão a qual a entrada inversora de  $A_2$  deve estar submetida para haver comutação é  $V_{BIAS} + V_{OS-2}$ . Novamente,  $I_{DIFF}$  necessitará de uma corrente de *offset* extra, desta vez igual a  $V_{OS-2} \cdot g_{ms1}$ .

Um outro efeito conseqüente da tensão de *offset*  $V_{OS-1}$  é que a tensão do nó  $N_1$  sendo diferente de  $V_{BIAS}$ , as correntes de referência que percorrem os MOCD's não serão iguais. O deslocamento do laço devido a este erro é igual a  $V_{OS-1} \cdot g_{msm}$ , onde  $g_{msm}$  representa a trancondutância do MOCD. Esta trancondutância é dependente do valor da palavra de controle  $\alpha$ . Porém, para o pior caso ( $\alpha = 1$ ),  $g_{msm}$  é dada aproximadamente por:

$$g_{msm} = \mu n C'_{OX} \frac{W_U}{2L_U} \left( \frac{V_{DD} - V_{SS} - V_{TH}}{n} - V_{BIAS} - V_{SS} \right) \quad (3.5)$$

onde  $\frac{W_U}{L_U}$  é a razão de aspecto de cada transistor que compõe MOCD.

A combinação dos três acréscimos explanados implica em uma corrente de *offset* no laço de histerese dada por

$$I_{OS} = (V_{OS-1} + V_{OS-2}) \cdot g_{ms1} + V_{OS-1} \cdot g_{msm} \quad (3.6)$$

Este erro pode ser minimizado com um leiaute cuidadoso para minimizar as tensões  $V_{OS}$ . Valores menores de  $g_{ms1}$  poderiam reduzir  $I_{OS}$ . Porém,  $A_1$  saturaria para valores menores de  $I_{IN}$ , limitando o valor máximo da corrente de entrada do *Schmitt-trigger*. Há um compromisso.

### 3.3.2 Abertura do Laço de Histerese

Para verificar a influência da resposta em frequência de  $A_1$ , consideramos  $\theta_c$  como sendo a defasagem entre sinais sinusoidais  $i_{in}$  e  $v_{N2}$ , relativos à corrente de entrada

e à tensão presente à saída do AmpOp  $A_1$  (vide Figura 3.3), em uma determinada frequência. Podemos mostrar que a defasagem  $\theta_c$  pode ser calculada por (vide Anexo A):

$$\theta_c \approx \left(1 + \frac{(W/L)_{moad}}{(W/L)_1}\right) \cdot \frac{f}{GBW}, \quad (3.7)$$

onde  $(W/L)_{moad}$  é igual a  $\frac{W_U}{2L_U}$  (vide Seção 2.3), que é válida para pequenos valores de defasagem. O efeito de  $\theta_c$  é exemplificado graficamente na Figura 3.6. O que podemos observar nesta figura é que o chaveamento ideal ocorreria quando  $I_{IN}$  alcançasse o valor  $\alpha I_{REF}$  ( $\beta I_{REF}$ ). Neste instante,  $V_{N2}$  deveria ser igual a  $V_{BIAS}$ . Porém,  $V_{N2}$  atinge este valor com um certo atraso devido à defasagem  $\theta_c$ , acarretando um erro  $\Delta_i$ .

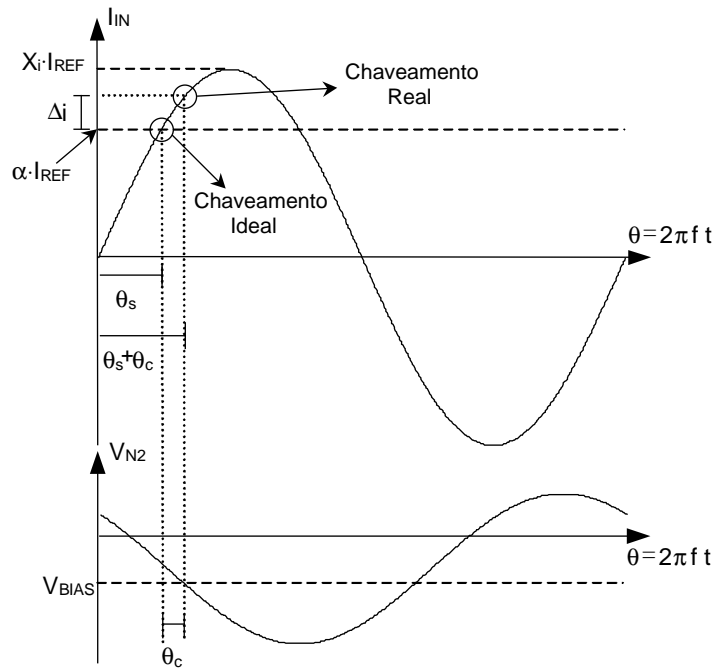


Figura 3.6: Erro de chaveamento causado pelo atraso de fase do AmpOp

O erro relativo  $\Delta_i/\alpha I_{REF}$  é dado por (3.8), onde  $X_i = \frac{I_{INMAX}}{I_{REF}}$  é o valor de pico da corrente de entrada  $I_{IN}$  normalizado em relação a  $I_{REF}$ .

$$\varepsilon = \frac{\Delta_i}{\alpha \cdot I_{REF}} \approx \frac{X_i}{\alpha} \cdot \theta_c \cdot \cos(\theta_s) \quad (3.8)$$

Respeitando o conceito de pequenos sinais que nos permitiu introduzir um modelo AC para o conversor I-V, podemos supor a condição  $X_i/\alpha \gg 1$ . Assim, teremos pequenos valores de  $\theta_s$  e (3.8) pode ser simplificada como:

$$\varepsilon = \frac{\Delta_i}{\alpha \cdot I_{REF}} \approx \frac{X_i}{\alpha} \cdot \theta_c \quad (3.9)$$

Utilizando as Equações (3.7) e (3.9), obtemos uma relação que fornece o erro como uma função da frequência, dada por:

$$\varepsilon \approx \left(1 + \frac{(W/L)_{mocd}}{(W/L)_1}\right) \cdot \frac{f}{GBW} \cdot \frac{X_i}{\alpha} \quad (3.10)$$

Há ainda uma parcela a ser acrescida a  $\varepsilon$  relativa ao erro introduzido pelo atraso  $\Delta_t$  do comparador  $A_2$ . Considerando o exposto na Seção 2.5, onde afirmamos que  $\Delta_t$  é dependente da frequência e da amplitude do sinal  $v_{N2}$ , vamos admitir um  $\Delta_t(f_i, v_i)$  como sendo o atraso  $\Delta_t$  a uma dada frequência  $f_i$  e uma amplitude  $v_i$ . Assim, (3.10) pode ser particularizada nesta condição e obtemos o erro  $\varepsilon_i$  dado por:

$$\varepsilon_i \approx \left[ \left(1 + \frac{(W/L)_{mocd}}{(W/L)_1}\right) \cdot \frac{1}{GBW} + 2\pi\Delta_t(f_i, v_i) \right] \cdot f_i \frac{X_i}{\alpha} \quad (3.11)$$

Caso seja garantido  $\Delta_t(f_i, v_i) \ll 1/GBW$  na faixa de frequência de interesse, a Equação (3.10) é suficiente para fornecer uma boa estimativa dos erros em frequência esperados para o *Schmitt-trigger*. Quando a condição  $X_i/\alpha \gg 1$  não for verificada, ainda podemos utilizar a Equação (3.8) para obter uma referência aproximada do valor do erro  $\varepsilon$ .

A Equação (3.11) nos permite visualizar o efeito do  $GBW$  do AmpOp  $A_1$  no desempenho do *Schmitt-trigger*, mostrando que o erro é linearmente dependente da frequência. O efeito do atraso do comparador de tensão  $A_2$  também é sentido da mesma forma. Porém, a condição  $\Delta_t \ll 1/GBW$  não é difícil de ser obtida com um projeto mais refinado de  $A_2$ , o que tornaria o erro pouco sensível ao atraso do comparador. Por fim, no *Schmitt-trigger* implementado, a relação entre a razão de aspecto equivalente do MOCD e a razão de aspecto do transistor  $M_1$  é menor ou igual a 4 e, assim, o erro introduzido pelo MOCD contribuirá com menos que 25% do erro total verificado.

# Capítulo 4

## Implementação e Resultados

Como parte importante do ciclo de implementação de qualquer sistema integrado, a confecção do leiaute e envio dos dados às *foundries* requer uma atenção especial. Há um conjunto de regras básicas [24], denominadas *design rules*, que devem ser obedecidas sob grande risco da não funcionalidade do circuito caso sejam ignoradas [24]. Tais regras são impostas pelos limites da fotolitografia e algumas outras considerações físicas inerentes ao processo de fabricação [25].

Além destas regras básicas determinadas pela *foundry*, existe um outro tipo de conjunto de regras que, principalmente em circuitos analógicos, tem relação direta com o desempenho do sistema implementado. Essas regras dizem respeito ao casamento ou *matching* dos transistores, capacitores, resistores, etc. e, diferentemente das *design rules*, não são invioláveis. Mas é extremamente recomendado que sejam seguidas. Caso contrário, pode-se chegar ao extremo de descaracterizar o funcionamento do circuito. Tais regras estão muito bem resumidas e exemplificadas em [26] e [27]. Implicam em manter os dispositivos a serem casados sob estruturas iguais, mesma temperatura, mesmo formato e tamanho, o mais próximos possível, manter mesmo centróide geométrico, mesma orientação, mesma vizinhança e não utilizar dimensões mínimas.

Por fim, os testes de bancada têm a finalidade de verificar a real funcionalidade dos circuitos, trazendo à tona imperfeições e não-idealidades impossíveis de serem previstas com precisão. Assim, neste capítulo mostramos o leiaute executado para o *Schmitt-trigger* proposto e apresentamos resultados obtidos em testes de bancada para

um protótipo integrado em tecnologia CMOS convencional, no processo CYE AMS  $0.8\mu\text{m}$  com duplo metal e duplo polisilício.

## 4.1 O Leiaute do *Schmitt-trigger*

O comparador de corrente *Schmitt-trigger* proposto foi implementado através do Centro de Tecnologia da Informação - ITI situado em Campinas. Utilizamos o serviço PMU (Projeto Multi-Usuários) por eles oferecidos. O circuito proposto opera com tensões de alimentação de  $\pm 1,65V$ . As figuras que apresentaremos mostram o leiaute feito como parte dos dados enviados à *foundry*. O leiaute foi realizado no software *L-EDIT<sup>TM</sup>*.

O leiaute das redes MOCD's implementadas é indicado na Figura 4.1. Todos os transistores desta rede têm dimensões  $W = 4\mu\text{m}$  e  $L = 5\mu\text{m}$ . É uma rede de 6 bits e os resultados obtidos com ela são satisfatórios (Figuras 2.7 e 2.8). Um leiaute mais refinado é necessário para se conseguir uma rede de 7 ou 8 bits. A Figura 4.2 mostra o leiaute do AmpOp projetado. Suas características têm influência direta no *Schmitt-trigger* e desta forma, uma atenção redobrada foi dispensada neste leiaute. A Figura 4.3 mostra o leiaute do comparador de tensão. Note a ausência do capacitor de compensação. Por último, uma visão global do núcleo (*core*) do *Schmitt-trigger* (Figura 4.4). Especificamente nesta implementação, foram integrados dois comparadores de corrente além de um circuito de polarização. A estrutura é composta por 513 transistores, numa área de  $0,7\text{mm}^2$  se considerarmos só o núcleo do projeto e de  $2,4\text{mm}^2$  com os PAD's necessário para a conexão com o encapsulamento.

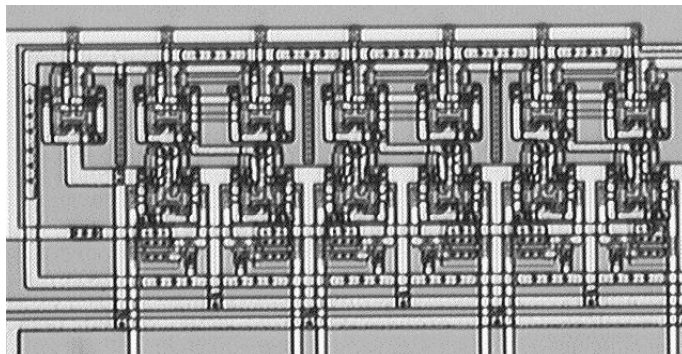


Figura 4.1: Fotomicrografia do leiaute realizado para os MOCD's

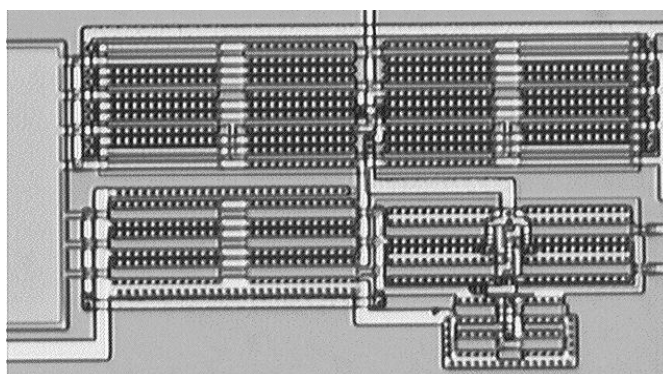


Figura 4.2: Fotomicrografia do leiaute do AmpOp

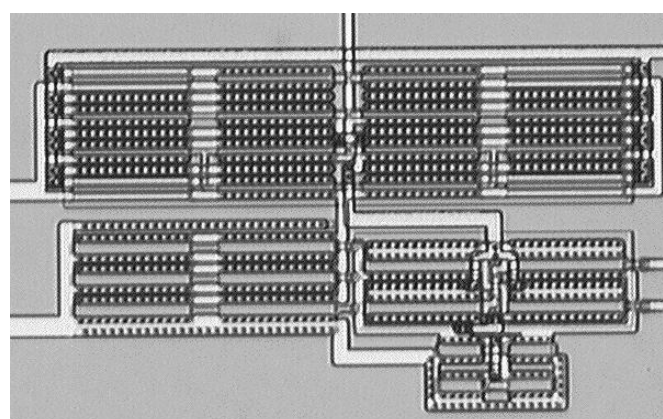


Figura 4.3: Fotomicrografia do leiaute do comparador de tensão

## 4.2 Resultados Experimentais

A seguir apresentamos resultados obtidos em testes de bancada, finalizando o ciclo de projeto do *Schmitt-trigger* proposto. A Figura 4.5 mostra curvas de histerese DC obtidas para diversos valores de  $\alpha$  e  $\beta$ . As medidas foram realizadas em um analisador de parâmetros HP 4145B. Estes resultados mostram a programabilidade do circuito. O *offset* aleatório para diferentes palavras de controle é originado, principalmente, dos erros na conversão D/A dos MOCD's e pode ser minimizado com um leiaute mais cuidadoso dos mesmos.

Para verificar o comportamento do comparador de corrente em função da frequência, a Figura 4.6 mostra os valores de comparação obtidos para  $\alpha = 1$  e um fator  $X_i = \frac{I_{IN\_pico}}{I_{REF}} = 1,4$ . O comportamento das duas curvas é semelhante. Concordando com a equação teórica (3.11), a medida que nos aproximamos de  $GBW$ , o atraso de fase do AmpOp degrada o desempenho do *Schmitt-trigger*. O funcionamento do compara-

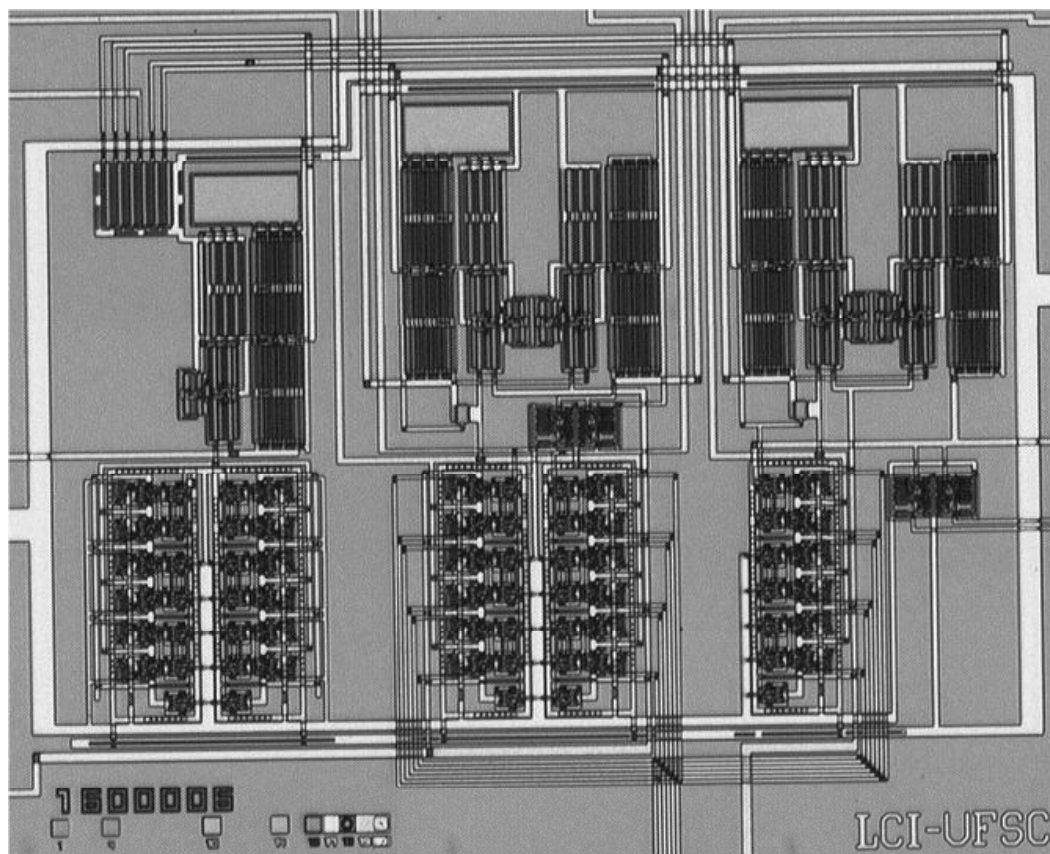


Figura 4.4: Fotomicrografia do *Schmitt-trigger* implementado

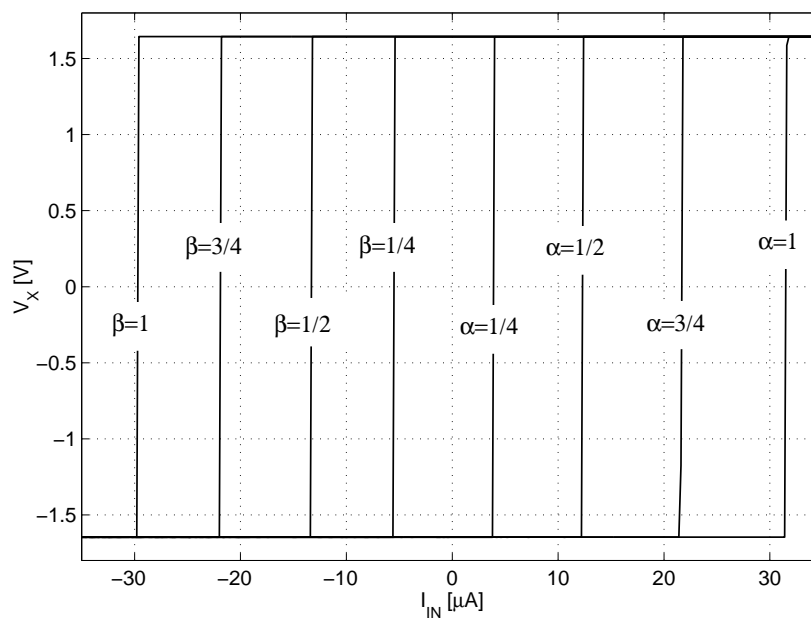


Figura 4.5: Curvas de histerese DC experimentais

dor de corrente proposto pode ser considerado satisfatório para frequências inferiores a  $f \leq 20kHz$  ou duas décadas aquém do  $GBW$  do AmpOp. Nesta faixa de frequências,

há uma diferença menor ou igual a 5%, na abertura do laço de histerese, em relação ao valor observado para  $f = 10\text{Hz}$ . A diferença de cerca de  $6\mu\text{A}$  entre os patamares das duas curvas é oriunda, principalmente, das diferenças entre os parâmetros tecnológicos utilizados na simulação e seus valores reais. Tais diferenças podem ser corrigidas através da programação digital do *Schmitt-trigger*.

Por fim, as curvas de histerese mostradas na Figura 4.7 foram medidas a  $20\text{kHz}$ , para  $\alpha = 1$  e  $\alpha = 1/2$  e  $X_i \approx 1, 4$ .

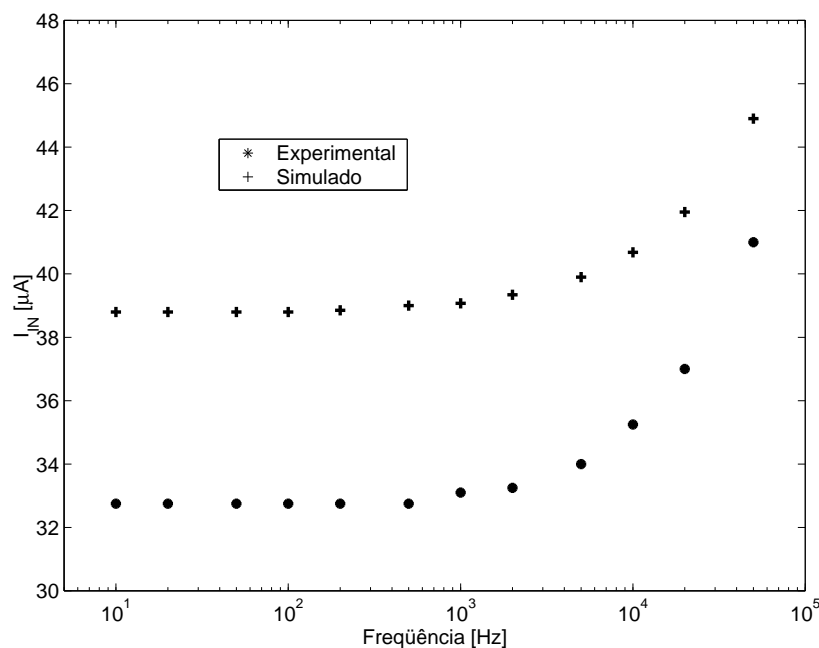


Figura 4.6: Valores de comparação da corrente de entrada  $I_{IN}$  para  $\alpha = 1$  e  $X_i \approx 1, 4$  em função da frequência

Recentemente, descobrimos a existência de um FPAA comercial lançado pela Anadigm Ltd. [28]. O FPAA AN10E40 contém, entre outros 19 blocos básicos, um Schmitt-trigger de tensão digitalmente programável. Trata-se de um **comparador de tensão** baseado na técnica de capacitor-chaveado e, como consequência, traz as conhecidas limitações desta técnica a aplicações de baixa tensão. Ainda, para o funcionamento do circuito é necessário a geração externa de um *clock* que servirá como referência ao circuito. Os limites de comutação são determinados pela razão dos valores de dois capacitores, havendo disponíveis bancos de 256 valores possíveis de capacitores. O laço obtido é, teoricamente, simétrico em relação à origem, não havendo programação dos limites positivo e negativo separadamente. A limitada documentação encontrada deixa



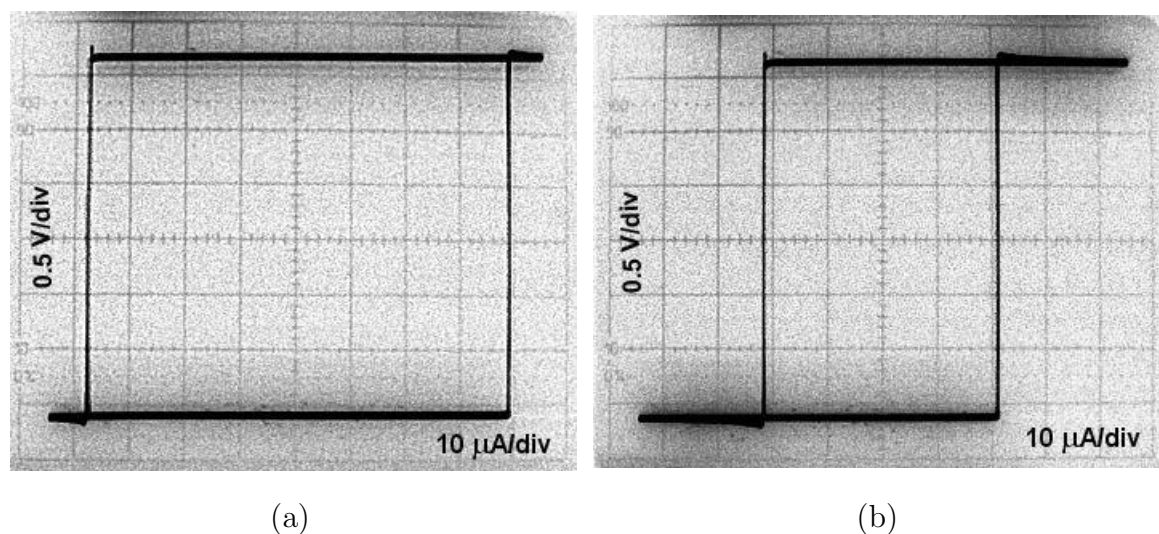


Figura 4.7: Curvas de histerese obtidas a 20kHz para (a)  $\alpha = \beta = 1$  e (b)  $1/2$

a entender que o circuito não pode ser configurado *in-circuit*, havendo a necessidade da desativação da sua funcionalidade quando este está sendo programado. Não foi possível a comparação de desempenho, pois não foi encontrado algum tipo de documentação que indicasse fatores de mérito como *offset's*, limitação em frequência, área ocupada, etc. Em relação a área ocupada, os bancos de capacitores utilizados para possibilitar a programação no AN10E40 devem ocupar uma área consideravelmente superior aos MOCD's, indicando que o circuito aqui proposto resultaria em um menor consumo de área. Também não foram encontradas curvas experimentais do funcionamento apenas do *Schmitt-trigger* do AN10E40 para possibilitar uma comparação direta.

# Capítulo 5

## Gerador de Sinais

Com o aumento da integração de circuitos analógicos e digitais em um único *chip*, os chamados SoC (*System on a Chip*), o desafio de testar funções de sinais-mistos (*mixed-signals*) tornou-se extremamente complexo em termos de tempo de desenvolvimento dos testes, do custo e complexidade de equipamentos de auto-teste e do tempo dos testes na linha de produção. Atualmente, há algumas metodologias disponíveis para realizar auto-testes internos, os chamados *Built-In Self-Test* (BIST), que permitem a parte analógica destes SoC's testarem a si próprios eficientemente [29]. Para isso é necessário que o próprio sistema gere internamente seus sinais de referência, *clock's*, sinais de excitação, etc. Para suprir esta necessidade surge um campo a ser explorado que são os circuitos geradores de sinais. Os sinais conhecidos como onda quadrada e triangular são comumente requeridos nestes geradores. Além da aplicação em auto-testes de sistemas eletrônicos, os geradores de sinais também são utilizados como células neurais osciladoras [32, 30]. Ainda, como circuito analógico digitalmente programável, o gerador proposto apresenta todos os requisitos para ser utilizado na emergente tecnologia dos FPAA's (*Field Programmable Analog Array*) [31].

Neste capítulo vamos apresentar um circuito gerador de sinais digitalmente programável. Utilizando como base o *Schmitt-trigger* proposto, apresentamos um circuito capaz de atuar na frequência, *duty cycle* e amplitude dos sinais gerados através de programação digital. Assim como o *Schmitt-trigger*, o gerador proposto é pretendido para aplicações em áudio-frequências.

## 5.1 Gerador de Sinais

Uma forma clássica de implementar um oscilador de relaxação [19, 30] é construir um *loop* fechado contendo um comparador com histerese e um circuito integrador, como exemplificado na Figura 5.1. Neste arranjo duas formas de onda são geradas naturalmente: a onda quadrada e a triangular, como indicado na mesma figura.

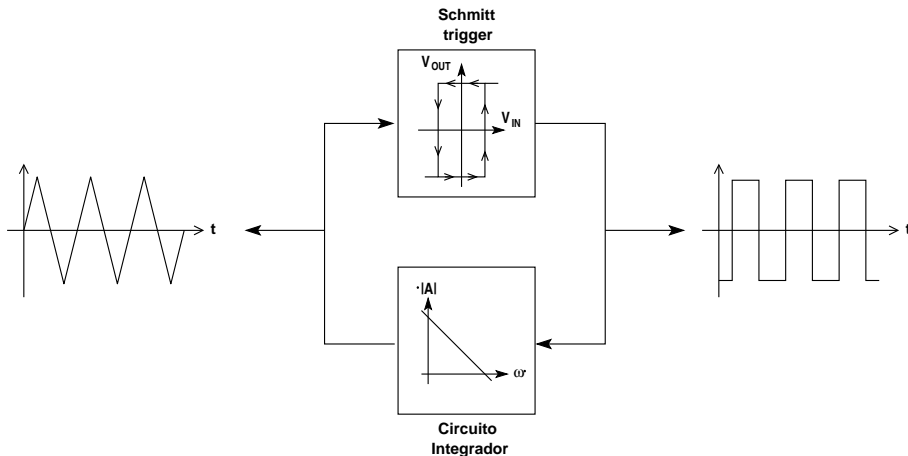


Figura 5.1: Esquema genérico de um oscilador de relaxação

A partir deste simples arranjo propomos o oscilador mostrado na Figura 5.2. Os sinais de saída do comparador  $V_X$  e  $\overline{V_X}$  realimentam os MOCD's que antecedem o circuito integrador. O sinal triangular  $V_{TR}$ , presente à saída do integrador, alimenta o comparador de corrente através da resistência  $R$ . Como indicado na curva de transferência do *Schmitt-trigger*, ele foi programado para ter uma laço de histerese simétrico com os valores de comparação iguais a  $\pm\beta I_R$ . A análise deste circuito mostrou que não há qualquer utilidade em tornar, por programação, este laço assimétrico. O transistor  $M_E$ , colocado em paralelo ao capacitor do circuito integrador, tem a função de chave liga/desliga do oscilador, através do sinal  $V_E$  aplicado ao seu *gate*. Desta forma,  $V_E$  pode ser usado como um sinal de *enable* permitindo, por exemplo, a utilização deste oscilador como uma célula neural [30]. De qualquer forma, quando o gerador estiver operando (oscilando) o transistor  $M_E$  estará cortado e, conseqüentemente, não terá influência no funcionamento do circuito.

A amplitude do sinal  $V_{TR}$  é estabelecida pelo valor de  $\beta$ . Para determinar esta amplitude observamos que:

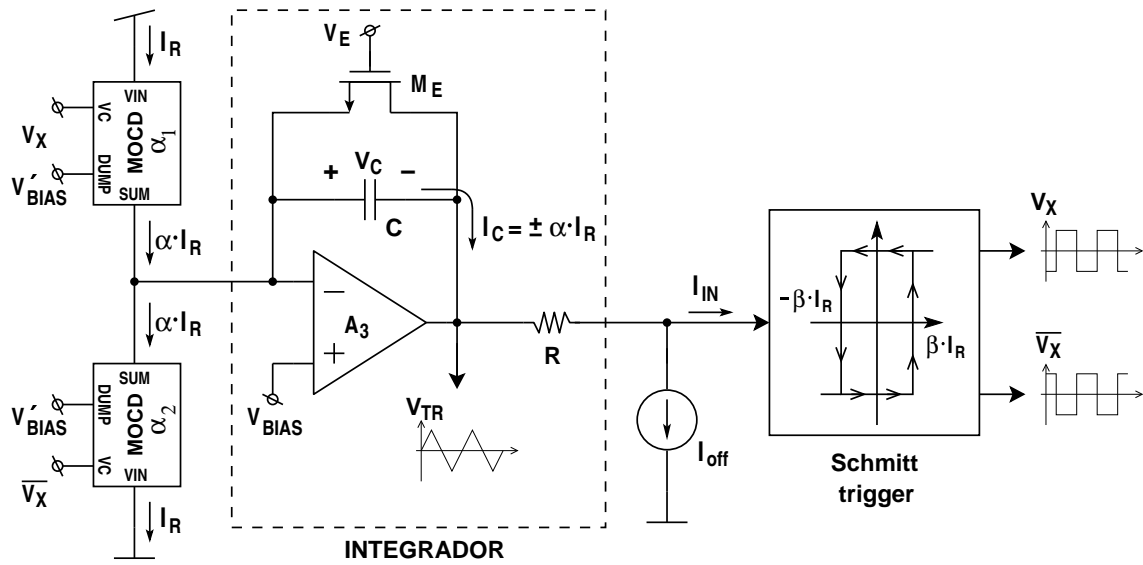


Figura 5.2: Estrutura base do gerador de sinais

$$I_{IN} = \frac{V_{TR} - V_{BIAS}}{R} - I_{off} \quad (5.1)$$

Devemos salientar que a tensão do nó de entrada do comparador de corrente é constante e igual a  $V_{BIAS}$  (Seção 3.1). Igualando (5.1) aos valores limites de comutação do *Schmitt-trigger* ( $\pm\beta I_R$ ), concluimos que os valores de pico do sinal  $V_{TR}$  serão dados por

$$\begin{aligned} V_{TR\text{máximo}} &= (+\beta I_R + I_{off}) \cdot R + V_{BIAS} \\ V_{TR\text{mínimo}} &= (-\beta I_R + I_{off}) \cdot R + V_{BIAS} \end{aligned} \quad (5.2)$$

ou

$$V_{TRp-p} = 2 \cdot \beta I_R \cdot R \quad (5.3)$$

Podemos reescrever (5.2) como:

$$\begin{aligned} V_{TR\text{máximo}} &= V_{off} + \beta I_R \cdot R \\ V_{TR\text{mínimo}} &= V_{off} - \beta I_R \cdot R \end{aligned} \quad (5.4)$$

onde

$$V_{off} = R \cdot I_{off} + V_{BIAS} \quad (5.5)$$

ou

$$I_{off} = \frac{V_{off} - V_{BIAS}}{R} \quad (5.6)$$

Uma boa alternativa para gerar a corrente  $I_{off}$  é indicada na Figura 5.3. Neste esquema, embora os transistores  $M_i$  e  $M_j$  não estejam saturados, como nos tradicionais espelhos de corrente, eles estão submetidos ao mesmo conjunto de tensões  $V_{GB}$ ,  $V_{SB}$  e  $V_{DB}$ . Assim, a menos dos descasamentos existentes entre  $M_i$  e  $M_j$ , as correntes  $I_{Di}$  e  $I_{Dj}$  serão iguais. Os transistores do espelho de corrente deste arranjo devem ser dimensionados de forma que, ao serem percorridos pela  $I_{off}$ , o AmpOp não seja levado à saturação. A corrente  $i_{off}$  gerada é tal que o valor médio do sinal triangular  $V_{TR}$  é igual a tensão  $V_{med}$ .

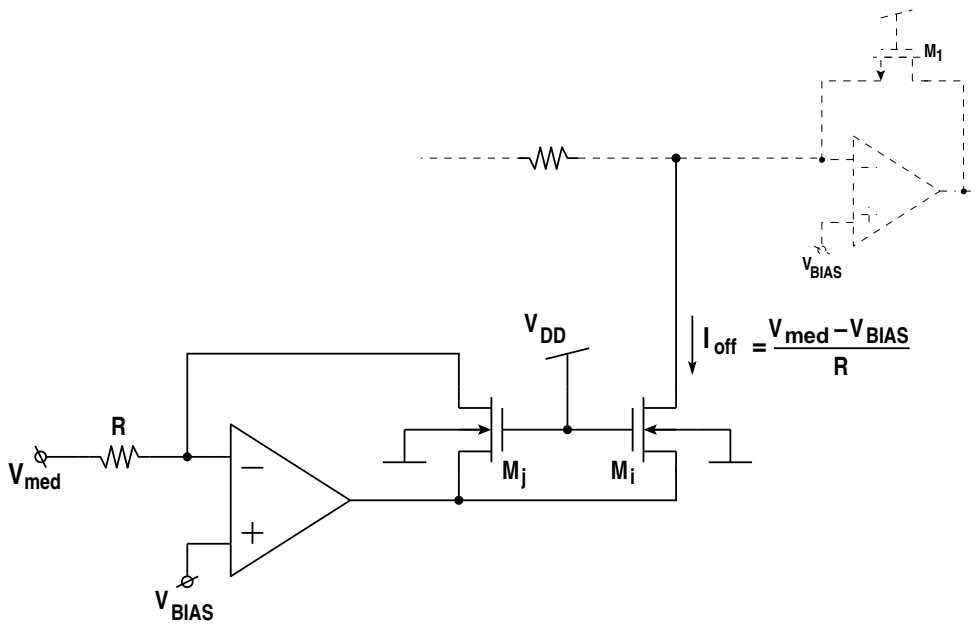


Figura 5.3: Circuito gerador da corrente de *offset*  $I_{off}$  do gerador de sinais

A análise apresentada mostra como podemos manipular a amplitude do sinal triangular  $V_{TR}$  através de  $\beta$ , e como variar a tensão de *offset* por meio de uma tensão de referência  $V_{med}$ . Mostraremos agora como os fatores  $\alpha$  e  $\beta$  determinam a frequência dos sinais gerados. Escrevendo o sinal  $V_{TR}$  em função da tensão do capacitor  $V_C$  temos

$$V_{TR} = V_{BIAS} - V_C = V_{BIAS} - \left( V_C(0) \pm \frac{\alpha I_R}{C} \cdot t \right) \quad (5.7)$$

onde  $V_C(0)$  é a tensão inicial do capacitor, determinada no instante imediatamente após haver uma comutação de  $V_X$  e dada por

$$V_C(0) = (V_{BIAS} - V_{TR})_{t=0} = [V_{BIAS} - (V_{off} \pm \beta I_R \cdot R)]_{t=0} \quad (5.8)$$

Igualando-se (5.7) a (5.4), que determina os valores limites de  $V_{TR}$ , verificamos que o período dos sinais gerados é dado por

$$T_{osc} = 2 \cdot \frac{\beta}{\alpha} \cdot 2RC \quad (5.9)$$

e obviamente a frequência de oscilação  $f_{osc}$  é dada por

$$f_{osc} = \frac{1}{4RC} \cdot \frac{\alpha}{\beta} \quad (5.10)$$

A estrutura da Figura 5.2, apesar de funcional, apresenta certos inconvenientes que podem ser sanados com alguma circuitaria extra. Esta circuitaria é apresentada a seguir.

### 5.1.1 Controles Independentes de Amplitude e Frequência

Para contornar a dificuldade de se controlar a amplitude de  $V_{TR}$  sem alterar sua frequência (vide (5.3) e (5.10)). Para certas combinações de  $\alpha$  e  $\beta$ ,  $\alpha$  poderia compensar as variações de  $\beta$  e conseguiríamos alterar a amplitude sem mexer na frequência. O módulo proposto na Figura 5.4 permite que a amplitude e a frequência de  $V_{TR}$  sejam controlados independentemente para quaisquer valores de  $\alpha$  e  $\beta$ . Basta que  $\gamma$  seja igual a  $\beta$ . Os novos valores de amplitude e frequência são dados por (5.11) e (5.12) respectivamente:

$$V_{TRpicol} = V_{off} \pm \beta I_R \cdot R \quad (5.11)$$

$$f_{osc1} = \frac{1}{x \cdot 4RC} \cdot \frac{\alpha \cdot \gamma}{\beta} = \left( \frac{1}{x \cdot 4RC} \cdot \alpha \right)_{\gamma=\beta} \quad (5.12)$$

O transistor  $M_2$  deve ser dimensionado de forma a não entrar na região de saturação. Para tanto, um fator de escalamento  $x \geq 1,5$  satisfaz esta condição com uma boa margem de segurança. Importante dizer que o fator  $x$  também pode ser usado para simular altas constantes de tempo (crítico em circuito integrados) e permitir que o oscilador opere em baixas frequências. As não-idealidades presentes em transistores de dimensões elevadas (correntes de fuga, capacitâncias parasitas, etc.) são fatores limitantes para o fator  $x$  e devem ser considerados. As dimensões de referência  $W_U$  e  $L_U$  se referem às dimensões de cada transistor que compõe as redes MOCD, que como

bem dito na Seção 2.3, são equivalentes a transistores de razão de aspecto  $W_U/2L_U$ . O chamado Módulo 1 tem uma característica inversora e, assim, os sinais de controle  $V_X$  e  $\overline{V_X}$  dos  $\text{MOCD}_{\alpha,2}$  devem ser permutados para garantir a realimentação positiva ao sistema.

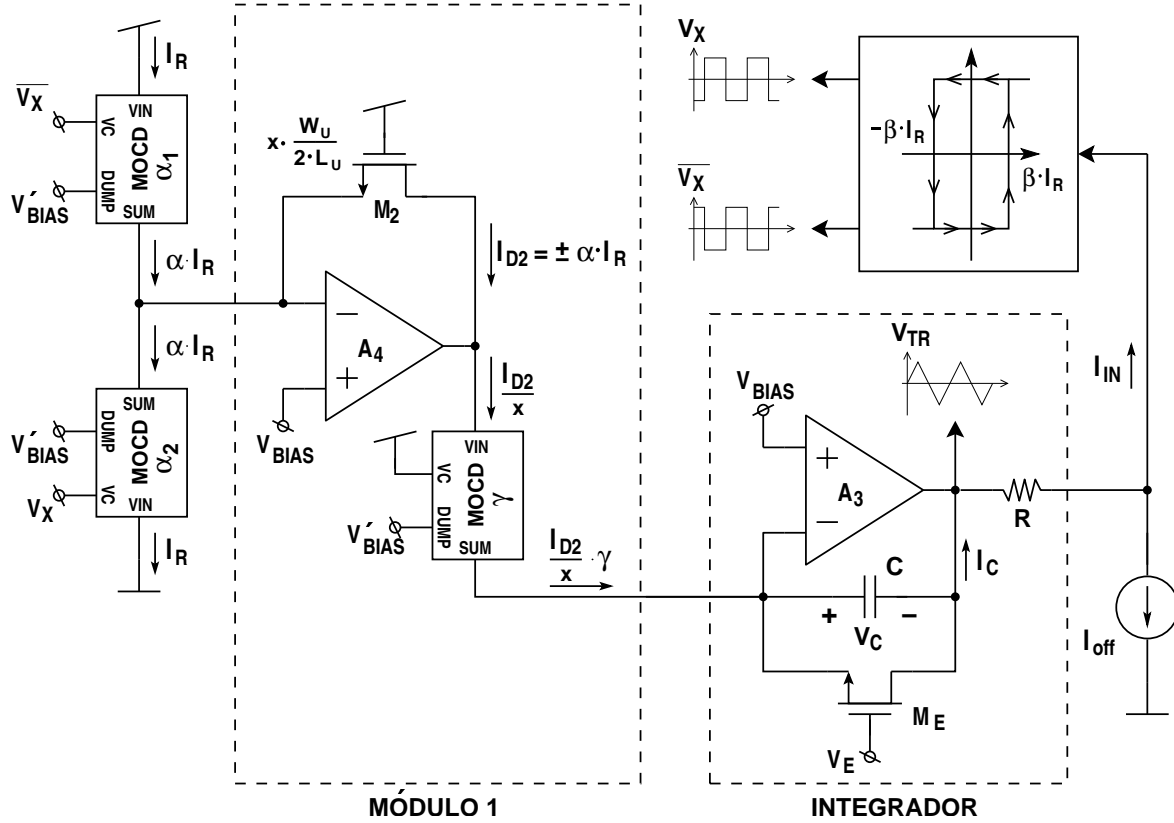


Figura 5.4: Gerador de sinais com controles independentes de amplitude e frequência

As desvantagens de implementar este bloco são a área extra de silício ocupada, os erros introduzidos pelo descasamento entre  $M_2$  e a rede  $\text{MOCD}_\gamma$  e as não idealidades do AmpOp  $A_4$  (*offset*, ganho DC finito, etc) com suas respectivas consequências.

## 5.2 Simulações para o Gerador de Sinais

Para comprovar o funcionamento do gerador de sinais proposto foram realizadas algumas simulações computacionais no simulador de circuitos SMASH [23]. As simulações presentes na Figura 5.5 foram obtidas fixando-se a amplitude de  $V_{TR}$  ( $\beta$  constante) e variando-se a frequência. Os valores medidos e os teóricos são confron-

tados na Tabela 5.1. Na Figura 5.6 apresentamos as simulações obtidas para verificar a funcionalidade do Módulo 1 (Figura 5.4) quanto ao controle da amplitude do sinal  $V_{TR}$ , quando mantemos a frequência constante ( $\alpha$  constante). O fator de escalamento  $x$  é igual a 8 e o capacitor e o resistor do circuito integrador são iguais a  $C = 100pF$  e  $R = 19,5k\Omega$  respectivamente.

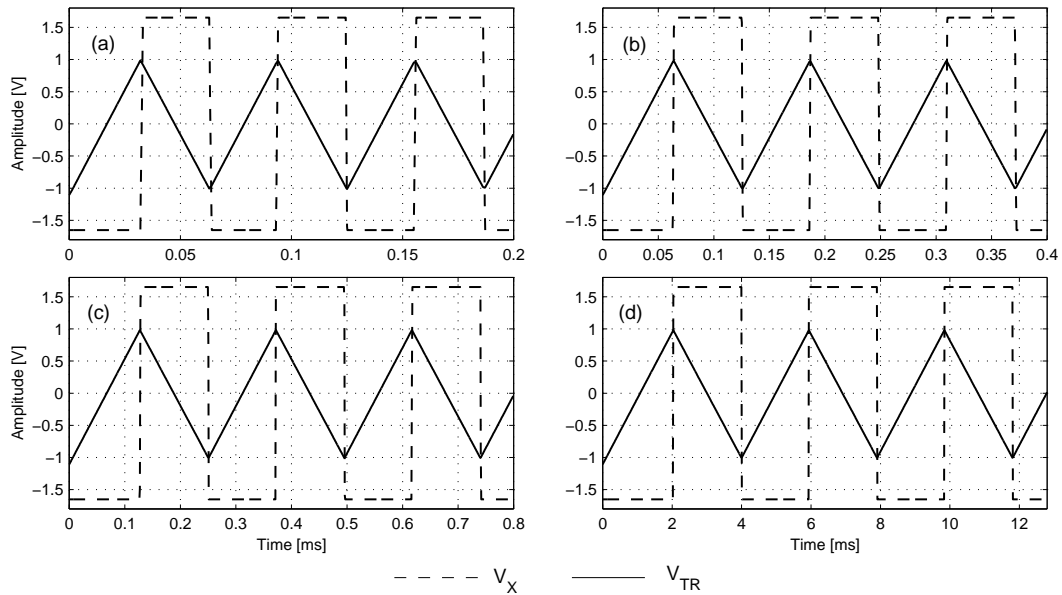


Figura 5.5: Controle da frequência de  $V_{TR}$  e  $V_X$ : (a)  $\alpha = 1$ , (b)  $\alpha = 1/2$ , (c)  $\alpha = 1/4$  e (d)  $\alpha = 1/64$

$\beta$	$\alpha$	$f_{teo} [Hz]$	$f_{sim} [Hz]$
1	1	16,0k	16,15k
	1/2	8,0k	8,13k
	1/4	4,0k	4,19k
	1/64	250	255,7

Tabela 5.1: Valores de frequência teóricos ( $f_{teo}$ ) e simulados ( $f_{sim}$ )



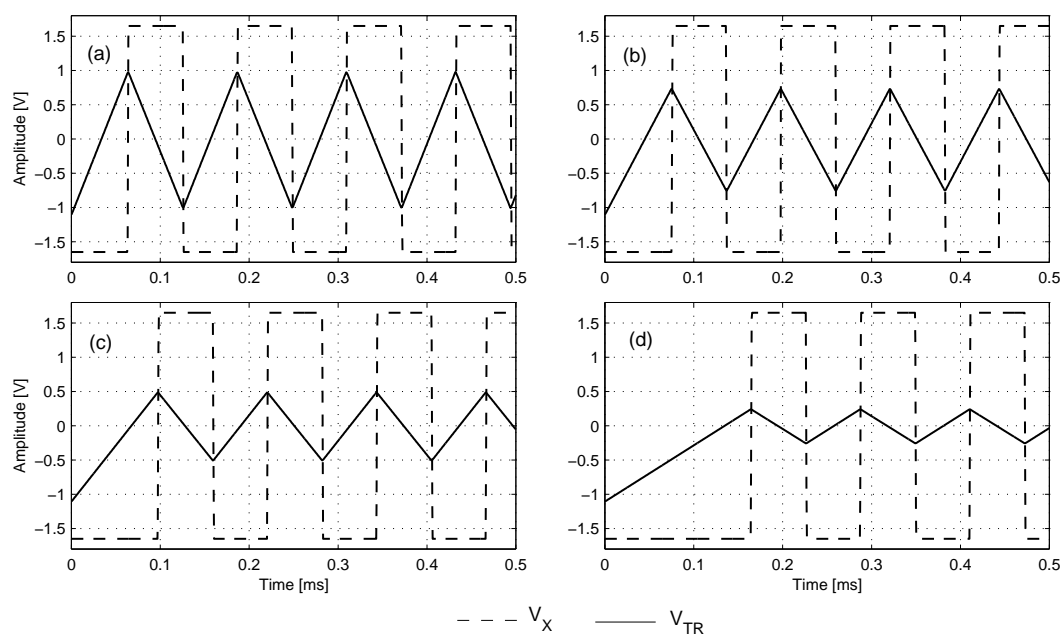


Figura 5.6: Controle da amplitude de  $V_{TR}$ : (a)  $\beta = 1$ , (b)  $\beta = 3/4$ , (c)  $\beta = 1/2$  e (d)  $\beta = 1/4$

# Capítulo 6

## Conclusões

Apresentamos neste trabalho um novo comparador analógico de corrente digitalmente programável. Sua funcionalidade e fácil programabilidade foram comprovadas através de simulações computacionais bem como em testes de bancada executados em um protótipo intregado, realizado em tecnologia CMOS de  $0.8\mu m$ , que apresentou resultados satisfatórios para aplicações em áudio-freqüências. As redes MOCD se mostraram inteiramente adequadas à aplicação. Uma análise dos principais erros foi apresentada.

Apresentamos também um projeto de um gerador de sinais digitalmente programável, sendo este uma aplicação direta do *Schmitt-trigger* proposto. Algumas simulações foram apresentadas como forma de comprovar a funcionalidade do mesmo.

De fato estas duas estruturas, o comparador de corrente e o gerador de sinais, tem sua grande vantagem na fácil programabilidade digital. Como principais áreas de aplicação às estruturas citamos os sistemas com capacidade de auto-teste e, principalmente, a emergente tecnologia dos FPAA's.

Foi dispensada grande atenção ao projeto do amplificador operacional, tendo em vista que as características deste têm influência direta no comportamento do *Schmitt-trigger*.

Como sugestões à continuação e melhoria deste trabalho citamos:

- Realizar medidas experimentais do gerador de funções para análise do desempe-

nho do mesmo;

- Implementação de um protótipo integrado com capacidade de operação em frequências maiores (AmpOp com maior GBW, comparador de tensão mais rápido, MOCD com transistores menores para minimizar capacitâncias parasitas, etc.);
- Levantamento de uma expressão teórica mais precisa para previsão do erro de comparação em função da frequência de operação, com modelos mais precisos principalmente para o comparador de tensão;

# Apêndice A

## Determinação da defasagem $\theta_c$ do conversor I-V

Para determinação da defasagem  $\theta_c$  do conversor I-V, causada pela resposta em frequência do AmpOp  $A_1$ , vamos considerar a Figura A.1, que representa o modelo AC de primeira ordem do circuito da Figura 3.3. O comparador  $A_2$  não está sendo representado pois estamos interessados apenas nos efeitos do conversor I-V. A transcondutância  $g_{msm}$  é relativa aos MOCD's enquanto que  $g_{ms1}$  representa o transistor  $M_1$ . Para simplificar a análise estamos considerando a conversão de  $i_{in}$  para  $v_{N2}$  como sendo linear. Os nós  $N_1$  e  $N_2$  aqui indicados correspondem aos nós de mesmo nome no circuito da Figura 3.3.

O modelo do AmpOp representa um amplificador operacional genérico de dois

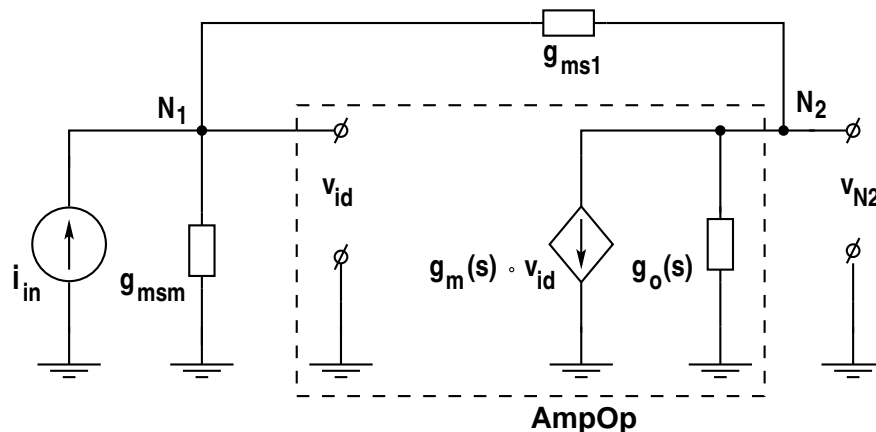


Figura A.1: Circuito AC equivalente do comparador de corrente

estágios com compensação Miller em frequência. Os parâmetros  $g_m(s)$  e  $g_o(s)$  são dados por:

$$g_m(s) = \frac{g_{m0}}{1 + \frac{s}{p}} \quad (\text{A.1})$$

e

$$g_o(s) = g_{oII} \cdot \frac{1 - \frac{s}{p} \cdot \frac{g_{mII}}{g_{oII}}}{1 + \frac{s}{p}} \quad (\text{A.2})$$

onde:

$$p = \frac{g_{oI}}{C_c} \quad (\text{A.3})$$

e

$$g_{m0} = \frac{g_{mI} \cdot g_{mII}}{g_{oI}} \quad (\text{A.4})$$

sendo  $g_{oi}$  e  $g_{mi}$ , respectivamente, a condutância de saída e a transcondutância do  $i$ -ésimo estágio do AmpOp [17].

A equação que define a transimpedância  $v_{N2}/i_{in}$  é dada por:

$$\frac{v_{N2}}{i_{in}} \approx -\frac{1}{g_{ms1}} \cdot \frac{1 - \frac{s}{2\pi GBW} \cdot \frac{g_{ms1}}{g_{mII}}}{1 + \frac{s}{2\pi \cdot GBW} \cdot \left( \frac{g_{msm}}{g_{mII}} + \frac{g_{ms1} + g_{msm}}{g_{ms1}} \right)} \quad (\text{A.5})$$

onde  $GBW = g_{mI}/(2\pi \cdot C_c)$

O giro de fase  $\theta_c$  de  $v_{N2}$  pode ser medido pela fase da transimpedância. De acordo com (2.7) e a partir de (A.5),  $\theta_c$  pode ser definido aproximadamente por (A.6), válida para pequenos valores de  $\theta_c$ :

$$\theta_c \approx \frac{f}{GBW} \cdot (g_{msm} + g_{ms1}) \left( \frac{1}{g_{ms1}} + \frac{1}{g_{mII}} \right) \quad (\text{A.6})$$

A equação (A.6) pode ser simplificada se considerarmos  $g_{mII} \gg g_{ms1}$ . Ainda, embora a transcondutância  $g_{msm}$ , vista do nó *Sum-line*, seja dependente do valor da palavra de controle, podemos considerar o pior caso para o cálculo de  $\theta_c$ , quando  $\alpha = 1$ . Assim, podemos reescrever (A.6) como:

$$\theta_c \approx \left( 1 + \frac{(W/L)_{modd}}{(W/L)_1} \right) \cdot \frac{f}{GBW} \quad (\text{A.7})$$

onde  $(W/L)_{modd}$  é igual a  $\frac{W_U}{2L_U}$  (vide Seção 2.3).

# Referências Bibliográficas

- [1] Z. Wang and W. Guggenbühl, *Novel CMOS current Schmitt-trigger*, Electronics Letters, vol. 24, no. 24, pp. 1514-1516, November 1988.
- [2] G. Di Cataldo and G. Palumbo, *New CMOS current Schmitt triggers*, IEEE International Symposium on Circuits and Systems, vol. 3, pp. 1292, 1992.
- [3] G. Liñán-Cembrano, R. Del Río-Fernández, R. Domínguez-Castro, and A. Rodríguez-Vázquez, *Robust high-accuracy high-speed continuous-time CMOS current comparator*, Electronics Letters, vol. 33, no. 25, pp. 2082-2084, December 1997.
- [4] J.P.A. Carreira and J.E. Franca, *High-speed CMOS current comparators*, IEEE International Symposium on Circuits and Systems, vol. 5, pp. 731, 1994.
- [5] C. Y. Wu, C.C. Chen, M.K. Tsai, and C.C. Cho, *A 0.5mA offset-free current comparator for high precision current mode signal processing*, IEEE International Symposium on Circuits and Systems, vol.3, pp. 1829, 1991.
- [6] K. Bult, G.J.G.M. Geelen, *An inherently linear and compact MOST-only current division technique*, IEEE J. Solid-State Circuits, vol. 27, no. 12, pp. 1730-1735, December 1992.
- [7] R.T Gonçalves, *Aplicações de Rede MOS Divisora de Corrente em Circuitos Integrados Analógicos Programáveis*, Dissertação de Mestrado, UFSC, Departamento de Engenharia Elétrica, Dezembro 1994.
- [8] R.R. Ferreira, *Conversor Digital/Analógico Autocalibrado Utilizando Rede MOS Divisora de corrente*, Dissertação de Mestrado, UFSC, Departamento de Engenharia Elétrica, Dezembro 1996.

- [9] Austria Mikro Systeme, *0.8 $\mu$ m CMOS Process Parameters*, Revision B. Homepage <http://www.amsint.com>.
- [10] A.I.A. Cunha, *Um Modelo do Transistor MOS para Projeto de Cicuitos Integrados*, Tese de Doutorado, UFSC, Departamento de Engenharia Elétrica, Dezembro 1996.
- [11] C.C. Enz, F. Krummenacher, and E. A. Vittoz, *An analytical MOS transistor model valid in all regions of operation and dedicated to low-voltage and low-current applications*, Analog Integrated Circuits and Signal Processing, vol. 8, pp. 83-114, July 1995.
- [12] R.L.O Pinto, *Metodologia de Projeto de Amplificadores CMOS*, Dissertação de Mestrado, UFSC, Departamento de Engenharia Elétrica, Julho 1997.
- [13] C. Galup-Montoro, M.C. Schneider, S.M. Acosta, and R.O.L. Pinto, *A MOSFET model for low power analog IC design*, XI Conference of the Brazilian Microelectronics Society, pp. 287-292, July-August 1996.
- [14] I.J.B. Loss, C. Galup-Montoro, and M. C. Schneider, *Series-parallel association of FET's for high gain and high frequency applications*, IEEE J. Solid-State Circuits, vol. 29, no. 9, pp. 1094-1096, September 1994.
- [15] B. Razavi, *Design of Analog CMOS Integrated Circuits*, McGraw-Hill, New York, 2001.
- [16] R. Hogervorst and J.H. Huijsing, *Design of Low-Voltage, Low-Power Operational Amplifier Cells*, Kluwer Academic Publishers, The Netherlands, 1996.
- [17] K.R. Laker and W.M.C. Sansen, *Design of Analog Integrated Circuits and Systems*, McGraw-Hill, New York, 1994.
- [18] Y. Tsividis, *Operation and Modeling of the MOS Transistor*, 2nd ed, McGraw-Hill, New York, 1999.
- [19] A.S. Sedra and K.C. Smith, *Microelectronic Circuits*, Oxford University Press, New York, 1998.
- [20] R.C. Jaeger, *Microelectronic Circuit Design*, McGraw-Hill, Inc. , New York, 1997.

- [21] W. Prodanov and M.C. Schneider, *A digitally programmable current Schmitt-trigger*, XVI Conference of the Brazilian Microelectronics Society, pp. 106-110, September 2001.
- [22] W. Prodanov and M.C. Schneider, *Um Schmitt-trigger analógico de corrente digitalmente programável*, Revista de Informática Teórica e Aplicada, vol. 8, no. 1, pp. 43-61, 2001.
- [23] Simulador de Cicuitos *SMASH<sup>TM</sup>*, Dolphin Integration, Meylan, France. Homepage <http://www.dolphin.fr>.
- [24] Austria Mikro Systeme, *0.8 $\mu$ m CMOS Design Rules*, Version 2.0. Homepage <http://www.amsint.com>.
- [25] J.P. Uyemura, *Physical Design os CMOS Integrated Circuits Using L-EDIT<sup>TM</sup>*, PWS Publishing Company, New York, 1995.
- [26] E. Vittoz, *Analog layout techniques*, Advanced Engineering Course on CMOS & BiCMOS IC, Lausanne (EPFL), Switzerland, September 1995.
- [27] E. Vittoz, *Layout techniques*, Interfacing Microsystems Course, Montevideo, Uruguay, March 2001.
- [28] Anadigm Ltd, UK, Homepage: <http://www.anadigm.com>.
- [29] J. Turino, *Built-in self-test streamlines testing of mixed-signal SoC's*, Electronic Design Magazine, Penton Media, vol. 49, no. 14, July 2001.
- [30] B. Linares-Barranco, E. Sánchez-Sinencio, A. Rodríguez-Vázquez, and J.L. Huertas, *Hysteresis based neural oscillators for VLSI implementations*, IEEE International Symposium on Circuits and Systems, vol. 3, pp. 1465-1468, 1991.
- [31] A. Bindra, *Field programmability pervades analog design*, Electronic Design Magazine, Penton Media, vol. 49, no. 14, July 2001.
- [32] J. Ramírez-Angulo, *A compact current controlled CMOS waveform generator*, IEEE Transaction on Circuits and Systems-II, vol. 39, no. 12, December 1992.