

UM NOVO TRANSDUTOR V X I LINEAR EM TECNOLOGIA CMOS

R. N. G. Robert¹

S. Noceti Filho²

M. C. Schneider³

RESUMO

Este artigo descreve um novo circuito em tecnologia CMOS para implementação de amplificadores operacionais de transcondutância (OTA) com reduzida distorção harmônica da corrente de saída comparada à estrutura diferencial clássica. As equações de projeto, os limites nos valores das tensões de entrada e uma análise dos efeitos do descasamento entre transistores são apresentados. Também são mostrados resultados de simulações para avaliação do desempenho do OTA.

ABSTRACT

This paper describes a new CMOS operational transconductance amplifier (OTA) with output current harmonic distortion much lower than that obtained in a classical differential amplifier. The design equations and the limits in the magnitudes of the input voltages are presented. In addition, transistor mismatch effects are analyzed. Simulation results to evaluate the OTA performance are also shown.

1 - Eng. Eletricista (UFPA, 1986), realizando Mestrado em Engenharia Elétrica, UFSC. Áreas de interesse: Circuitos e Instrumentação Eletrônica, Projeto de Circuitos Integrados, Processamento de Sinais, Filtros Contínuos Totalmente Integráveis.
LINSE - Depto. de Eng. Elétrica - UFSC - Fone (0482) 31 9504.

2 - Eng. Eletricista (UFSC, 1975). Mestre em Engenharia Elétrica (UFSC, 1980). D. Sc. (COPE, 1985). Áreas de interesse: Filtros Contínuos Totalmente Integráveis, Processamento de Sinais, Circuitos e Instrumentação Eletrônica.
LINSE - Depto. de Eng. Elétrica - UFSC - Fone (0482) 31 9504.

3 - Eng. Eletricista (UFSC, 1975). Mestre em Engenharia Elétrica (UFSC, 1980). Doutor em Engenharia (EPUSP, 1984). Áreas de interesse: Projeto de Circuitos Integrados, Modelagem de Dispositivos Semicondutores, Processamento Analógico de Sinais.
LINSE - Depto. de Eng. Elétrica - UFSC - Fone (0482) 31 9504.

INTRODUÇÃO

A grande utilização da tecnologia CMOS em circuitos digitais e a necessidade freqüente da co-habitação em uma mesma pastilha de tais circuitos com estruturas analógicas tem incentivado o uso desta tecnologia em várias funções, incluindo a de filtragem contínua, cuja forma de implementação pode ser através de estruturas RC-ativas, MOSFET-C ou DTA-C.

A integração da estrutura RC-ativa, que faz uso de amplificadores operacionais, resistores e capacitores, apresenta diversos problemas: baixa precisão nas constantes de tempo devido às variações de processo e de temperatura; em geral, resistores integrados em tecnologia CMOS ocupam uma grande área e apresentam dificuldades de sintonia. Na técnica MOSFET-C [1-3], projeta-se o filtro a partir de estruturas RC-ativas convencionais, substituindo-se os resistores por transistores MOS operando na região triodo. Aqui os problemas de precisão podem ser reduzidos por um circuito de sintonia automática. Mas ainda são necessárias técnicas especiais para a redução das não linearidades inerentes aos resistores ativos.

A última técnica mencionada [4-7] emprega transdutores V-I (DTA) e capacitores. Com DTAs convenientemente projetados é possível obter a sintonização automática por meio de tensões ou correntes de controle das transcondutâncias dos dispositivos. Os filtros DTA-C são potencialmente capazes de operar em freqüências mais altas que os demais filtros contínuos e também do que filtros digitais e a capacitor chaveado. Além disso, não necessitam do emprego de filtros auxiliares de anti-recobrimento e de reconstrução, de conversões A/D e D/A dos filtros digitais e nem apresentam problemas de "clock feedthrough" dos filtros a capacitor chaveado.

Entretanto, os transdutores V-I apresentam problemas de obtenção de boa linearidade da corrente de saída com a tensão de entrada. DTAs integrados em tecnologia bipolar, como o CA3080, admitem tensão diferencial máxima de 30mV na entrada para assegurar corrente linear na saída [4]. Amplificadores diferenciais clássicos (fig.1) em tecnologia MOS apresentam o mesmo problema tanto em inversão fraca, quando a tensão de entrada não deve exceder 20mV quanto em inversão forte, quando a transcondutância do amplificador varia menos que 1% se a tensão diferencial aplicada for limitada a 16% da tensão de polarização ($V_{GS}-V_T$) dos transistores de entrada [8]. Por exemplo, se $V_{GS}-V_T = 1V$, então a

tensão diferencial de entrada não deve exceder 160mV para assegurar que esse erro não seja ultrapassado. Neste caso, uma forma de aumentar a faixa de linearidade é através do aumento da tensão V_{os} ; contudo, procedendo desta maneira reduz-se a faixa de tensão de modo comum admissível na entrada.

Várias formas de implementar circuitos de DTA baseadas na característica $I_D \times V_{os}$ de transistores MOS saturados operando em inversão forte têm sido apresentadas na literatura especializada [8-10]. O objetivo deste trabalho é apresentar uma nova configuração de DTA, de concepção bastante simples, baseada no circuito da fig.2, descrevendo suas principais características e limitações, além de resultados obtidos com simulador de circuitos.

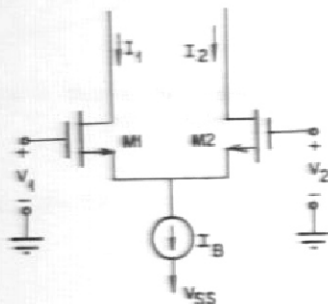


Fig. 1 - Amplificador operacional de transcondutância clássico.

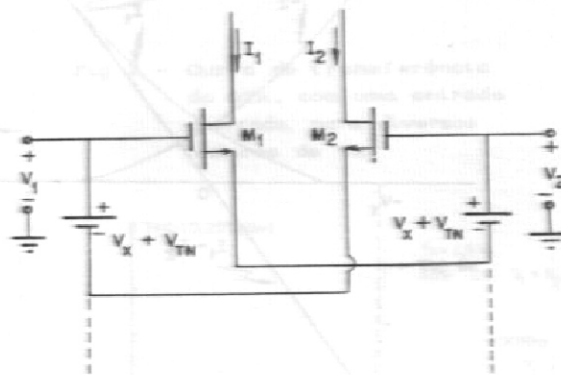


Fig. 2 - OTA com faixa de linearidade ampliada I_D, I_{O1} .

CIRCUITO BÁSICO DO CONVERSOR $V \times I$ LINEAR

No circuito da fig.2, as correntes em cada transistor, supondo-os saturados e em inversão forte, são dadas por:

$$I_1 = \beta \cdot (v + V_X)^2 / 2 \quad \text{se } v \geq -V_X \quad (1a)$$

$$I_1 = 0 \quad \text{se } v \leq -V_X \quad (1b)$$

$$I_2 = \beta \cdot (-v + V_X)^2 / 2 \quad \text{se } v \leq V_X \quad (2a)$$

$$I_2 = 0 \quad \text{se } v \geq V_X \quad (2b)$$

onde $v = V_1 - V_2$, $\beta = \mu_n \cdot C_{ox} \cdot (W/L)$.

A corrente diferencial I_o , para tensão diferencial tal que $|v| \leq V_x$, é dada por:

$$I_o = I_1 - I_2 = g_m \cdot v \quad (3)$$

onde $g_m = 2 \cdot \beta \cdot V_x$ é a transcondutância do par diferencial. A fig.3 ilustra graficamente as correntes em M_1 , M_2 e a corrente diferencial I_o , linear para $|v| \leq V_x$. A estrutura da fig.2 não é prática pois necessita de fontes suspensas. O problema passa a ser, então, o de obter um elemento

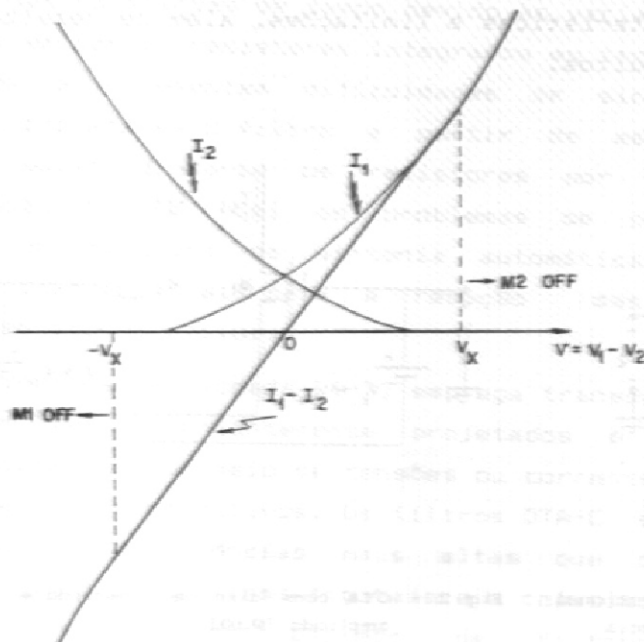


Fig. 3 - Correntes em M_1 e M_2 (fig.2) e $I = I_1 - I_2$ em função da tensão diferencial de entrada.

compatível com tecnologia MOS equivalente a uma fonte de tensão. A proposta deste trabalho para tal objetivo é apresentada na fig.4a, onde as fontes são obtidas por meio de transistores MOS saturados percorridos por corrente constante. Desprezando a modulação de I_D com V_{DS} , a tensão V_{DS} em M_3 (fig.4a) é dada por:

$$V_{DS} = V_{TN} + (2 \cdot I_B / \beta_3)^{0,5} \quad (4)$$

sendo I_B a corrente de polarização de M_3 (ou M_4). Pode-se observar que a característica de alta impedância de entrada é mantida com esta implementação do DTA. No circuito da fig.4, $V_x = (2 \cdot I_B / \beta_3)^{0,5}$ e a

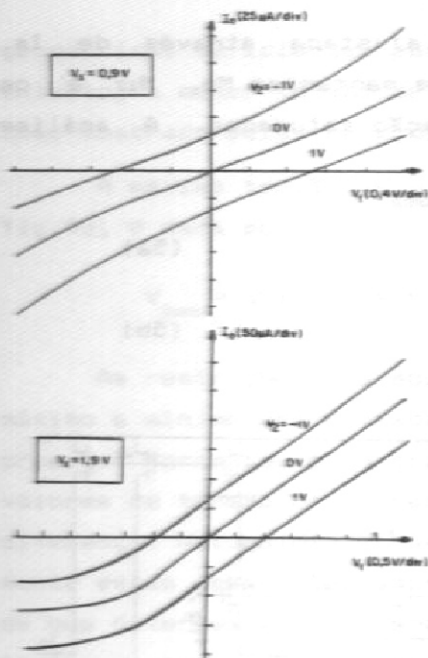


Fig. 6 - Curva de transferência do OTA:
a) $V_x = 0,9V$; b) $V_x = 1,9V$.

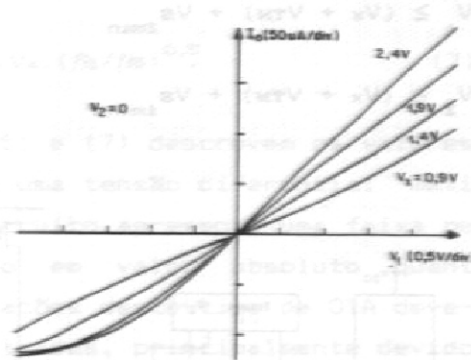


Fig. 7 - Curva de transferência do OTA, com uma entrada aterrada, para diversos valores de V_x .

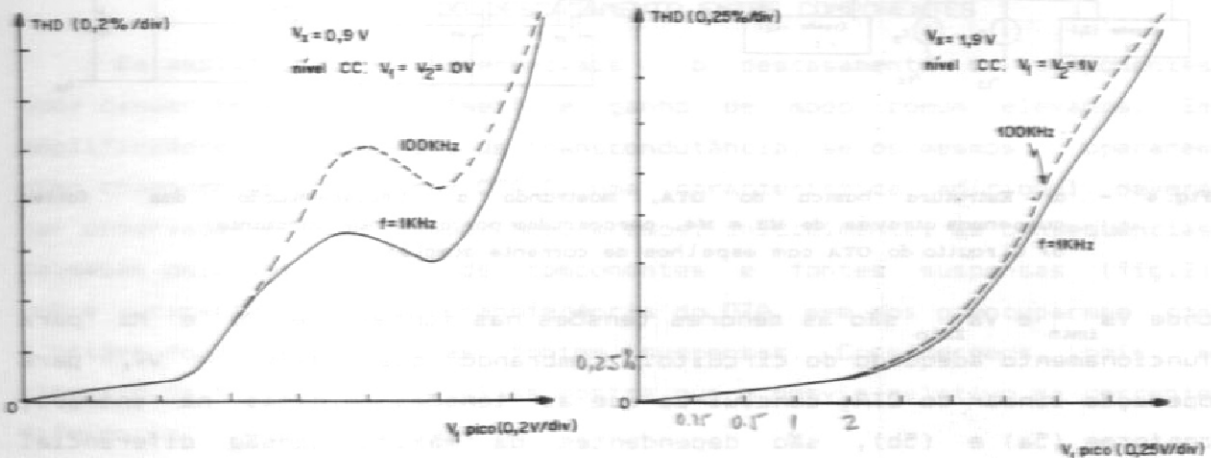


Fig. 8 - Distorção harmônica da corrente de saída em função da amplitude de pico da tensão de entrada, nas frequências de 1 e 100kHz:
a) $V_x = 0,9V$ e níveis CC de $V_1 = V_2 = 0V$;
b) $V_x = 1,9V$ e níveis CC de $V_1 = V_2 = 1V$.

A fig.8 apresenta gráficos da distorção harmônica total para valores de $V_x = 0,9V$ e $1,9V$. Para amplitude da tensão de entrada inferior a V_x , a componente dominante da distorção é a 3ª harmônica; à medida que a amplitude da entrada cresce além de V_x , a componente dominante da distorção passa a ser a 2ª harmônica. A polarização de 1V foi adotada no caso da simulação correspondente à fig.8b para assegurar o funcionamento

transcondutância g_m do amplificador pode ser ajustada através de I_B . As tensões V_1 e V_2 na entrada devem ser tais que mantenham M_0 , M_{12} e os transistores das fontes de corrente de polarização saturados. A análise da fig.2 mostra que V_1 e V_2 devem ser tais que:

$$V_1 \geq (V_x + V_{TN}) + V_{S_{2min}} \quad (5a)$$

$$V_2 \geq (V_x + V_{TN}) + V_{S_{1min}} \quad (5b)$$

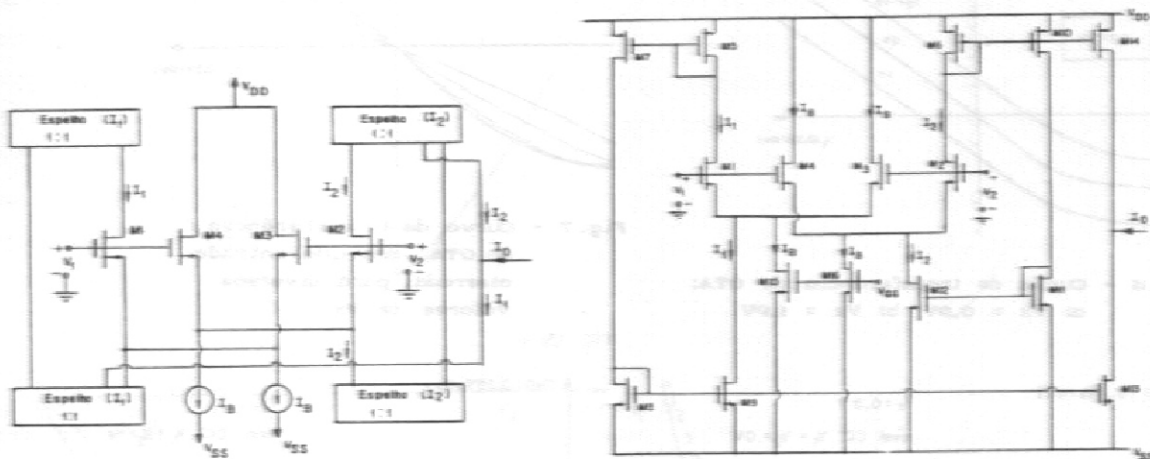


Fig. 4 - a) Estrutura básica do OTA, mostrando a implementação das fontes suspensas através de M_3 e M_4 , percorridos por corrente constante. b) Circuito do OTA com espelhos de corrente simples.

onde $V_{S_{1min}}$ e $V_{S_{2min}}$ são as menores tensões nas fontes de M_1 e M_2 para funcionamento adequado do circuito. Lembrando que $\max|v| = V_x$, para operação linear do OTA, conclui-se que as tensões mínimas na entrada, conforme (5a) e (5b), são dependentes da máxima tensão diferencial admissível na entrada. Os valores $V_{S_{1min}}$ e $V_{S_{2min}}$ dependem do circuito de implementação do OTA; para o exemplo da fig.4b, temos:

$$V_{S_{min}} = V_{SS} + \max(V_{DS_{sat12}}, V_{DS_{sat16}}) \quad (6a)$$

OU

$$V_{S_{min}} = V_{SS} + V_x \cdot \max\left[\left(\frac{\beta_1}{\beta_{16}}\right)^{0.5}, 2 \cdot \left(\frac{\beta_1}{\beta_{12}}\right)^{0.5}\right] \quad (6b)$$

A relação (6b) mostra que $V_{S_{min}} \rightarrow V_{SS}$ se adotarmos razões

geométricas suficientes para reduzir a 2ª parcela da relação (6b). No entanto, a menor tensão de entrada ainda dependerá diretamente de V_x , como mostrado pelas relações (5a) e (5b).

A máxima tensão (V_{imax}) admissível nas entradas no circuito da fig.4b, é dada por:

$$V_{imax} = V_{DD} + V_{TN} + V_{TP} - 2.V_x.(\beta_1/\beta_2)^{0,5} \quad (7)$$

As restrições das equações (5) e (7) descrevem os valores absolutos máximo e mínimo das entradas, para uma tensão diferencial máxima V_x de projeto. Portanto, este tipo de circuito apresenta uma faixa permitida de valores de tensão de entrada, tanto em valor absoluto quanto na sua diferença. Naturalmente, nas aplicações deste tipo de DTA deve-se ter em mente estas restrições sobre as entradas, principalmente devido ao fato de que diversos artigos sobre os DTAs restringem suas análises apenas ao limite na tensão diferencial, sem mencionar as restrições devido ao valor absoluto da tensão de entrada ou à tensão de modo comum.

INFLUÊNCIA DO DESCASAMENTO ENTRE COMPONENTES

Em amplificadores diferenciais o descasamento de componentes pode causar tensão de "offset" e ganho de modo comum elevados. Em amplificadores operacionais de transcondutância, se os mesmos operarem como componentes de filtros DTA-C, uma característica adicional deverá ser observada: a linearidade. Mostraremos, inicialmente, as conseqüências causadas pelo descasamento de componentes e fontes suspensas (fig.2) sobre a característica de transferência do DTA, sem nos preocuparmos com a origem do descasamento das fontes suspensas. Consideremos, pois, o circuito da fig.2 onde a análise mostra que o desvio relativo da corrente diferencial $I_o = I_1 - I_2$ é dado por:

$$\begin{aligned} \Delta I_o / I_{o\max} = & \frac{\Delta\beta}{4\beta} \left(\frac{v}{V_x} \right)^2 + \frac{1}{2} \left(\frac{\Delta V_B + \Delta V_{TN}}{V_x} + \frac{\Delta\beta}{\beta} \right) \left(\frac{v}{V_x} \right) + \frac{\Delta\beta}{4\beta} \\ & + \left(\frac{\Delta V_B + \Delta V_{TN}}{2V_x} \right) \end{aligned} \quad (8a)$$

onde $\Delta\beta$ é o desvio nos parâmetros transcondutância de M_1 e M_2 , ΔV_B é o desvio entre as tensões de polarização e ΔV_{TN} a diferença nas tensões de limiar de M_1 e M_2 . $I_{o\max}$ é a máxima corrente de saída na faixa linear, isto é:

$$I_{o\max} = I_o(v = V_x) = 2 \beta V_x^2 \quad (8b)$$

A expressão (8a) mostra que os descasamentos nas tensões de limiar e nas tensões de polarização, quando independentes da tensão de entrada, provocam tensão de "offset" e erro na inclinação enquanto o descasamento em β provoca, além dos erros anteriores, distorção de 2ª harmônica cuja amplitude relativa é proporcional a $\Delta\beta/\beta$. Este último erro é o mais grave pois compromete a linearidade do DTA.

A tensão de polarização V_B nos transistores M_3 e M_4 da fig.4b e a diferença relativa entre seus valores nestes transistores devido ao descasamento entre os componentes são dadas por:

$$V_B = \left(\frac{2 I_B}{\beta} \right)^{0,5} + V_T \quad (9a)$$

$$\frac{\Delta V_B}{V_x} = \frac{1}{2} \left(\frac{\Delta I_{B,4}}{I_B} - \frac{\Delta\beta_{3,4}}{\beta} \right) + \frac{\Delta V_{TNS,4}}{V_x} \quad (9b)$$

No circuito da fig.4b, a diferença nas tensões V_{os} de M_3 e M_4 ocorre devido à desigualdade entre as correntes de dreno e ao descasamento entre M_3 e M_4 . As correntes de dreno podem diferir devido à diferença entre as correntes de polarização de M_{3S} e M_{4S} e devido ao espelhamento imperfeito de I_1 e I_2 . Estas diferenças provocam tensão de "offset" e erro na transcondutância; adicionalmente, erros nos ganhos dos espelhos de corrente também produzem distorção harmônica, como pode ser verificado pela expressão a seguir que fornece o erro relativo nas correntes de M_3 e M_4 :

$$\frac{\Delta I_{D3,4}}{I_B} = \frac{1}{I_B} \left[\Delta I_B + \frac{\beta_1}{2} (v + V_x)^2 \left(\frac{\Delta\beta_{eq}}{\beta_{eq}} \right)_1 - \frac{\beta_2}{2} (-v + V_x)^2 \left(\frac{\Delta\beta_{eq}}{\beta_{eq}} \right)_2 + r_1 (v + V_x) - r_2 (-v + V_x) \right] \quad (9c)$$

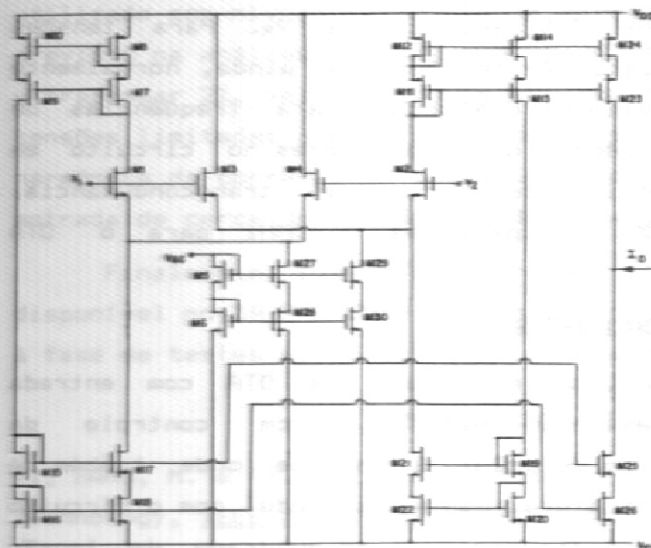
onde

$$\left(\frac{\Delta\beta_{eq}}{\beta_{eq}} \right)_i = \left(\frac{\Delta\beta_P}{\beta_P} \right)_i + \left(\frac{\Delta\beta_N}{\beta_N} \right)_i, \quad i = 1,2 \quad (9d)$$

representa a soma dos erros percentuais dos ganhos de corrente dos espelhos de I_1 e I_2 e

$$r_i = (\beta_N/\beta_P)^{0,5} \Delta V_{TP_i} - (\beta_N/\beta_P)^{0,5} \Delta V_{TN_i}, \quad i = 1,2 \quad (9e)$$

sendo β_N , β_P os parâmetros transcondutância dos transistores dos espelhos N e P, respectivamente, ΔV_{TP_i} e ΔV_{TN_i} as diferenças nas tensões de limiar dos espelhos P e N relativos à corrente I_i , $i = 1,2$.



TRANSISTOR	W(μm)	L(μm)
M1,M2	10	20
M3,M4	20	20
M5,M6,M27,M30	80	20
M7-M9,M23,M26	180	4
M5-M22,M25,M28	40	4

PARÂMETRO	NMOS	PMOS	UNIDADE
VTO	0,8	-0,8	V
TDI	470 E-10	470 E-10	m
UC	600	220	cm ² /Vs
UCRIT	0,98E5	0,85E5	V/cm
VMAX	5 E 4	3 E 4	m/s
NSUB	6E5	1,5E5	1/cm ³
GAMMA	0,45	0,55	-
NEFF	3,3	3,5	-

Fig.5 - Circuito do OTA simulado com espelhos de corrente cascode.

Tabela I - Parâmetros do processo.

RESULTADOS DAS SIMULAÇÕES

Os testes de desempenho do DTA foram obtidos com o circuito mostrado na fig.5, utilizando o simulador elétrico SPICE. Espelhos de corrente cascode foram empregados para redução do efeito de modulação da corrente no transistor com a tensão dreno-fonte. Nas simulações adotou-se $V_{DD} = -V_{SS} = 5V$ e os parâmetros de processo indicados na tabela I. A fig.6a ilustra a corrente de saída I_0 em função da tensão V_1 de entrada, tomando V_2 como parâmetro e ajustando o nível de polarização V_{GS} para obter $V_x = 0,9V$. É possível observar que tensões diferenciais pouco superiores a V_x já comprometem a linearidade do transdutor $V \times I$. Na fig.6b, onde $V_x = 1,9V$, fica evidenciada a operação fora da saturação dos transistores M_{26} - M_{30} da fonte de corrente e M_{21} - M_{22} do espelho de corrente de I_2 para V_1 inferior a aproximadamente $-1,5V$. A fig.7 mostra a corrente de saída em função da tensão de entrada V_1 , com $V_2 = 0$, para diversos valores de V_x . A obtenção de grandes variações de transcondutâncias através da mudança de V_x deve ser cuidadosamente analisada pois os limites dos níveis de tensão de entrada para operação linear da célula do DTA irão variar em função do valor de V_x .

dos transistores do DTA na saturação. As curvas apresentadas mostram que os níveis de distorção harmônica do DTA são inferiores a 2% se a tensão diferencial de entrada for cerca de 20% superior a V_x . Para tensões diferenciais inferiores a V_x , a distorção harmônica é, ainda, normalmente inferior a 1%. A diferença nos níveis de distorção para frequências de 1KHz e 100KHz deve-se à maior influência dos capacitores no circuito em frequências mais altas. Frequências de corte na transcondutância, determinadas pelo simulador, são superiores a 5MHz para o DTA apresentado.

CONCLUSÕES

Foi apresentada, neste artigo, uma estrutura de DTA com entrada diferencial, de concepção bastante simples, com controle da transcondutância através do circuito de polarização, de onde também é possível fazer compensação em temperatura. Também se pode, com o circuito apresentado, obter saída de corrente proporcional ao quadrado da tensão de entrada bastando, para tanto, somar as correntes ao invés de subtraí-las [10].

A comparação com três estruturas de DTA, que operam com transistores em saturação, mostra que o circuito proposto neste trabalho apresenta, em relação ao da ref.[9], as vantagens de simplicidade e de nem tampouco requerer relação entre razões geométricas de transistores da ordem de 2,15 para obtenção da característica de transferência desejada; as estruturas apresentadas na ref.[8] têm, às vezes, circuitos mais simples do que o do DTA aqui apresentado mas com menor faixa de linearidade enquanto os DTAs com linearidade ampliada da ref.[8] são formados por circuitos mais complexos; finalmente, o DTA apresentado na ref.[10] é implementado através de um circuito bastante simples mas a faixa de tensões admissíveis na entrada é inferior à do DTA aqui mostrado para uma mesma tensão de alimentação. Naturalmente, outros critérios devem ser utilizados para comparação de performance de DTAs, dentre os quais ruído e largura de banda. Valores determinados pelo simulador para a largura de banda são superiores a 5MHz e bastante próximos aos mencionados na ref.[10] para níveis de corrente aproximadamente iguais.

A análise da célula do DTA mostrou que certos cuidados devem ser tomados para minimizar a presença da 2ª harmônica na corrente de saída; para tal, deve-se adotar um "layout" cuidadoso que assegure um bom casamento não apenas entre os transistores de entrada mas também entre os transistores dos espelhos de corrente.

Os resultados obtidos pela simulação mostraram que o DTA pode ser utilizado com níveis de tensão de entrada até cerca de 20% superiores ao previsto na análise teórica que a distorção harmônica total não irá ultrapassar 2%, valor que pode ser aceitável em muitas aplicações. Para tensões limitadas aos valores nominais, os resultados mostraram distorção harmônica da corrente de saída inferior a 1% para variação da tensão de entrada de cerca de 40% da tensão de alimentação.

Finalmente, este DTA deverá ser integrado utilizando a tecnologia disponível no 3ª PMU CMOS nacional para, então, posteriormente passarmos à fase de testes no "chip" para validação do circuito proposto.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] BANU, M. & TSIVIDIS, Y. Fully Integrated Active RC Filters in MOS Technology, IEEE JSSC, vol. SC-18, No.6, December 1983.
- [2] TSIVIDIS, Y.; BANU, M. & KHOURY, J. Continuous Time MOSFET-C Filters in VLSI, IEEE Trans. on Circ. and Syst., vol. CAS-33, February 1986.
- [3] TSIVIDIS, Y. Fully Integrated Filters, Design of MOS VLSI Circuits for Telecommunications, Editors - Y. Tsividis and P. Antognetti, Englewood Cliffs, NJ, Prentice-Hall, 1985.
- [4] BEIGER, R. L. & SÁNCHEZ - SINENCIO, E. Active Filter Design Using Operational Transconductance Amplifiers: A Tutorial, IEEE Circuits and Devices Magazine, pp 20-32, March 1985.
- [5] KHORRAMABADI, H. & GRAY, P. R. High Frequency CMOS Continuous-Time Filters, IEEE JSSC, vol. SC-19, No.6, December 1984.
- [6] KRUMMENACHER, F. & JOEHL, N. A 4MHz CMOS Continuous-Time Filter with On-Chip Automatic Tuning, IEEE JSSC, vol.23, No.3, June 1988.
- [7] PARK, C. S. & SCHAUMANN, R. Design of a 4MHz Analog Integrated CMOS Transconductance-C Bandpass Filter, IEEE JSSC, vol.23, No.4, August 1988.
- [8] TORRANCE, R. R.; VISWANATHAN, T. R. & HANSON, J. V. CMOS Voltage to Current Transducers, IEEE CAS, vol. CAS-32, No.11, November 1985.
- [9] NEDUNGADI, A. & VISWANATHAN, T. R. Design of Linear CMOS Transconductance Elements, IEEE CAS, vol. CAS-31, No.10, October 1984.
- [10] SEEVINCK, E. & WASSENAAR, R. A Versatile CMOS Linear Transconductor / Square-Law Function Circuit, IEEE JSSC, vol. SC-22, No.3, June 1987.