

IMPLEMENTAÇÃO DE CAPACITORES LINEARES  
EM TECNOLOGIA MOS DIGITAL

C.G. Montoro

M.C. Schneider

S. Noceti Filho

Laboratório de Instrumentação Eletrônica - LINSE  
Departamento de Engenharia Elétrica  
Universidade Federal de Santa Catarina - Cx.P. 476  
CEP 88049 - Florianópolis, SC, Brasil  
Fone: (0482) 319643 - FAX: (0482) 341524

**RESUMO:** As estruturas de porta dos transistores MOS comportam-se como capacitores lineares se forem convenientemente polarizadas em acumulação ou inversão. Neste trabalho, é calculada a distorção harmônica introduzida por um destes dispositivos e são apresentados alguns esquemas básicos de polarização para as técnicas mais usadas de circuitos analógicos. Desta forma, circuitos analógicos contínuos ou a capacitores chaveados podem ser completamente integrados em processos MOS digitais que contenham apenas uma camada de polissilício.

**ABSTRACT:** MOS gate structures adequately biased in accumulation or inversion behave like linear capacitors. In this paper, the harmonic distortion introduced by these devices is calculated for a particular case. Some useful schemes for biasing these structures are presented for the most employed analog circuit techniques. In this way, analog circuits (switched-capacitor and continuous-time) can be integrated with on-chip capacitors in a single poly Si-gate MOS process.

## 1. INTRODUÇÃO

A freqüente necessidade de implementar subsistemas analógicos e digitais num mesmo circuito integrado tem impulsionado, desde a década de 70, a pesquisa e o desenvolvimento de circuitos CMOS analógicos, onde a parte analógica deve ser completamente compatível com o processo tecnológico empregado para circuitos digitais<sup>1</sup> e com um mínimo de especificações adicionais como, por exemplo, linearidade de elementos passivos e casamento adequado de componentes. Embora tenha aumentado o interesse por técnicas de correntes chaveadas<sup>2</sup> devido a sua total compatibilidade com as tecnologias para circuitos digitais, duas técnicas para a realização de circuitos MOS analógicos ainda têm sido amplamente utilizadas: a de circuitos a capacitores chaveados e a de filtros contínuos. Ambas requerem o uso de capacitores lineares, normalmente obtidos com a tecnologia de duas camadas de polissilício. Esta tecnologia nem sempre é disponível. Em particular, no atual PMU CMOS brasileiro, não podem ser integradas capacitâncias lineares. Adicionalmente, dificuldades são antecipadas para o processo duplo poli à medida que a escala de integração é aumentada<sup>3</sup>.

Uma forma de contornar este problema é através do uso da estrutura capacitiva do transistor MOS, constituída por placa superior de polissilício e placa inferior de semicondutor, polarizada na região de acumulação ou de inversão. Embora este capacitor seja não linear, polarizando-o adequadamente e limitando a faixa de variações da tensão em seus terminais é possível obter baixo nível de distorção nos circuitos onde o mesmo é empregado. Além disso, tais capacitores apresentam maior capacitância por unidade de área e melhores propriedades de casamento<sup>4</sup> em relação ao capacitor duplo-poli. Algumas sugestões de esquemas de polarização das estruturas de porta MOS para circuitos analógicos contínuos e a capacitores chaveados são apresentadas na figura 1.

Com o intuito de mostrar a adequação do uso de uma estrutura de porta MOS como capacitor linear, será analisado o seu comportamento no que diz respeito às capacitâncias parasitas e à distorção harmônica.

## 2. ESTRUTURAS DE PORTA EM TECNOLOGIA CMOS

A figura 2 apresenta 4 estruturas de porta que podem ser empregadas em uma tecnologia CMOS poço P. As duas primeiras estruturas devem operar em

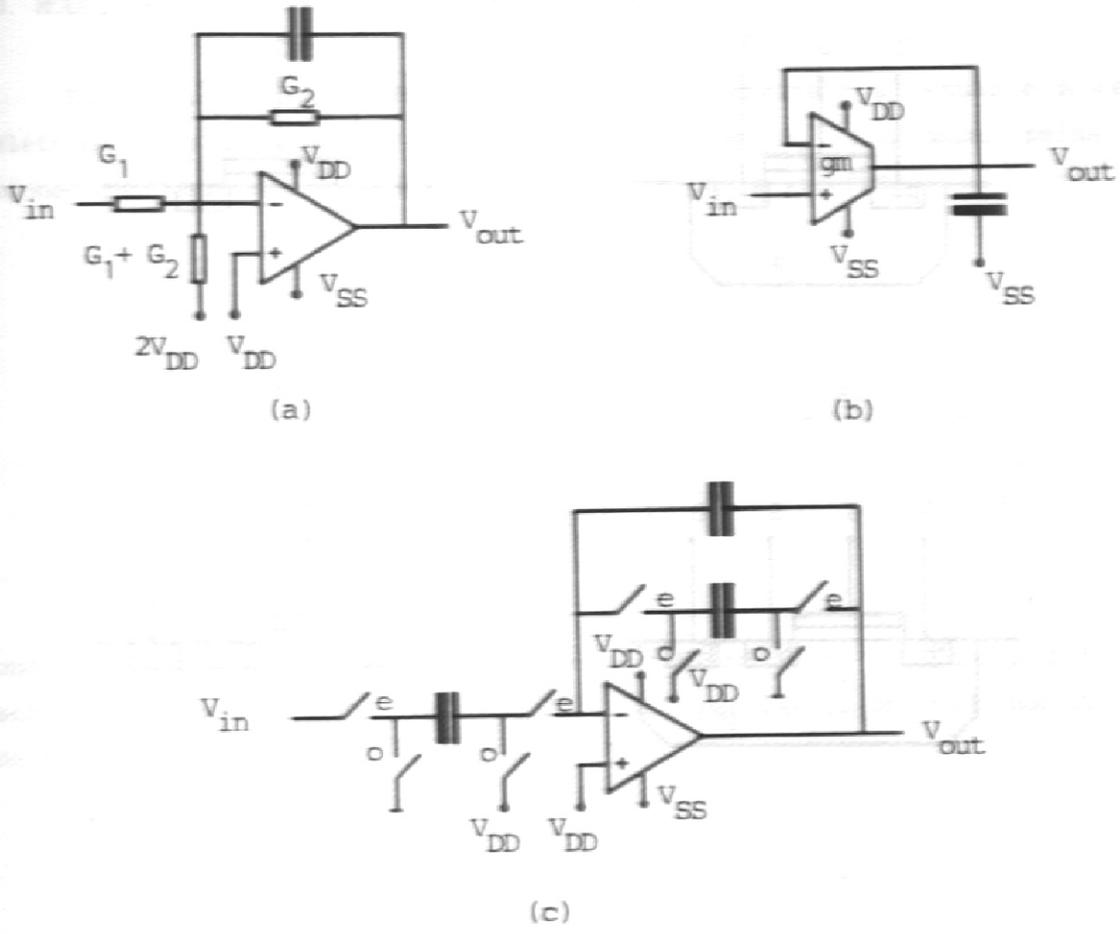


Fig 1 - Esquemas de polarização para um integrador com perdas.  
 Todos os capacitores estão polarizados com tensão  $V_{DD}$  ( $= -V_{SS}$ )  
 a) RC-ativo    b) OTA-C    c) Capacitor Chaveado<sup>5</sup>

acumulação, enquanto que as duas últimas devem ser polarizadas em inversão forte. O dispositivo na fig.2a pode operar como um capacitor flutuante. A fig.2b mostra um capacitor aterrado em AC. O dispositivo na fig.2c pode ser protegido do ruído do substrato pela aplicação de um potencial fixo no seu poço, enquanto que no dispositivo da fig.2d tem-se o único capacitor flutuante disponível em tecnologia PMOS (NMOS). Um modelo do transistor MOS com  $V_{DS} = 0$  é mostrado na fig.3.

Usualmente algumas expressões simples são dadas para as capacitâncias intrínsecas em inversão forte, para  $V_{DS} = 0$  :<sup>6</sup>

$$C_{gs} = C_{gd} \cong \frac{1}{2} C_{ox} ; \quad C_{gb} \cong 0 \quad (1)$$

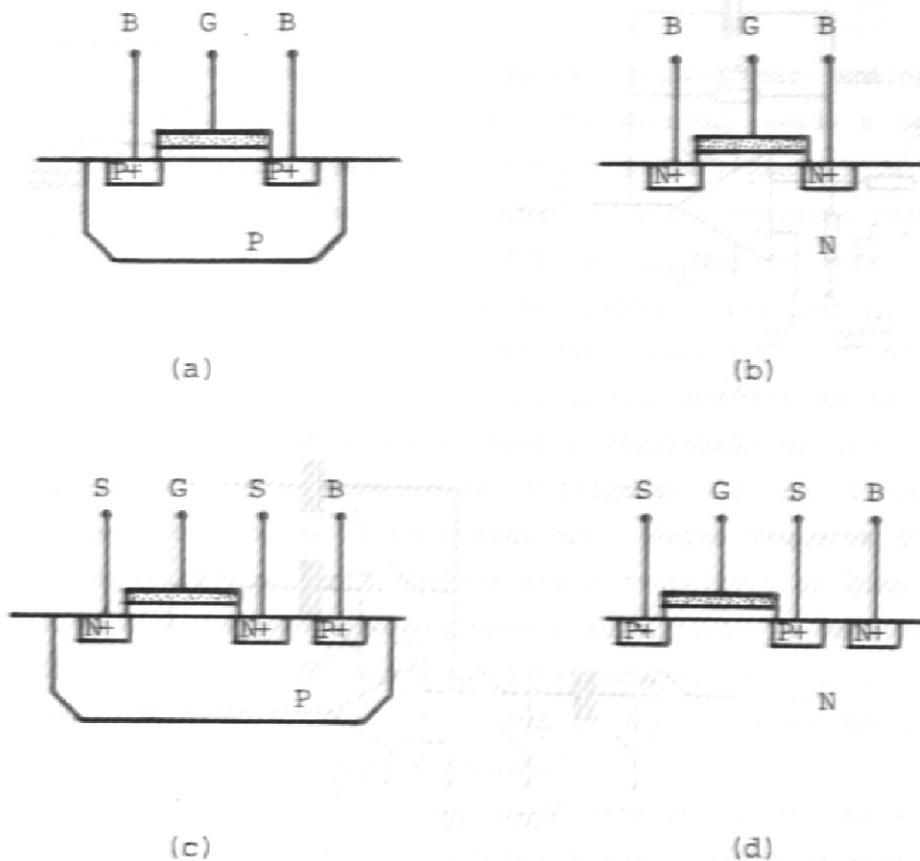


Fig.2 - Estruturas de porta em tecnologia CMOS.

onde  $C_{ox}$  é a capacitância intrínseca do óxido. As outras capacitâncias intrínsecas,  $C_{sb}$  e  $C_{db}$ , são não lineares<sup>8</sup> e dependem de  $V_{SB}$ . Para um dispositivo real as capacitâncias de "overlap" (lineares) estão em paralelo com  $C_{gs}$  e  $C_{gd}$ . Uma terceira capacitância de junção (poço-substrato) deve ser considerada para dispositivos dentro de poços.  $(C_{sb} + C_{db})$  e  $C_{gb}$  são, respectivamente, as capacitâncias parasitas da placa inferior e superior da capacitância porta-fonte. Para redes insensíveis a capacitâncias parasitas os seus valores exatos e suas não linearidades não são importantes. Porém, para redes sensíveis,  $(C_{sb} + C_{db})$  devem ser curto-circuitadas por causa de sua grande não linearidade. Neste caso, o efeito de  $C_{gb}$  deve ser levado em conta a despeito de seu baixo valor.

### 3. MODELO PRECISO PARA A CAPACITÂNCIA DE PORTA

Para uma estrutura MOS canal N de três terminais a tensão e a carga elétrica em função do potencial de superfície ( $\psi_s$ ) são dadas pelas bem conhecidas expressões<sup>6</sup>, válidas para silício não degenerado:

$$V_{GB} = V_{FB} + \psi_s - q_c / C'_{ox} \quad (2)$$

$$q_c = - \operatorname{sgn}(\psi_s) (2q\epsilon_s N_A \varnothing_t)^{0.5} \left[ e^{-\frac{\psi_s}{\varnothing_t}} + \frac{\psi_s}{\varnothing_t} - 1 + e^{\frac{\psi_s - (2\varnothing_F + V_{SB})}{\varnothing_t}} \right]^{0.5} \quad (3)$$

onde  $V_{GB}$  é a tensão entre a porta e o substrato,  $q_c$  é a carga total no semicondutor por unidade de área e  $C'_{ox}$  é a capacitância do óxido por unidade de área.

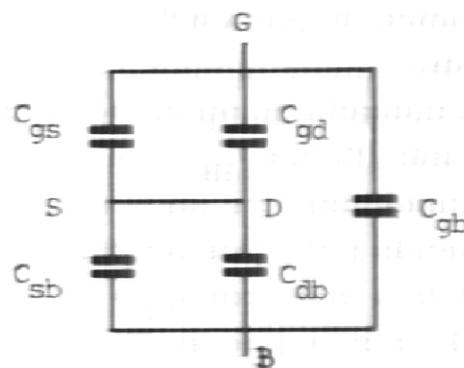


Fig.3 - Capacitâncias intrínsecas do transistor MOS para  $V_{DS} = 0$ .

a) Inversão forte: Das equações (2) e (3) pode-se obter a capacitância intrínseca de pequenos sinais  $C'_{gs}$  dada aproximadamente por:

$$\frac{1}{C'_{gs}} \cong \frac{1}{C'_{ox}} \left[ 1 + \frac{2\varnothing_t}{V_{FB} + \psi_s - V_{GB}} \right] \quad (4)$$

onde  $\psi_s \cong 2\phi_F + V_{SB}$

Assumindo que a estrutura de porta é excitada por um sinal de carga (ou corrente sinusoidal), a tensão em seus terminais será distorcida. Da expressão (4) é fácil mostrar que a distorção de 2ª harmônica da tensão (termo mais significativo) é dado por:

$$\text{DIST. 2ª HARM.} \cong \frac{e_t \cdot v_{GB \text{ pico}}}{2(V_{GB} - V_{FB} - \psi_s)^2} \quad (5)$$

onde  $V_{GB}$  e  $v_{GB \text{ pico}}$  são, respectivamente, a tensão de polarização e o valor de pico da tensão porta-substrato.

b) Região de acumulação: A capacitância de porta ( $C'_{gb}$ ) também é dada pela expressão (4) com  $\psi_s \cong 0$  e a expressão (5) também é válida com  $\psi_s \cong 0$ .

#### 4. ANÁLISE NUMÉRICA DA DISTORÇÃO HARMÔNICA

As expressões (2) e (3) foram usadas para permitir a análise de Fourier numérica da tensão da estrutura de porta MOS alimentada por uma fonte de carga (ou corrente) sinusoidal.

A figura 4 mostra a distorção harmônica total da tensão obtida da análise numérica e da expressão (5) com  $V_{SB} = 0$  e tensão de polarização  $V_{GB}$  igual a 2,5V e 5V. Os resultados numéricos mostram que a distorção harmônica total do dispositivo em inversão forte pode ser tão baixa quanto -40dB para uma excursão de até 3,3V pico a pico, com  $V_{GB} = 2,5V$ , ou menor que -50dB para uma excursão de até 7V pico a pico se  $V_{GB} = 5V$ . A linha tracejada representa a distorção de 2ª harmônica obtida da expressão simplificada (5).

#### 5. CONCLUSÕES

Circuitos a capacitores chaveados e contínuos no tempo requerem capacitores lineares. Apesar de ser um elemento não linear, a estrutura de porta de um transistor MOS polarizado em inversão ou acumulação proporciona uma capacitância com as seguintes vantagens sobre os capacitores duplo-poli: maior capacitância por unidade de área, melhor casamento e total

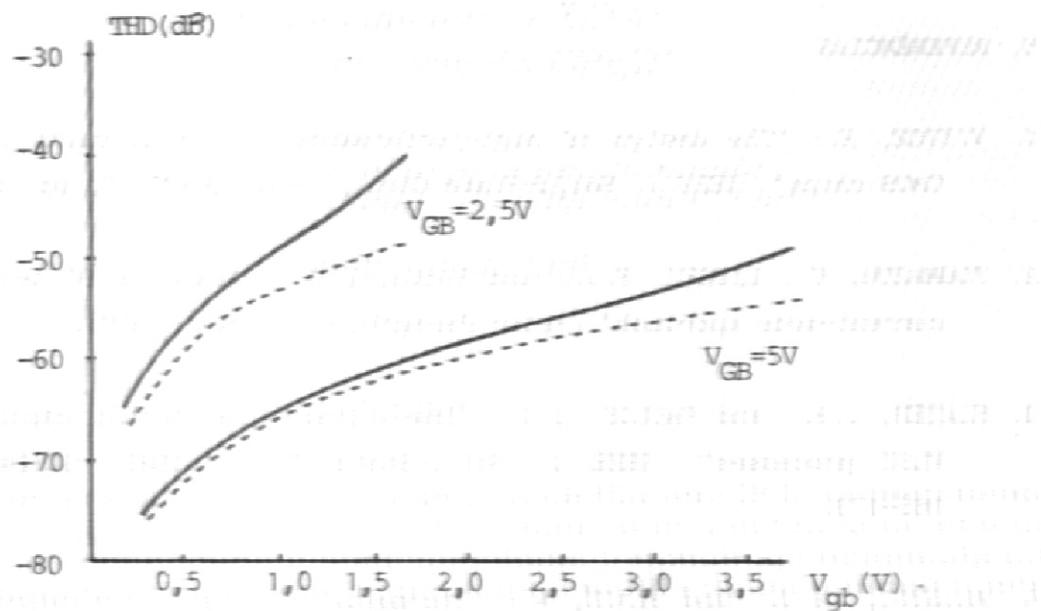


Fig.4 - Distorção harmônica da tensão na estrutura de porta MOS mostrada na fig. 2c, para  $V_{GB} = 2,5V$  e  $V_{GB} = 5V$  ( $V_{SB} = 0$ ). Parâmetros elétricos do transistor NMOS:  $V_{FB} = -0,75V$ ,  $C'_{ox} = 860 \times 10^{-10} F/cm^2$ ,  $N_A = 1,9 \times 10^{16} cm^{-3}$ .

compatibilidade com todos processos CMOS e NMOS. A distorção harmônica introduzida pelas não linearidades do capacitor de porta MOS polarizado pode ser mantida baixa sem prejuízo significativo em termos da excursão do sinal.

## 6. REFERÊNCIAS

1. VITTOZ, E.: "The design of high-performance analog circuits on digital CMOS chips", IEEE J. Solid-State Circ., 1985, SC-20, 3, pp. 657-665.
2. TOUMAZOU, C., LIDGEY, F.J., and HAIGH, D.G., "Analogue IC design : the current-mode approach" (Peter Peregrinus, London, 1990).
3. SLATER, J.R., and PAULOS, J.J.: "Low-voltage coefficient capacitors for VLSI processes", IEEE J. Solid-State Circ., 1989, SC-24, 1, pp. 165-173.
4. ALLSTOT, D.J., and BLACK, W.: "Technological design considerations for monolithic MOS switched-capacitor filtering systems", Proc. of the IEEE, 1983, 71, pp. 967-986.
5. MONTORO, C.G., and BERMUDEZ, J.C.M.: "Switched-capacitor circuits fully compatible with digital Si-gate single poly technology", Proceedings of the 31st Midwest Symposium on Circuits and Systems, St. Louis, USA, 1988, pp. 1-3.
6. TSIVIDIS, Y.: "Operation and modeling of the MOS transistor" (McGraw-Hill, New York, 1987).